

111-2 計算機組織 Final Project: Pipelined CPU Design 作業說明

【Project 目的】

使用 Verilog HDL 與 Modelsim Verilog 模擬器，以 Midterm Project 所設計之 ALU Design 為基礎，參考課本 Chapter 4 與課程講義之 Pipelined Datapath，設計一個 Pipelined MIPS-Lite CPU。

【Project 說明】

1. 需實現指令：需完成下列 16 道 MIPS 指令

- a) Integer Arithmetic: **add, sub, and, or, srl, slt, addiu**
- b) Integer Memory Access: **lw, sw**
- c) Integer Branch: **beq, j**
- d) Integer Multiply/Divide: **multu, maddu**
- e) Other Instructions: **mfhi, mflo, nop**

所有指令格式與說明請詳見 i-Learning 上之 Appendix A: Assemblers, Linkers, and the SPIM Simulator。

2. 設計要求：須滿足該項目之規定，否則該項不予計分。

其中，(1) 為機測門檻，若不遵守設計規範或功能不正確，將不予評分，亦不能參與機測。

(1) **ALU**: 需使用 Midterm Project 所設計之 ALU 完成 **add, sub, and, or, srl, slt, addiu** 指令。其設計方法請詳見 Midterm Project。不接受其他設計方式。

(2) **Datapath**: 所有指令之執行，須遵守 5-Stage Pipelined CPU 執行指令之行為。

(3) **multu**: 32-bits 無號數乘法指令，需使用 Midterm Project 所設計之 Multiplier。其設計方法請詳見 Midterm Project。不接受其他設計方式。

(4) **maddu**: 32-bits 無號數乘加指令，需使用 Midterm Project 所設計之 Multiplier。其設計方法請詳見 Midterm Project。不接受其他設計方式。

(5) **Testbench**: 為所設計之模組之測試平台，須以讀檔的方式，讀入測試資料。以驗證

所設計之模組，功能正確性。Single Cycle 版本之 MIPS 處理器設計與 Testbench Verilog 範例，請詳見 i-Learning 上之「[Single Cycle CPU and Testbench](#)」。機測時將有不同的測試資料，以確認設計正確性與完整性。並藉此評分。

3. 設計注意事項：

- (1) 需分 Module 與檔案，一個 Module 一個檔案，並以 Module 名稱命名，所有不可寫在同一模組裡。
- (2) Datapath 與課本已有所不同，需自行修改相異之處，以 Word 或 PowerPoint 重新繪製，並詳述設計方法。未以 Word 或 PowerPoint 繪製者，報告不予計分。
- (3) Testbench 須依所提供之參考設計，將測試指令或程式轉換成指定格式，輸入 Testbench。不可寫死在 Testbench 裡。機測時亦將以機測專用輸入檔案加以測試。無法通過測試者，依通過之功能給分。
- (4) 所有設計須以課程所介紹的 Verilog 語法完成，且需通過 Modelsim 模擬。以 Schematic 繪製電路、非規定之 Gate-Level 設計、非課程所介紹的 Verilog 語法部分，將不予計分。

4. 特別規定：

- (1) 若整個 Verilog 設計或報告內包括不屬於上述指令之任何其他電路，不論是否有功能，或是已註解，每一部份扣學期總成績 5%，並視為版本處理。
- (2) 本 Project 內所有 Verilog 程式，除了 Testbench 外，其餘部分皆【**不接受迴圈形式的設計**】；意即程式內不能有 for/while 等敘述。不能包含 Function/Task 敘述。不能包含 `always @(*)` 敘述。
- (3) 若程式未達設計門檻，將不予機測或評分。

【報告撰寫格式與繳交說明】

1. 報告撰寫格式：

需依照「計算機組織報告格式」撰寫，範本置於 i-Learning，至少 8 頁，除依照格式各章節所需之說明外，需包含下述項目：

- (1) 組別、學號、班別、姓名等資料。
- (2) Datapath 與詳細架構圖，並以 Word 或 PowerPoint 設計繪製。

- (3) 設計重點說明。
- (4) Modelsim 驗證結果與 Waveform 輸出圖形，並加以說明。
- (5) 心得感想。
- (6) 各組員分工方式與負責項目。

2. 報告上傳：

- **2023/06/07 PM 9:00 前**上傳至 **i-Learning**。上傳資料需包括：

- (1) 報告 Word 電子檔
- (2) Word/PowerPoint 原始檔
- (3) 所有程式檔案與其執行目錄

並將這些檔案置於一資料夾，予以壓縮。

- 檔案名稱為 CO_Final_班級_組員學號_組員姓名_重傳次數.7z。
例如：二甲 10227000 王大明 重傳第一次
==> CO_Final_二甲_10227000_王大明_1.7z

3. 機測時間：

機測：**2023/06/09** 至 **電學 310** 機測。

各組機測時間請於 **2023/06/07 PM 9:00 前**，至 **電學 702** 門口填寫機測時間表。

除排定的機測時間，不接受其他時間機測。亦不接受當場修改。

注意：機測當天需同時繳交報告之書面資料。

4. 注意事項：

- (1) 評分標準：機測分數(書面+口試)，答錯者扣該分項分數，並請助教繼續詢問至回答正確或扣完為止。同組同學可能不同分。
- (2) **嚴懲抄襲：不論抄襲或被抄襲者均為 0 分。**

PS：如有問題請至 i-Learning 討論區或 E-Mail 詢問，我們將會儘快回覆。

如有補充說明會公佈在 i-Learning 討論區，請同學隨時注意消息