1. **Part 1的Verilog Code (新更改的FA.v與HA.v)**
2. **Part 1的模擬waveform(含a[3:0], b[3:0], s[3:0], cout訊號)**
3. **Part 2的Verilog Code (只有一個RCA4.v)**
4. **Part 2的模擬waveform(含a[3:0], b[3:0], s[3:0]訊號)**
5. **Part 3的Verilog Code (只有一個RCA4.v)**
6. **Part 3的模擬waveform(含a[3:0], b[3:0], s[3:0] ], cout訊號)**
7. **心得**