**Lab 3 – 8-bit Up/down Counter Design (type I)**

1. 設計一個上下計數的8-bit計數器，計數器功能如下：
   1. Input ports: clk, rst, en, up.
   2. Output ports: dout[7:0].
   3. Synchronous (同步) reset (rst值為0). 🡺 counter output set by “0”.
   4. When en = 1 🡺 counter counts up or down based on up signal.
   5. When up = 1 🡺 counter counts up.

Using “if”… “else”…

statements

* 1. When up = 0 🡺 counter counts down.
  2. When dout = 8’hff, en = 1, up = 1 🡺 dout will be hold in 8’hff.
  3. When dout = 8’d0, en = 1, up = 0 🡺 dout will be hold in 8’d0.
  4. When en = 0 🡺 counter output keeps the previous value.

1. 撰寫Verilog code(“always …”)並利用ModelSim進行模擬與確認功能正常。
2. 請使用i-learning上所附之Test bench(Counter\_TM.v)做測試，觀看訊息文字(pass… or fail…)或wafeform。



**報告說明:**

 課堂出席: 30% (請於第一堂課開始後半小時內出席)。

 報告: 70% (各組交一份，3/21(四)11:59 前)上傳至 i-learning (Lab\_03 目錄)。

 逾期者繳交至”補交”目錄。(一律打八折)

 報告內容給分如下:

1. Verilog Code (直接 copy-&-paste 到報告中)(只需要counter.v本身)(30%)

2. 模擬結果

🡪Transcript視窗執行截圖: pass… (20 %); fail… (10%)

🡪開頭(含reset動作)waveform截圖: 正確Synchronous (同步)(10%); 不正確(0%)

3. 心得報告 (10%)