

UNIVERSITÄT HEIDELBERG
INSTITUTE FOR COMPUTER ENGINEERING
(ZITI)

MASTER OF SCIENCE COMPUTER ENGINEERING
PARALLEL COMPUTER ARCHITECTURE

Exercise 5

Group 04
Barley, Daniel
Barth, Alexander
Nisblé, Patrick

Due date 2019-12-10, 14:00

5.1 Matrix-Multiplikation revisited

5.1.1 Parallele Implementierung mittels PThreads

@todo: code

5.1.2 Experimente und Evaluation

a.

Tabelle 1: Ausführungszeit $t_{compute}$ (s)

Threads \ n	2	3	4	5	6
1					
2					
4					
8					
16					
32					

Tabelle 2: Ausführungszeit t_{wall} (s)

Threads \ n	2	3	4	5	6
1					
2					
4					
8					
16					
32					

b.

@todo: complete

5.2 Vektorrechner - Memory Interleaving

a.

Der Vektorrechner benötigt eine dreimal so hohe Speicherbandbreite wie der Durchsatz des Prozessors. Dies begründet sich durch die Eigenschaft des Vektorrechners, dass in jedem Takt beide Operanden einer Operation geholt, und das Ergebnis zurückgeschrieben wird. Realisiert wird das durch Memory Interleaving. Memory Interleaving bezeichnet die Unterteilung eines Speichers in Module gleicher Größe, die Speicherbänke. Sie sind voneinander unabhängig und können zeitlich verschränkt gelesen oder beschrieben werden. Daraus resultiert der geforderte höhere Speicherdurchfluss.

b.

Memory Interleaving hat für skalare Werte und kleine Vektoren keinen Mehrwert. Abhilfe bieten Vektorregister. Sie dienen als schnelle Zwischenspeicher, können aufgrund ihrer Größe jedoch nur Teilobjekte aufnehmen. Vektorregister sind nicht verschränkt. Aus diesem Grund kann der Zugriff mit beliebiger Adressfolge erfolgen, ohne die effektive Zugriffsbandbreite zu verringern.