

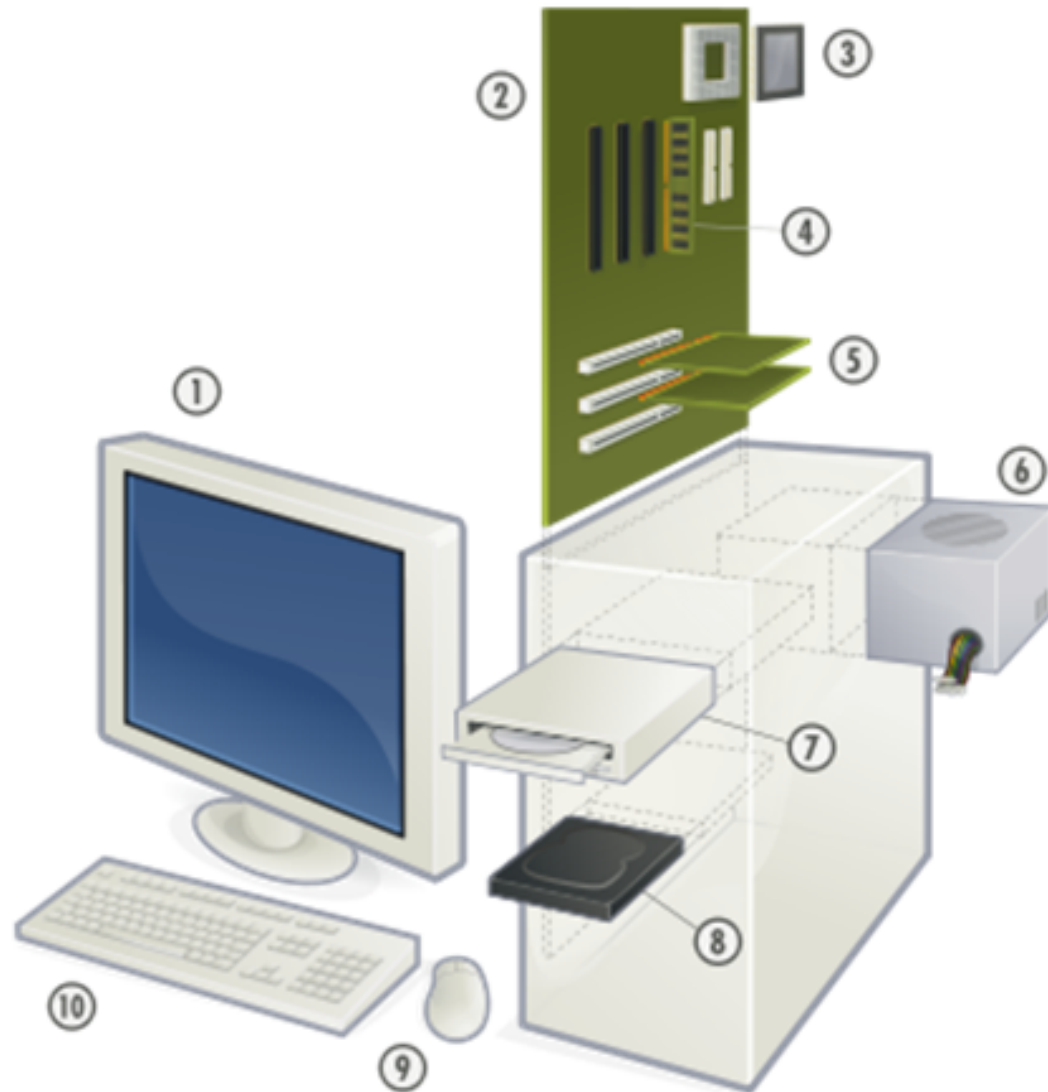
FACULDADE DE TECNOLOGIA SENAC RIO

REDE DE COMPUTADORES

ARQUITETURA DE COMPUTADORES

O COMPUTADOR BÁSICO

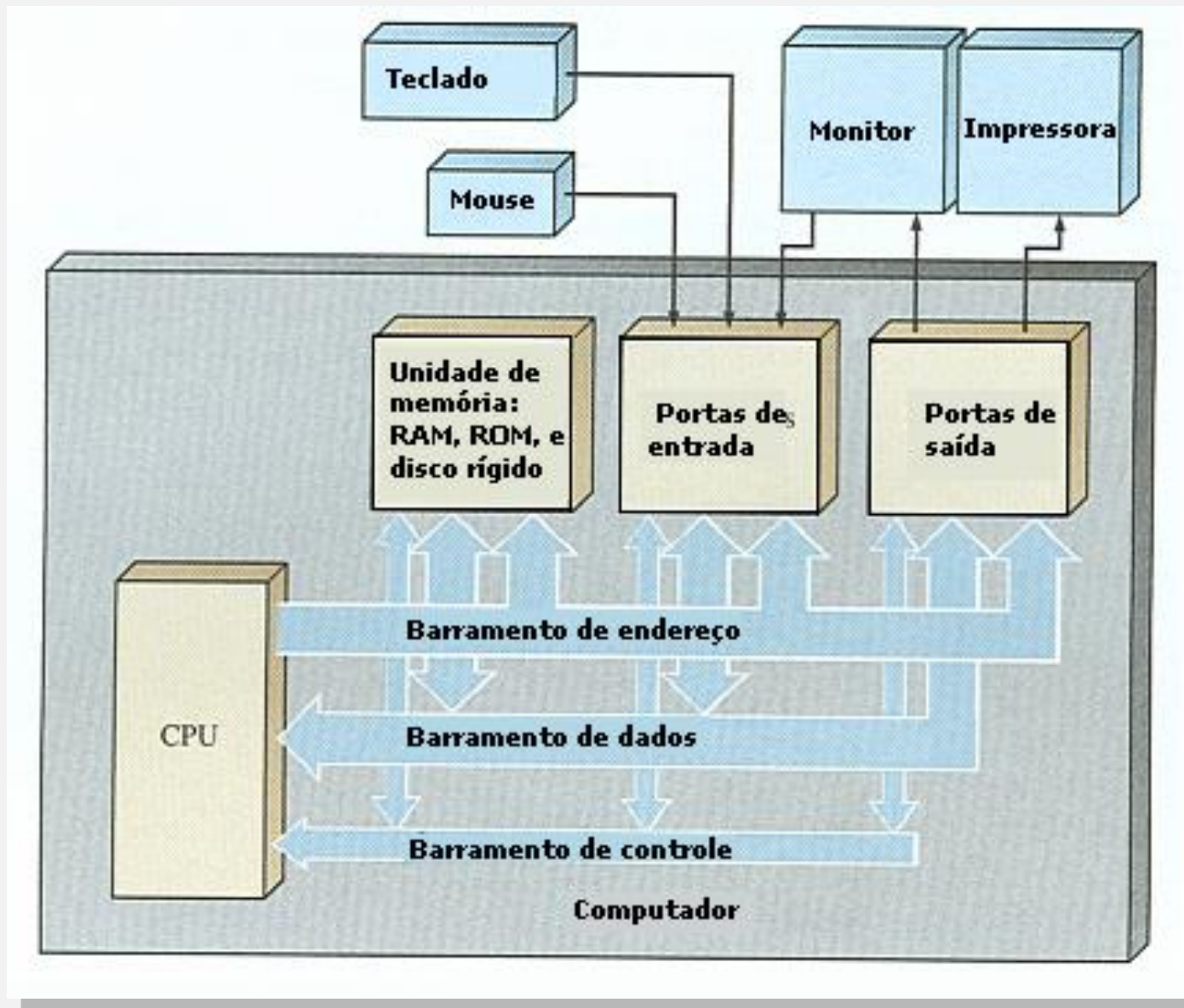
COMPUTADOR PESSOAL



LEGENDA:

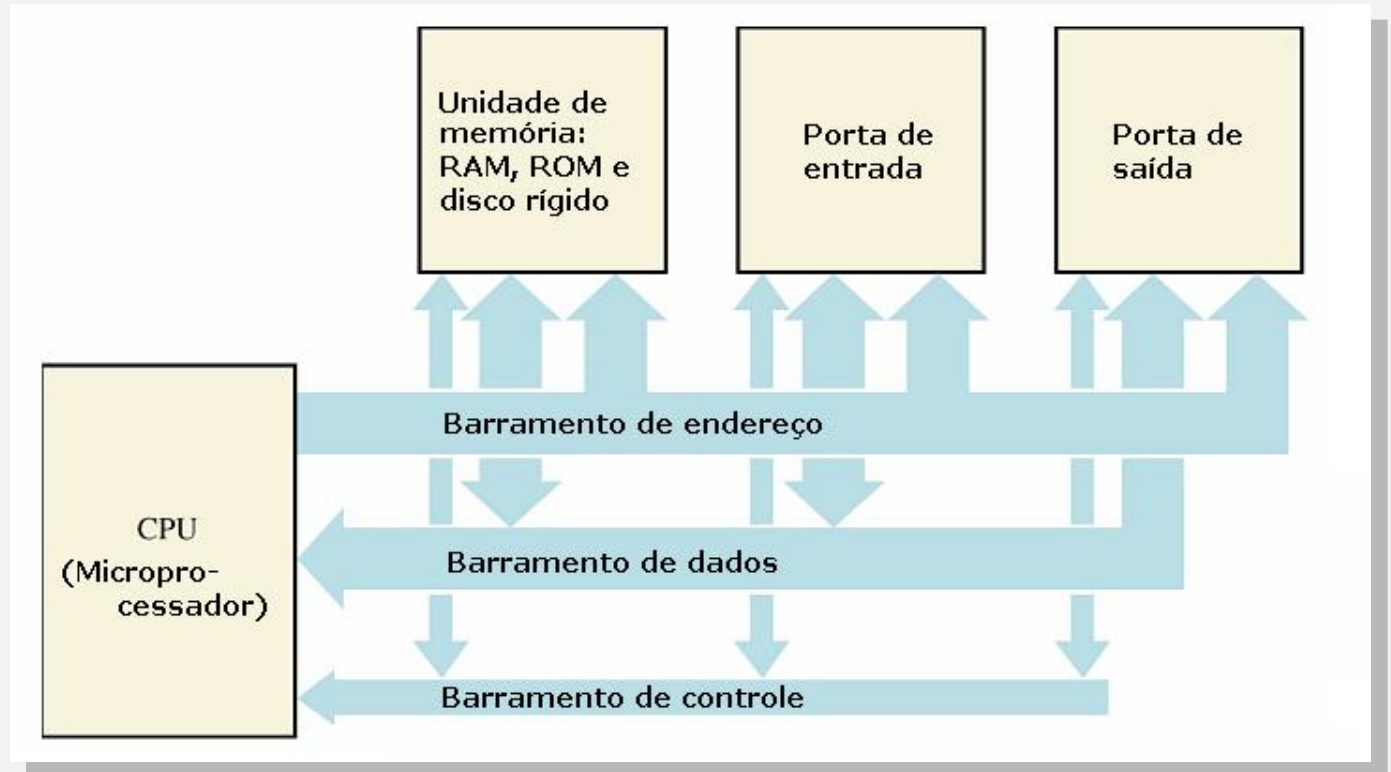
- 01- Monitor
- 02- Placa-Mãe
- 03- Processador
- 04- Memória RAM
- 05- Placas de Rede, Placas de Som, Vídeo
- 06- Fonte de Energia
- 07- Leitor de CDs e/ou DVDs
- 08- Disco Rígido (HD)
- 09- Mouse.
- 10- Teclado.

O COMPUTADOR BÁSICO

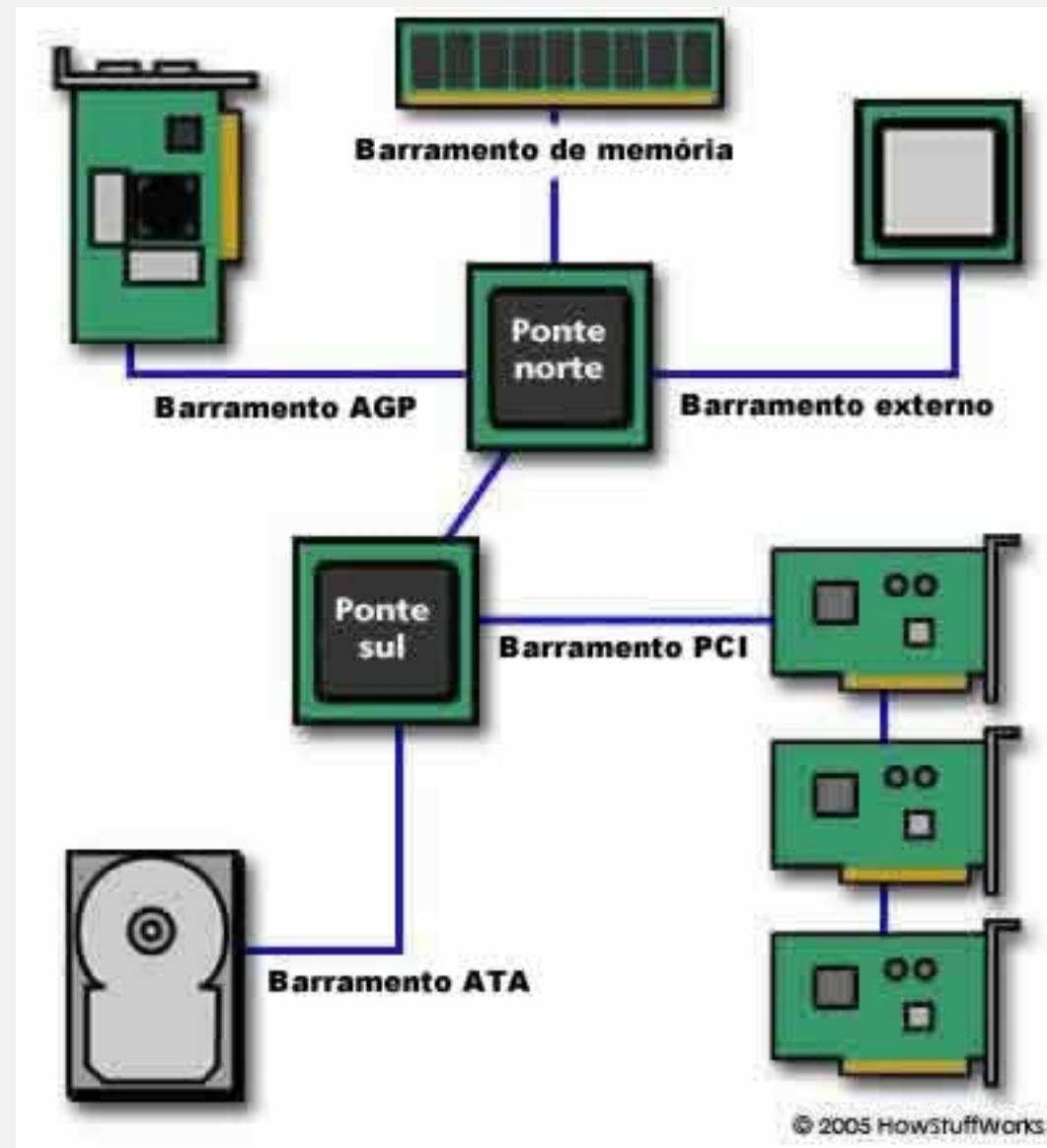


O COMPUTADOR BÁSICO

- Unidade central de processamento (CPU)
- Memórias e armazenamento
- Portas de entrada/saída (I/O)
- Barramentos



BARRAMENTOS “DESKTOP”



MEMÓRIAS RAM/ROM



MICROPROCESSADOR

- Unidade lógica e aritmética (ALU)
- Arranjo de registradores
- Unidade de controle

Operações Básicas:

- Realiza operações aritméticas e lógicas
- Move dados entre posições de memória e portas I/O
- Toma decisões e atua de acordo com essas decisões

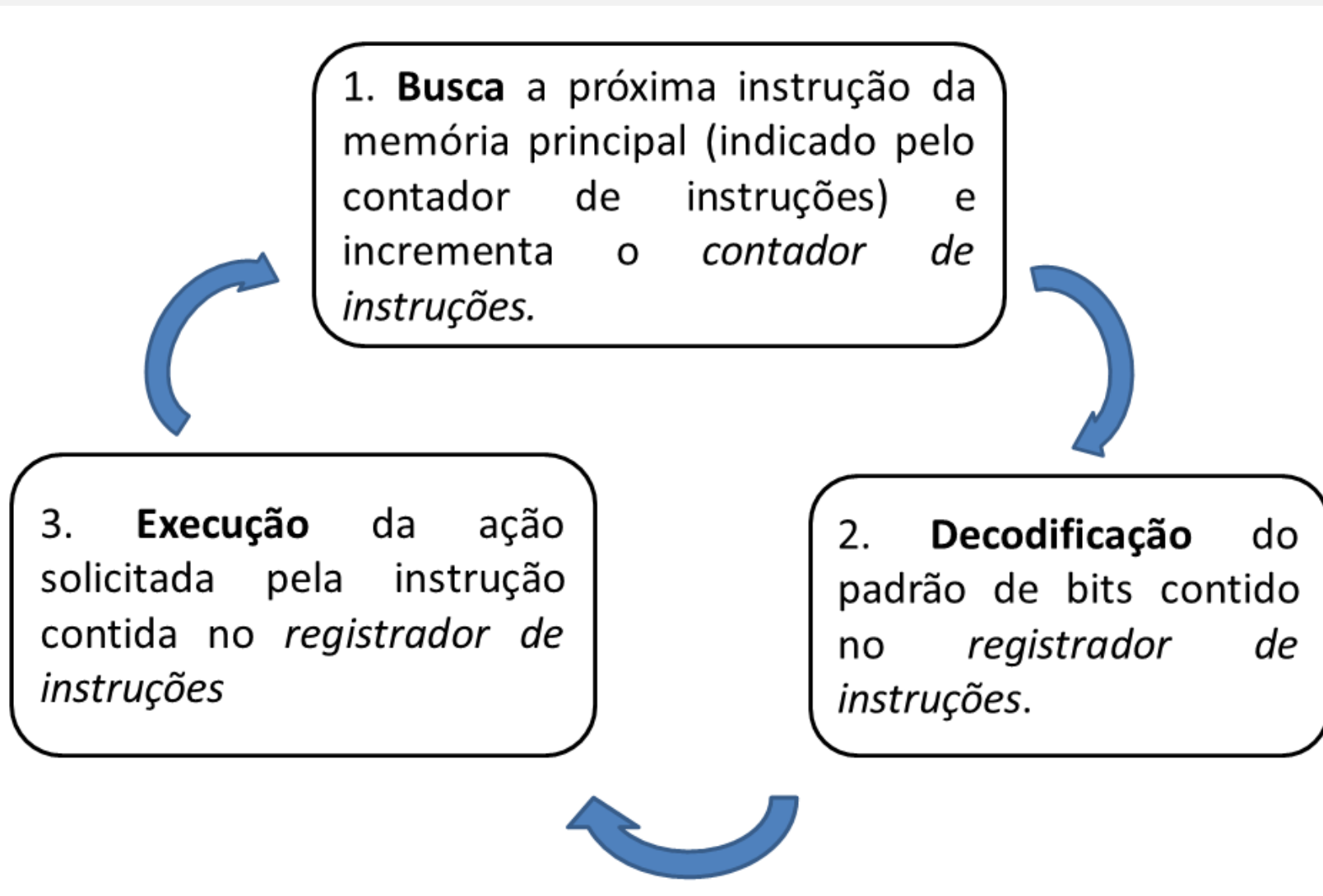
Relógio (clock)

É o dispositivo gerador de pulsos, cuja duração é chamada de ciclo, e a quantidade de vezes que esse pulso básico se repete em um segundo define a unidade de medida do relógio, denominada frequência, a qual também é usada para definir a velocidade na CPU.

- A cada pulso é realizada uma operação elementar, durante o ciclo de uma instrução (ex.: busca de dados, envio da instrução para o RI, sinal de controle).

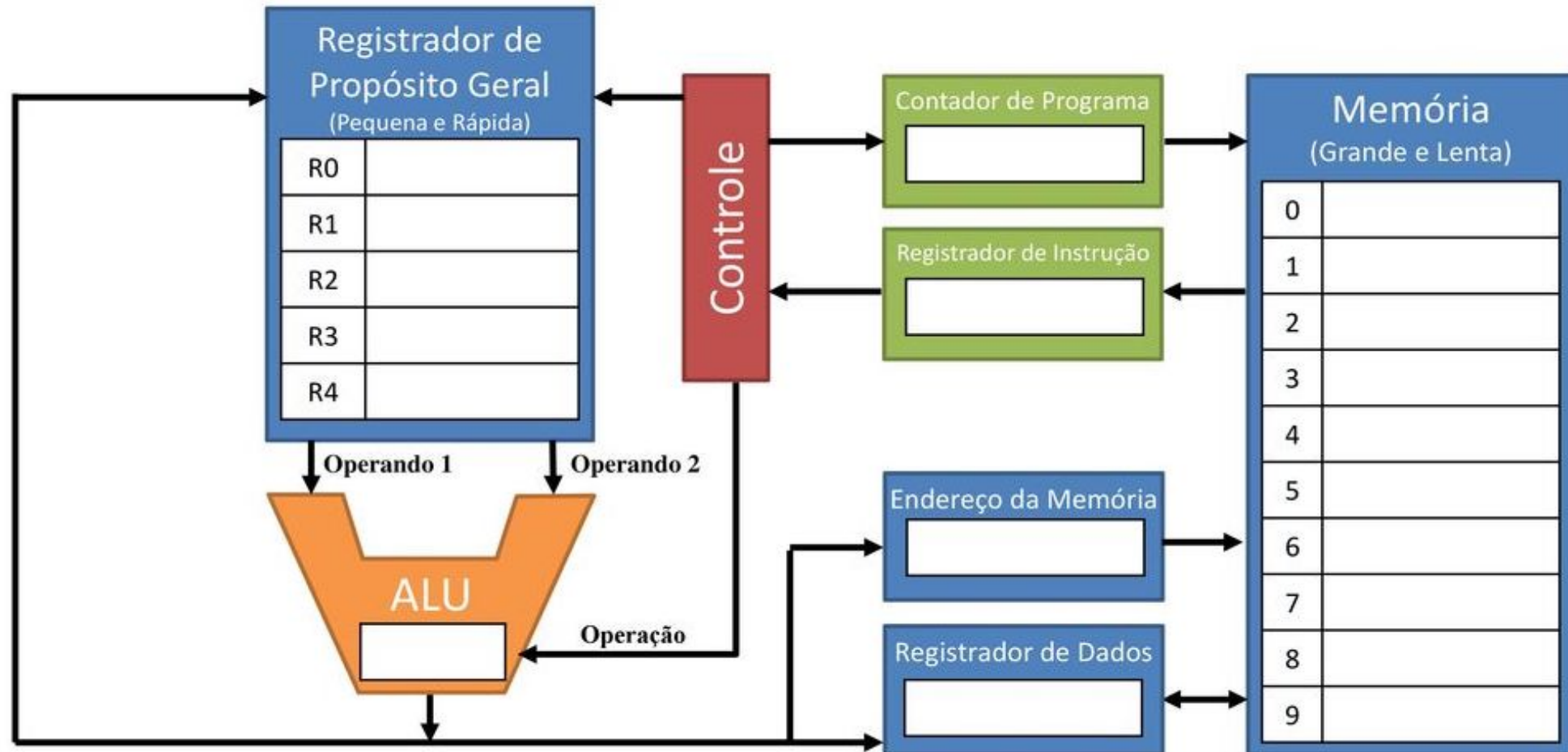


CICLO BUSCA/DECODIFICA/EXECUTA



Arquitetura Simplificada “Load/Store”

- A CPU não faz operações na Memória, todas as operações são realizadas pelo ALU utilizando dados do Registrador
- O programa e os dados são gravados na Memória
- O programa é executado sequencialmente, uma instrução em cada linha da memória



MICROPROCESSADOR

Conjunto de instruções:

- Transferência de dados
- Aritmética e lógica
- Manipulação de bit
- *Loops* e *jumps*
- *Strings*
- Sub-rotinas e interrupções
- Controle

Cada instrução consiste de um grupo de bits (1s e 0s) que é decodificada pelo microprocessador antes de ser executada.

Essas instruções em código binário são denominadas linguagem de máquina e é a única linguagem que o microprocessador reconhece.

INSTRUÇÕES

Instruções típicas

- Instrução Significado

R $\left\{ \begin{array}{ll} \text{add } \$s1, \$s2, \$s3 & \$s1 = \$s2 + \$s3 \\ \text{sub } \$s1, \$s2, \$s3 & \$s1 = \$s2 - \$s3 \\ \text{slt } \$s1, \$s2, \$s3 & \text{se } \$s2 < \$s3 \text{ então } \$s1=1 \text{ senão } \$s1=0 \end{array} \right.$

I $\left\{ \begin{array}{ll} \text{lw } \$s1, 100(\$s2) & \$s1 = \text{Memory}[\$s2+100] \\ \text{sw } \$s1, 100(\$s2) & \text{Memory}[\$s2+100] = \$s1 \end{array} \right.$

I $\left\{ \begin{array}{ll} \text{bne } \$s4, \$s5, L & \text{Próx. instr. é no Label se } \$s4 < > \$s5 \\ \text{beq } \$s4, \$s5, L & \text{Próx. instr. é no Label se } \$s4 = \$s5 \end{array} \right.$

J $\left\{ \begin{array}{ll} \text{j Label} & \text{Próx. instr. é no Label} \end{array} \right.$

- Formatos:

	6	5	5	5	5	6
R	op	rs	rt	rd		funct
I	op	rs	rt	16 bit address		
J	op	26 bit address				

Código de operação (*Opcode*)

um subgrupo de *bits* que identifica a operação a ser realizada pelo processador. Esse valor é a entrada no Decodificador de Instruções na Unidade de Controle.

Operando

um subgrupo de *bits* que identifica o endereço de memória onde está contido o dado que será lido/armazenado, os registradores, ou uma constante.

Opcode	Operandos...
--------	--------------

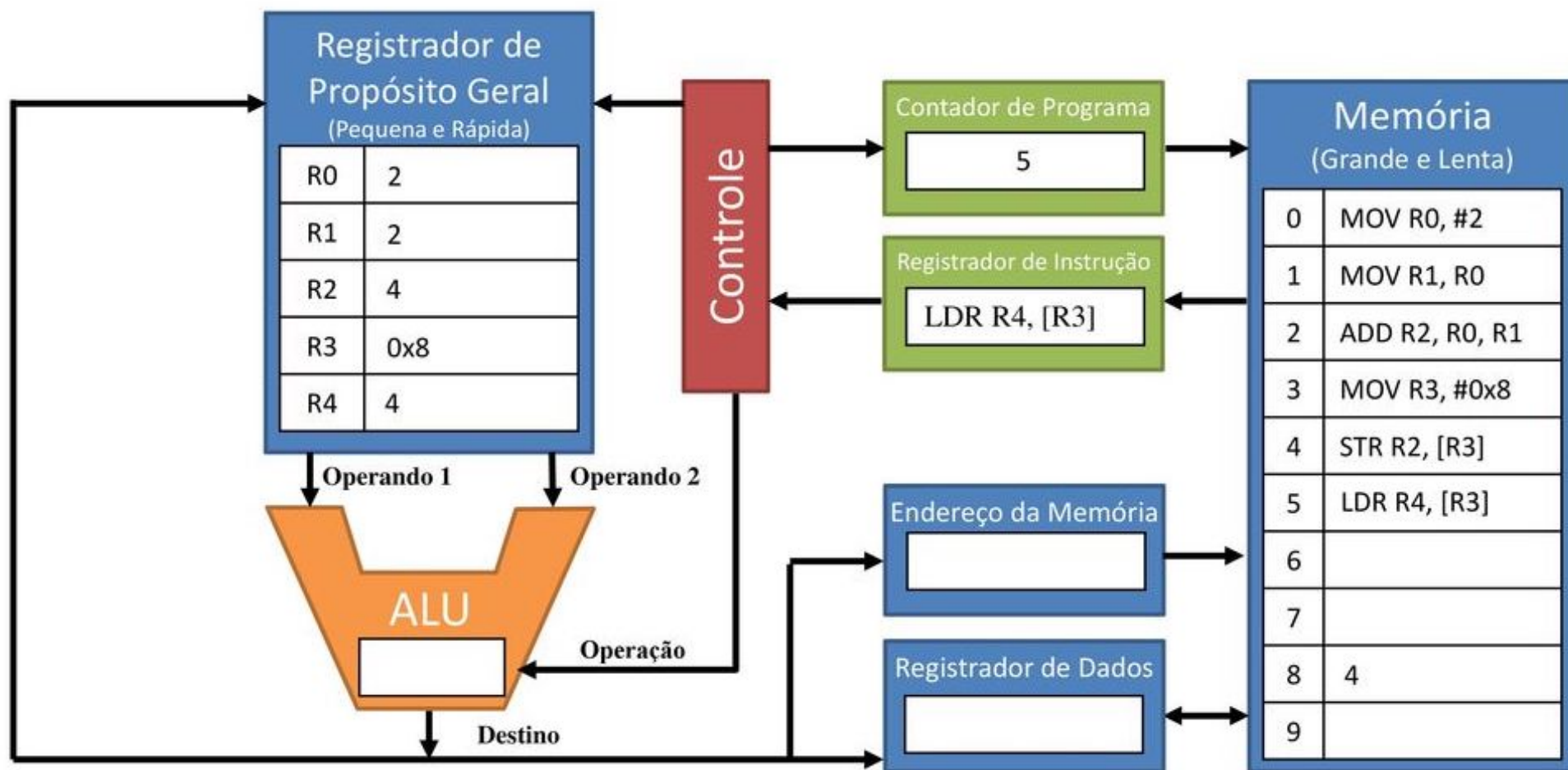
Arquitetura Simplificada “Load/Store” – ARM Cortex M0+

Instrução: LOAD – Carrega o registrador Rd com o valor do endereço da memória indicado pelo registrador Rn.

LDR Rd, [Rn]

OpCode Destino Endereço

Como colocar a posição 8 da memória no R4? Qual é o fluxo?



MEMÓRIA

- Componente do computador onde o processador vai buscar os dados e instruções.
- São todos os dispositivos que permitem a um computador guardar dados, temporária ou permanentemente.
- Memória principal (RAM, ROM, registradores e caches) e memória secundária (armazenamento em massa) - memória volátil e não-volátil.
- Bit: dígito binário / Byte: 8 bits
- Armazenamento binário é mais eficiente e confiável.
- Endereço de memória: local na memória principal de uma célula contendo dados ou instruções.
- Endereço de N bits $\Rightarrow 2^N$ células (0 a 2^N-1).
- Fabricantes padronizaram a célula em 8bits (Byte ou Octeto).
- Bytes também podem ser agrupados em palavras (words)
- Computador de 32bits possui palavra de 4 bytes. Registradores e instruções para manipular palavras de 32 bits.

MEMÓRIA PRINCIPAL

- Latência: tempo necessário para o término da operação de leitura ou escrita.
- Vazão ou Taxa de transferência: $1 / \text{latência}$ (quantidade de operações/tempo)
- Largura de banda (bandwidth) : vazão x largura do barramento de dados

Ex.: Latência = 10 ns

Barramento de dados: 32 bits (1 palavra)

$\text{Tx de transferencia} = 1 / 10\text{ns} = 0,1 \times 10^9\text{s} = 100\text{Mops}$

Cada operação transfere 32 bits,

Largura de banda do barramento: 400 MB/s

CACHE

- Memória rápida localizada entre o processador e a memória principal.
- Armazena um pequeno conjunto de palavras da memória.
- Diminui a latência média de acesso à memória.

C – tempo de acesso à cache.

M – tempo de acesso à memória

H – taxa de acerto

Latência efetiva = $C + (1 - H) \cdot M$

Ex.: Uma cache possui, para um determinado programa, uma taxa de acerto $H = 95\%$ e seu tempo de acesso $C = 5\text{ns}$.

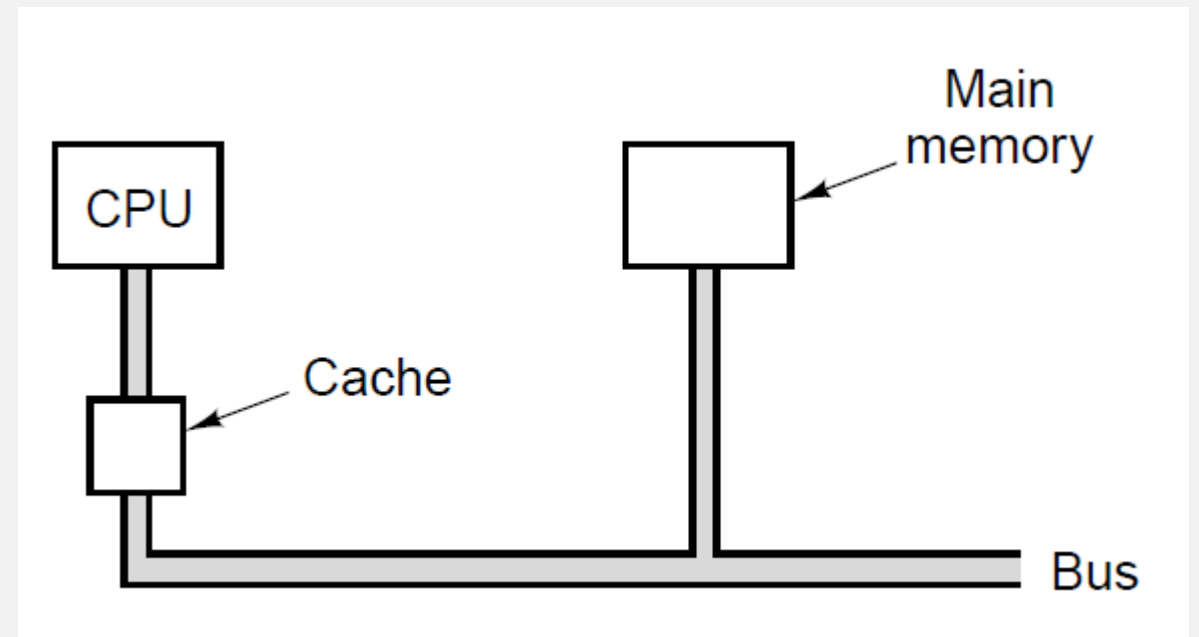
A memória principal possui em tempo de acesso $M = 60\text{ns}$.

Qual o tempo de acesso efetivo na cache?

Latência Efetiva = $C + (1 - H) \cdot M$

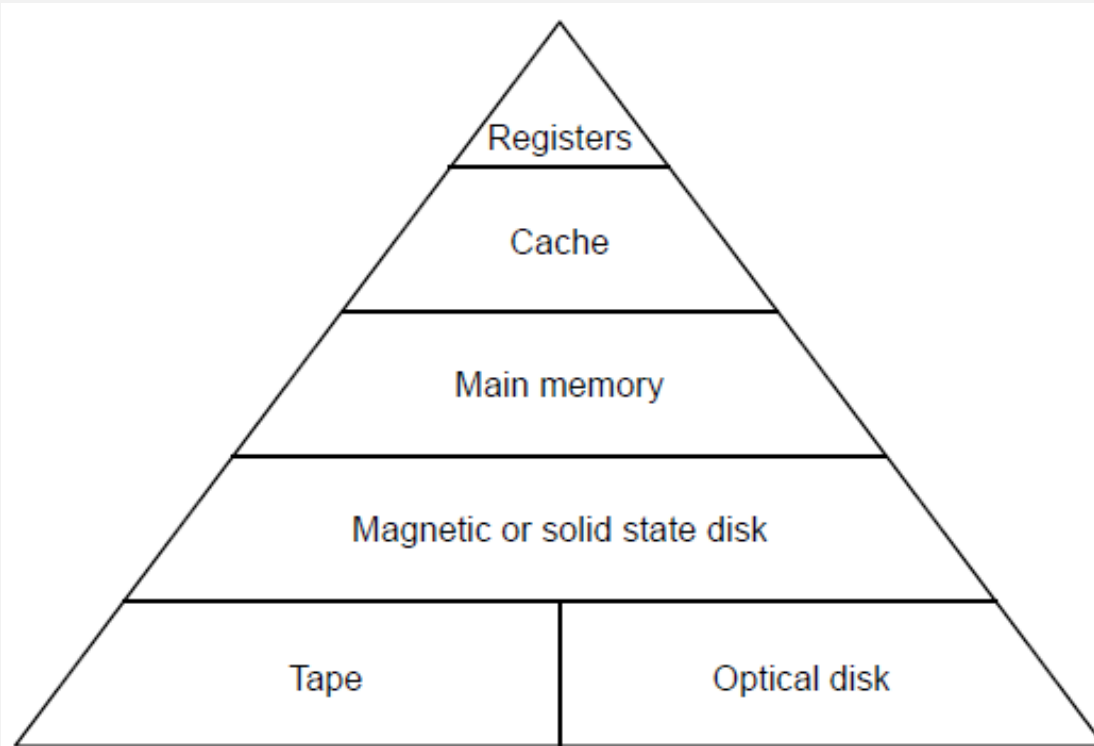
Onde H = taxa de acerto na cache.

Então, $LE = 5\text{ns} + 0,05 \times 60\text{ns} = 8\text{ns}$.



A implicação deste tempo de acesso efetivo de 8ns é que temos a ilusão de estarmos usando o tempo todo uma memória do tamanho da principal, mas com a velocidade próxima a da cache.

HIERARQUIA DE MEMÓRIA



Dispositivo	Latência	Capacidade
Registrador	1	Bytes
L1 cache	4	Megabytes
L2 cache	11	
L3 cache	39	
RAM	10 ⁷	Gigabytes
HD	10 ⁶	Terabytes

* Latência em ciclos do processador.

SSD, HD, Fita e Disco ótico (memória secundária) são dispositivos de armazenamento não voláteis

- **Custo** aumenta subindo a pirâmide.
- Subindo a pirâmide, os dispositivos estão mais próximos do processador.
- **Latência de acesso** aumenta descendo a pirâmide.
- **Capacidade de armazenamento** aumenta descendo a pirâmide.

DISCO MAGNÉTICO

Desempenho:

- Taxa de transferência
- Tempo de acesso = busca + latência

Tempo de busca (seek time):

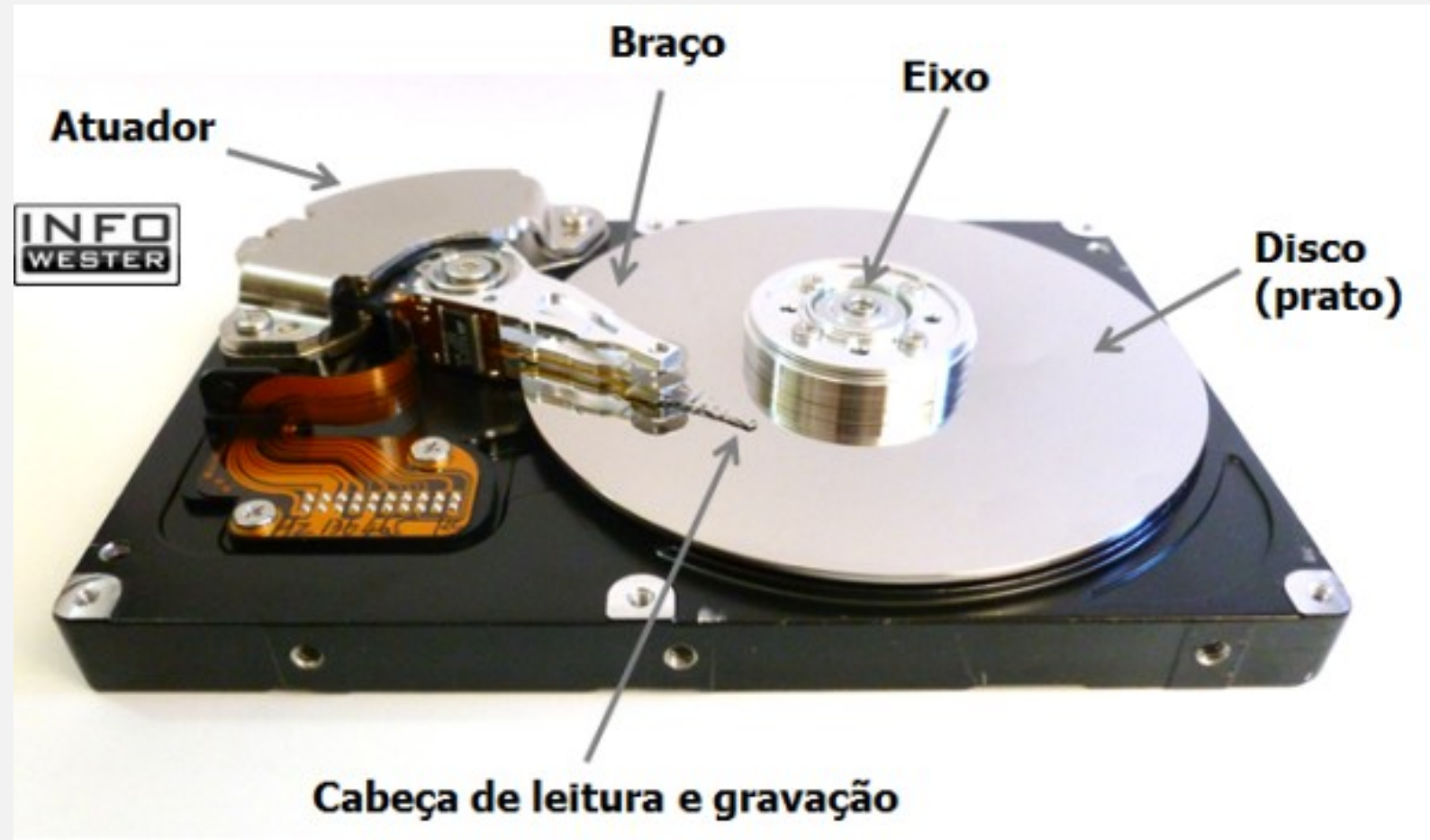
indica o tempo que a cabeça de leitura e gravação leva para se deslocar até uma trilha do disco ou mesmo de uma trilha a outra.

Tempo de Latência:

indica o tempo necessário para que a cabeça de leitura e gravação se posicione no setor do disco que deve ser lido ou mesmo gravado. Este parâmetro sofre influência do tempo de rotação dos discos.

Taxa de transferência:

Indica a quantidade de dados transferidos, no tempo, entre a memória e o disco.



DISCO MAGNÉTICO

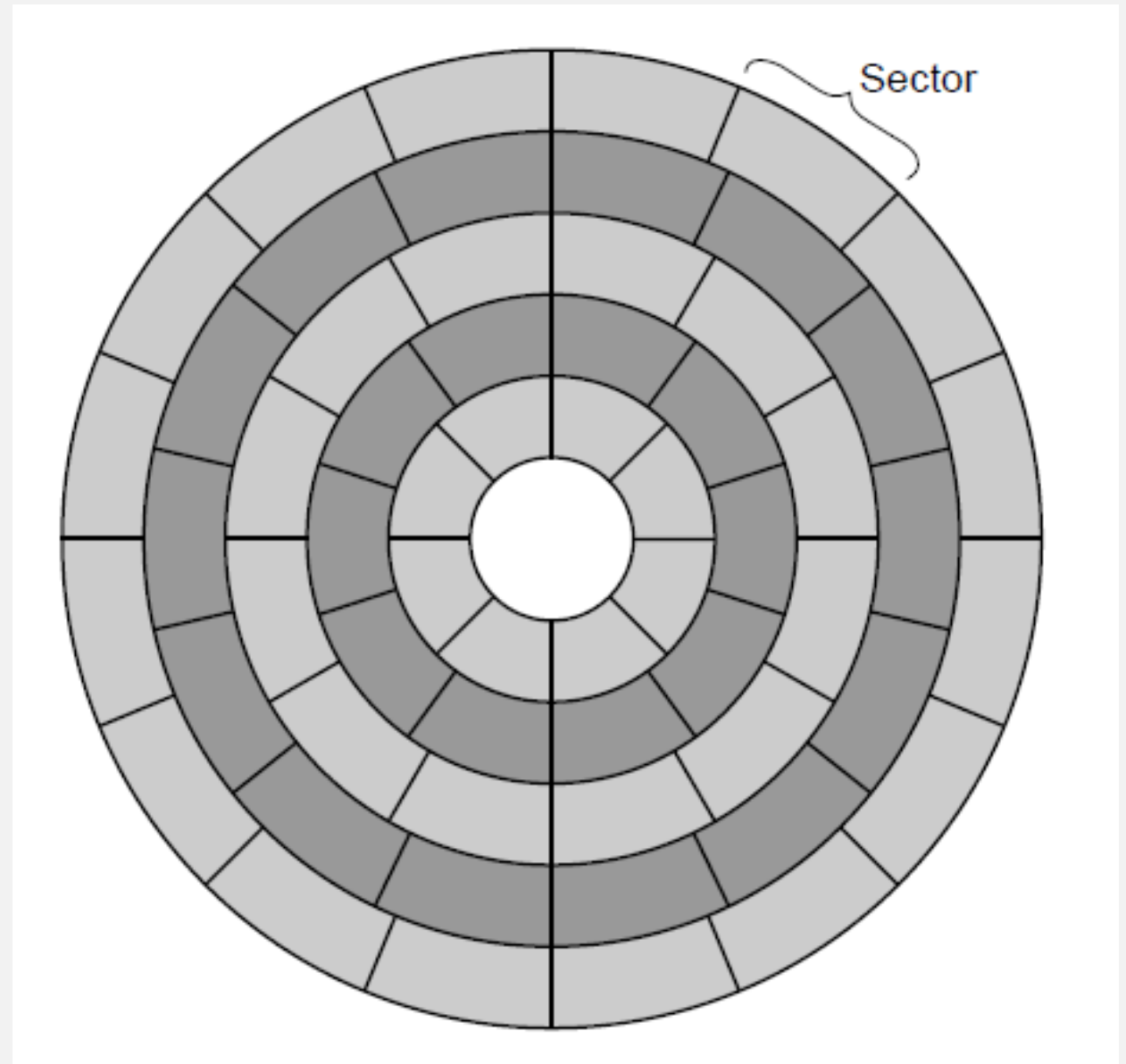
Organizado em setores e trilhas.

Trilhas são círculos concêntricos na superfície do disco. Cada trilha é dividida em setores (normalmente 512bytes).

Cada trilha (desde mais externa – trilha 0, para a mais interna) possui os mesmo número de bits.

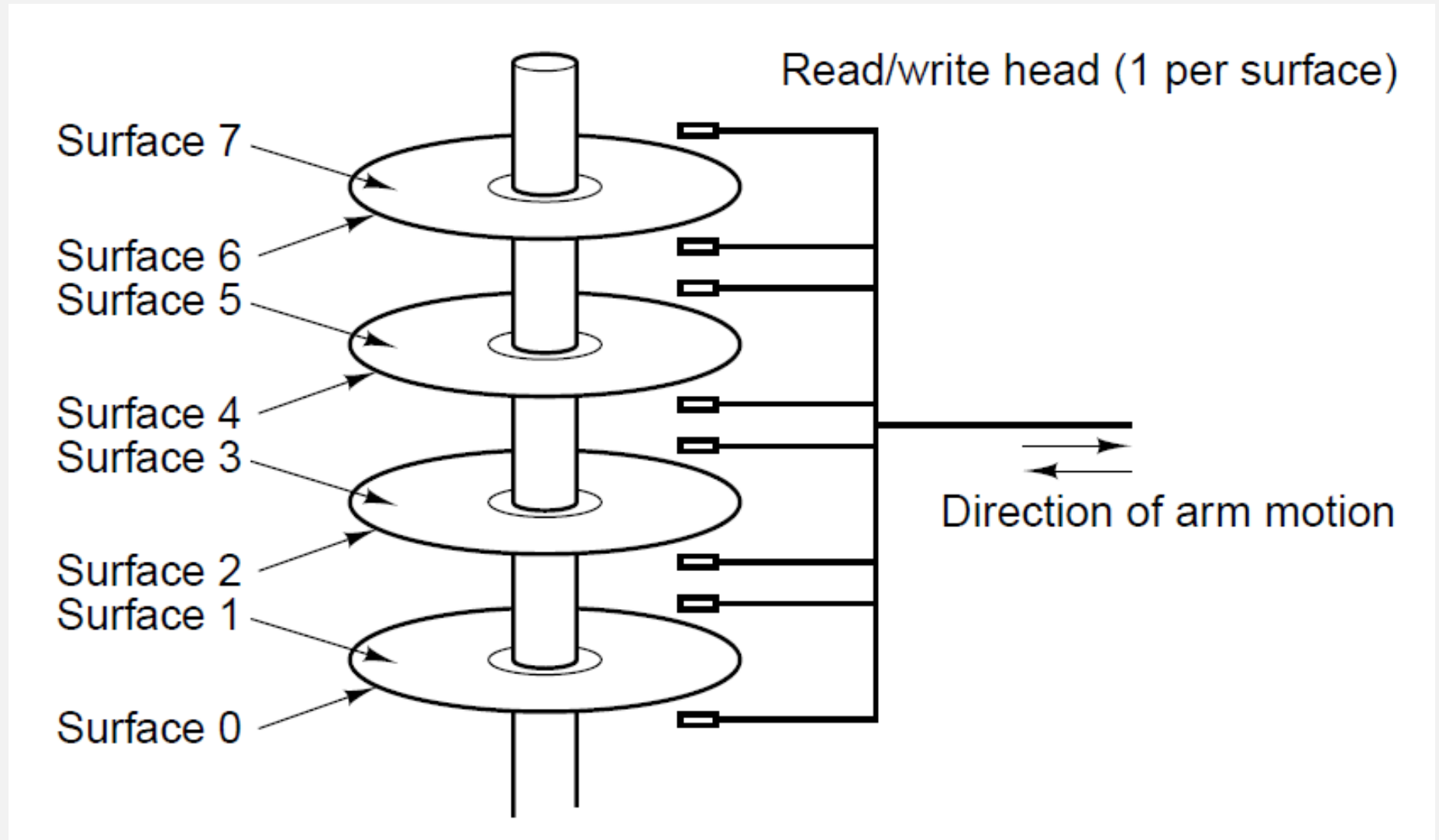
A formatação na fábrica cria os setores e trilhas.

A formatação lógica é a preparação do disco para os sistemas de arquivos.



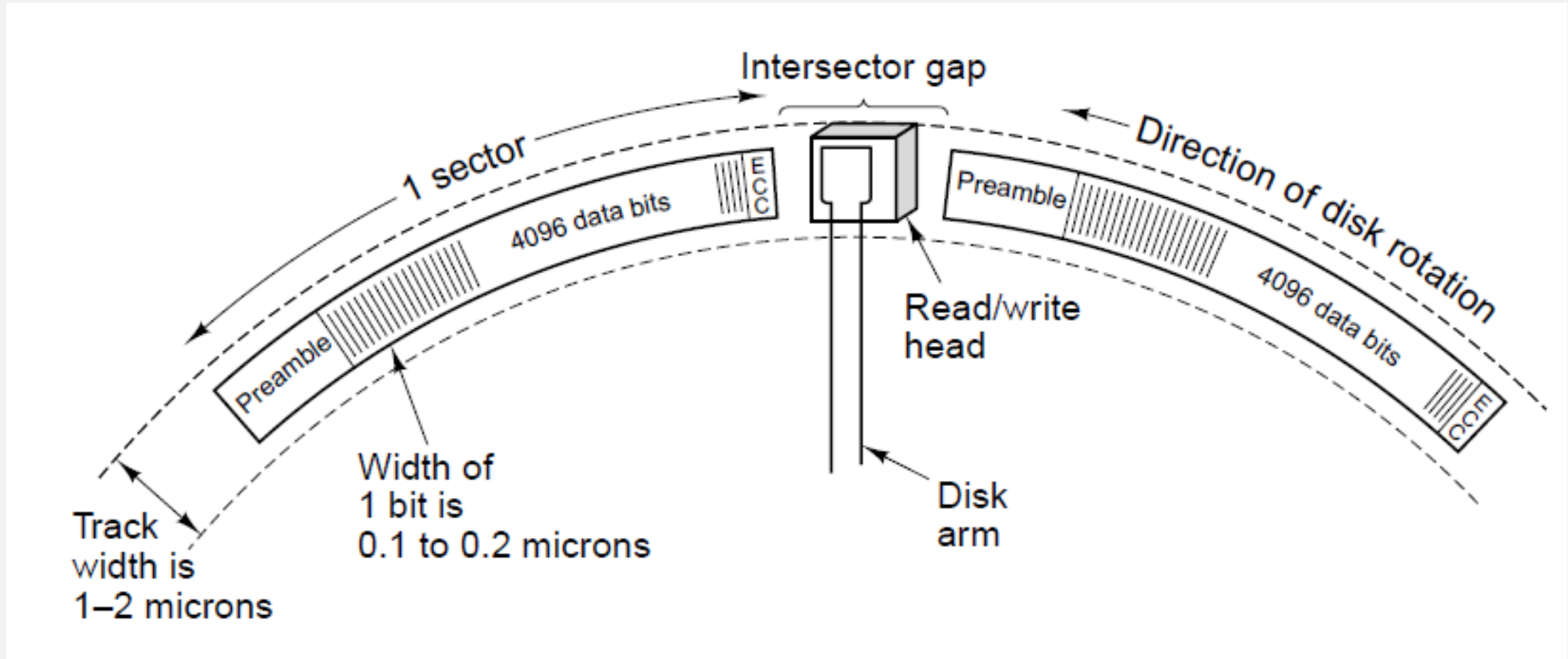
DISCO MAGNÉTICO

Um disco com 4 pratos



DISCO MAGNÉTICO

Uma porção de uma trilha com dois setores



SSD – SOLID-STATE DISKS

- Chip de memória Flash NAND **não-volátil**.
- 2 a 3 vezes mais rápida que HDs.
- Desvantagem: tempo de vida próximo a 100.000 escritas.
- TRIM – SO apaga os blocos, e não apenas marca “disponível para uso”, como nos HDs.
- **IOPS** (*Input/Output Operations Per Second*).
- Formatos e interfaces: M2, SATAe, NVME, U.2, PCI Express.

