Міністерство освіти і науки України

Національний університет "Львівська політехніка"

Кафедра ЕОМ

****

**Звіт**

з лабораторної роботи №6

з дисципліни :«Комп’ютерні системи»

на тему: «Побудова функціональної схеми процесорів архітектури RISC CPU»

Виконала: ст. гр. КІ-32   
 Селебинка Д.В.

Прийняв: викладач  
 Козак Н.Б.

Львів – 2020

**МЕТА РОБОТИ:** Навчитись розробляти нові функціональні модулі з метою розширення функціонування базової архітектури процесорів RISC, що відповідає програмній моделі, а також створення функціональної схеми.

**Завдання до лабораторної роботи.**

Згідно варіанту в журналі та узгоджено з викладачем обрати один з процесорів заданого сімейства на базі RISC архітектури, в звіті навести основну інформацію по процесору, схему та характеристику.

Внести необхідні зміни в проект з 5-ї лабораторної (типи кешів, розмірності шин даних, назви та типи сигналів, операції, буферні модулі і т.д.) з метою реалізації фукнціоналу з обраного процесору. В звіті представити коротко внесені зміни з описом ходу роботи, а також кінцеву функціональну схему програмної моделі.

***Варіанти до 6-ї лабораторної роботи:***

***7) Hewlett-Packard's PA-RISC, also known as HP-PA.***

***Хід роботи :***

PA-RISC — мікропроцесорна архітектура, розроблена компанією Hewlett-Packard. Як випливає з назви, це RISC-архітектура; PA означає Precision Architecture (укр. точна архітектура). Іноді цю архітектуру називають HP/PA (Hewlett Packard Precision Architecture).

Архітектура була представлена ​​26 лютого 1986 року, коли були випущені перші моделі HP 3000 Series 930 та HP 9000 Model 840 оснащені першою реалізацією архітектури - TS1.

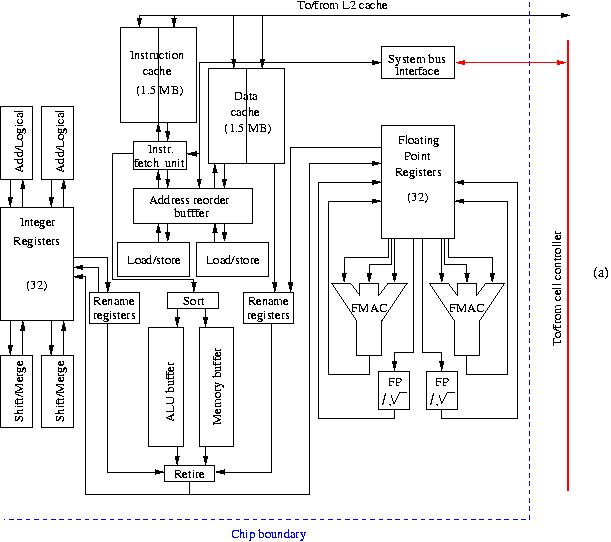
HP припинила продажі машин HP 9000, заснованих на PA-RISC, в кінці 2008 року. Підтримка серверів на процесорах PA-RISC була продовжена до 2013 року.

Рис.1Структура HP-PA

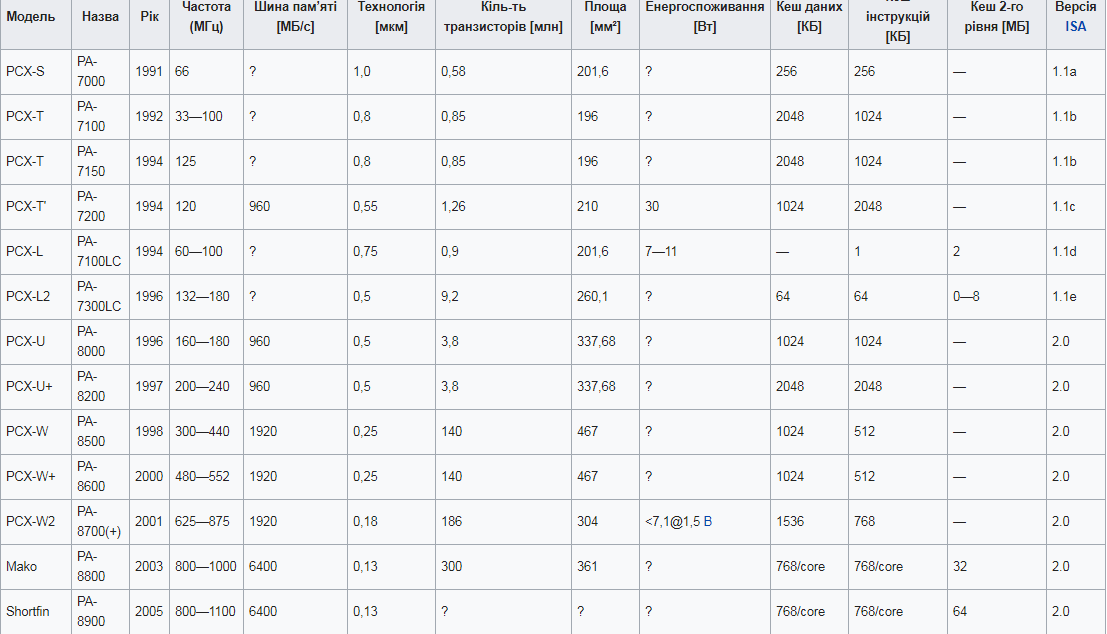


Рис.2 Мікропроцесори архітектури HP-PA

1. Розширення кількості операцій в FLOAT\_BLOCK

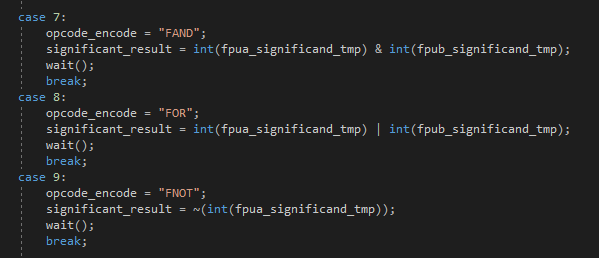
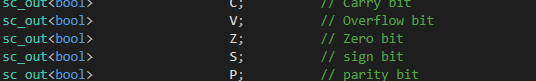


Рис.3 Розширення кількоcті операцій

1. Додавання прапорців в EXEC\_BLOCK



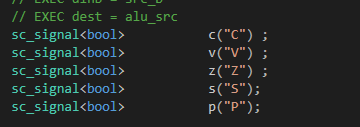


Рис.4 Прапорці

1. Зміни в ICACHE\_BLOCK

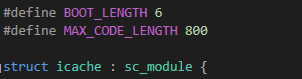


Рис.5 Зміни в кеші для інструкцій

1. Зміни в DCACHE\_BLOCK

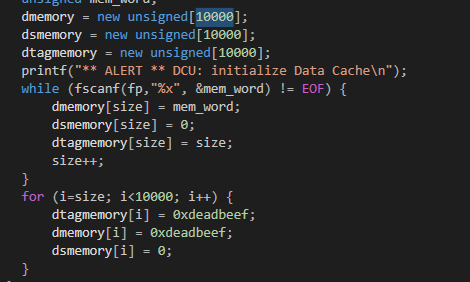
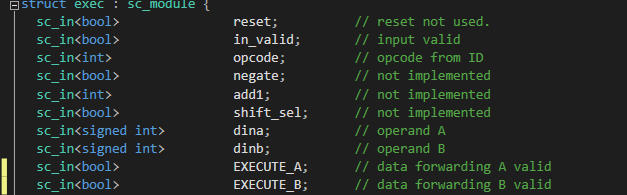


Рис.6 Зміни в кеші даних

1. Змінив назви сигналів в DECODE\_BLOCK і EXEC\_BLOCK:



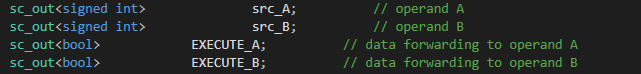


Рис.7 Зміни сигналів



Рис.8 Функціональна схема RISC CPU

**Висновок:** на даній лабораторній роботі я навчилася розробляти нові функціональні модулі з метою розширення функціонування базової архітектури процесорів RISC, що відповідає програмній моделі, а також створення функціональної схеми.