МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ

Национальный аэрокосмический университет им. Н.Е. Жуковского

«Харьковский авиационный институт»

Кафедра компьютерных систем и сетей

Лабораторная работа № 1

По курсу «Технологии проектирования компьютерных систем»

ХАИ.503.525а.17В. 050102, 1505076 ПЗ

Выполнил студент *гр.525а* Артемьев Д. И,

(№ группы) (Ф.И.О.)

(подпись, дата)

Проверил старший преподаватель каф.503

(научная степень, ученое звание, должность)

Перепелицин А.Е

(подпись, дата) (Ф.И.О.)

Харьков 2017

**Лабораторная работа№1**

**Цель:** научиться создавать простые проектные решения с помощью языка описания аппаратуры VHDL в среде проектирования Quartus II Web Edition, проводить их отладку в среде ModelSim-Altera. Ознакомиться с общей структурой VHDL описания цифровых устройств. Понятие RTL-уровень представления цифровых проектов. Рассмотреть основные типы данных языка VHDL, архитектурное тело проекта и его декларативную часть.

**Задание 1.**

В среде проектирования Quartus II Web Edition создать на языке VHDL описание устройства в соответствии с индивидуальным заданием:



nor – двухвходовые логические элементы ИЛИ-НЕ; nand – двухвходовые логические элементы И-НЕ. Отладить разработанное проектное решение в среде ModelSim-Altera. Создать условно-графическое изображение полученного текстового описания (BSF).

**Листинг VHDL кода проекта**

-----------------------------------------------

library ieee;

use ieee.std\_logic\_1164.all;

entity first is

port (x1, x2, x3, x4, x5 : in std\_logic;

y0 : out std\_logic);

end first;

architecture RTL of first is

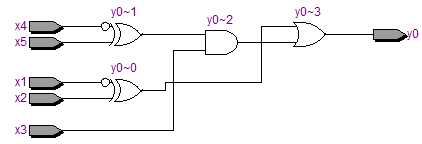
begin

y0 <= ((not x1) xor x2) or (x3 and((not x4) xor x5));

end RTL;

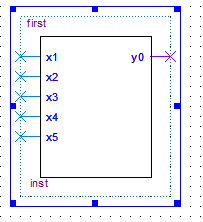
-----------------------------------------------

На Рисунках 1.1 и 1.2 изображены Схематические решения индивидуального задания:



*1.1 RTL-представление проекта.*

*1.2 Условно-графическое обозначение элемента (BSF).*



-----------------------------------------------

library ieee;

use ieee.std\_logic\_1164.all;

entity test\_first is

end test\_first;

architecture behavior of test\_first is

component first

port (x1,x2,x3,x4,x5 : in std\_logic;

y0 : out std\_logic);

end component;

signal x1, x2, x3, x4, x5 : std\_logic :='0';

signal y0 : std\_logic;

begin

p1 : first port map (x1 => x1, x2 => x2, x3 => x3, x4 => x4, x5 => x5, y0 => y0);

process

begin

x1 <= not x1;

wait for 100 ps;

end process;

process

begin

x2 <= not x2;

wait for 200 ps;

end process;

process

begin

x3 <= not x3;

wait for 400 ps;

end process;

process

begin

x4 <= not x4;

wait for 800 ps;

end process;

process

begin

x5 <= not x5;

wait for 1600 ps;

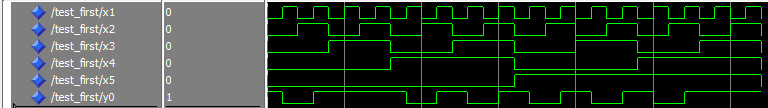
end process;

end behavior;

-----------------------------------------------

**Эпюры:**

На рисунке 1.3, представлены эпюры к заданным схемам.



*Рисунок 1.3 Эпюры напряжений*

**Выводы:**

**VHDL** — [язык описания аппаратуры](https://ru.wikipedia.org/wiki/Язык_описания_аппаратуры) интегральных схем. [Язык проектирования](https://ru.wikipedia.org/wiki/Язык_проектирования) VHDL является базовым языком при разработке аппаратуры современных вычислительных систем.

#### Простые типы

* BOOLEAN (логический) – объекты данного типа могут принимать значения FALSE (ложь) и TRUE (истина).
* INTEGER (целый) – значения данного типа представляют собой 32-разрядные числа со знаком. Объекты типа INTEGER могут содержать значения из диапазона –(231–1)…231–1 (-2147483647 … 2147483647).
* BIT (битовый) – представляет один логический бит. Объекты данного типа могут содержать значение '0' или '1'.
* STD\_LOGIC (битовый) – представляет один бит данных. Объекты данного типа могут принимать 9 состояний. Данный тип определен стандартом IEEE 1164 для замены типа BIT.
* STD\_ULOGIC (битовый) – представляет один бит данных. Объекты данного типа могут принимать 9 состояний. Данный тип определен стандартом IEEE 1164 для замены типа BIT (см. Примечание).
* ENUMERATED (перечислимый) – используется для задания пользовательских типов.
* SEVERITY\_LEVEL – перечислимый тип, используется только в операторе ASSERT.
* CHARACTER – символьный тип.

#### Сложные типы

* BIT\_VECTOR – одномерный массив элементов типа BIT;
* STD\_LOGIC\_VECTOR – одномерный массив элементов типа STD\_LOGIC;
* STD\_ULOGIC\_VECTOR – одномерный массив элементов типа STD\_ULOGIC;
* STRING – одномерный массив элементов типа CHARACTER;

Проект VHDL представляет собой описание некого абстрактного устройства разделенное на 2 части: Описание Входов/Выходов устройства(Сущность) и Описания Логики функционирования(Архитектурное тело).

Пакет — вспомогательная единица проекта , позволяющая систематизировать часто используемые описания констант, типов и подтипов программы. В пакет объединяются декларации различных объектов и типов языка, связанных общим признаком.

Синтаксис объявления пакета:  
  
\объявление пакета\**::**= **package** \идентификатор\ **is**  
       {объявление в пакете}  
       **end [package]**[\идентификатор\];

Декларативная часть представляет собой объявление констант переменных сигналов в виде:

Объект(constant, variable, signal) Имя: Имя\_Типа [:= значение];

Декларативная часть проекта содержит сборочные параметры.