

TRABALHO PRÁTICO 3 - XOR

1 Objetivo

Projetar o *layout* de uma porta lógica XOR de duas entradas considerando duas implementações diferentes: (1) CMOS estática com 12 transistores e (2) Transistor de Passagem com 6 transistores. Além disso, realizar a caracterização elétrica dos *layouts* e gerar os seguintes resultados:

- Valores dos tempos de resposta para as duas xor projetadas (T_{phl} , T_{plh} , T_{rise} e T_{fall}).
- Medir a potência média consumida.
- Calcular a energia média consumida.

2 Desenvolvimento

Primeiramente foram desenvolvidos os *layouts* referentes as duas versões da porta XOR de duas entradas especificadas pelo trabalho. As figuras 1 e 2 apresentam o layout da porta XOR estática CMOS e da porta XOR com transistor de passagem, respectivamente. O desenvolvimento destes layouts foi realizado utilizando a ferramenta Virtuoso da Cadence.

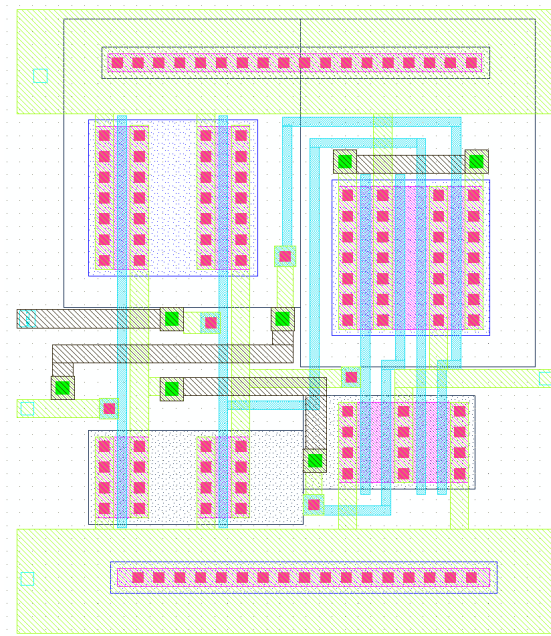


Figura 1: Layout da porta XOR estática CMOS.

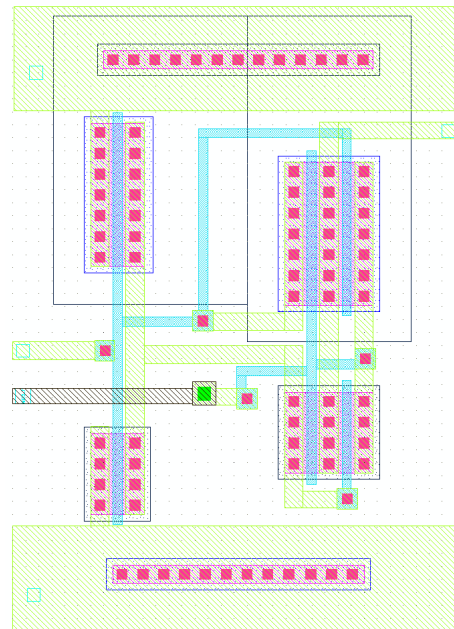


Figura 2: Layout da porta XOR com Transistor de Passagem.

A largura dos transistores utilizada foi de 5.5μ para os transistores PMOS e 3.1μ para os transistores NMOS. As figuras 3 e 4 mostram os diagramas esquemáticos projetados de acordo com as duas implementações de XOR propostas.

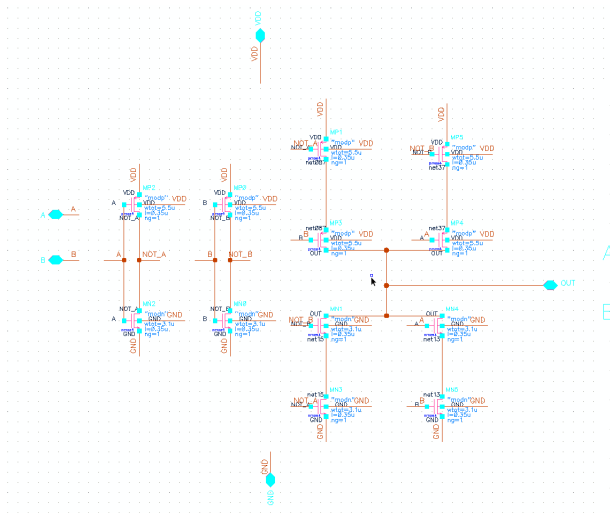


Figura 3: Diagrama esquemático da porta XOR estática CMOS.

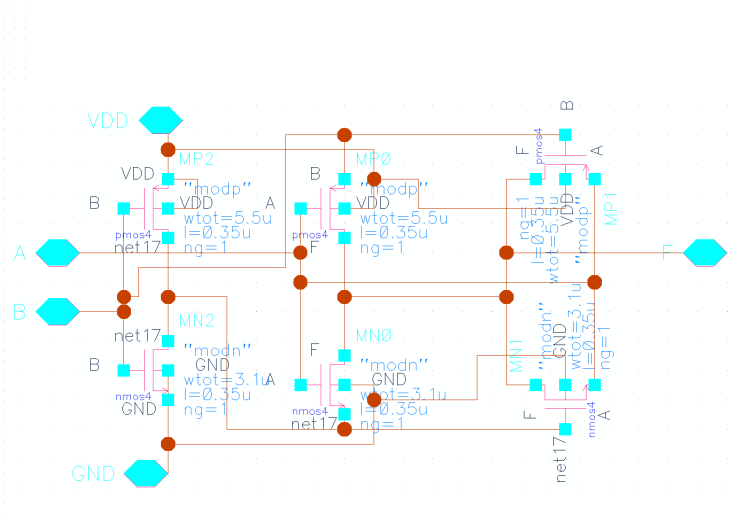


Figura 4: Diagrama esquemático da porta XOR com Transistor de Passagem.

3 Verificações

A verificação DRC e LVS (*Layout versus Schematic*) sobre os layouts projetados foram realizadas de acordo com as regras de layout da tecnologia AMS 0.35μ .

As figuras 5, 6, 7 e 8 mostram, respectivamente, a saída do software virtuoso para a verificação DRC e LVS de cada uma das versões da XOR de duas entradas desenvolvidas.

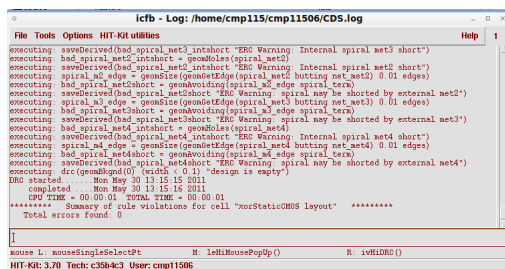


Figura 5: Verificação DRC para a porta XOR estática CMOS.

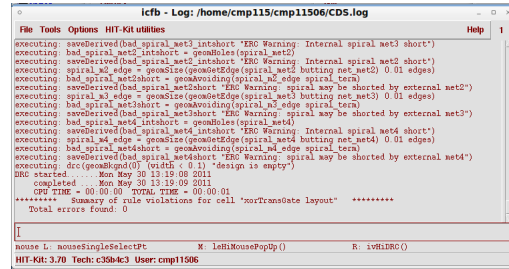


Figura 6: Verificação DRC para a porta XOR com Transistor de Passagem.

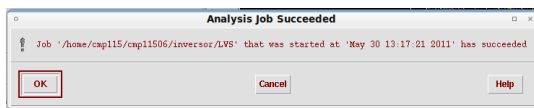


Figura 7: Verificação LVS para a porta XOR estática CMOS.

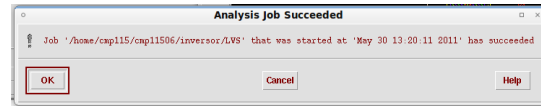


Figura 8: Verificação LVS para a porta XOR com Transistor de Passagem.

A extração das capacitâncias parasitas também foi realizada afim de poder realizar a verificação LVS. Além disso, os *layouts* com as capacitâncias parasitas extraídas foram utilizados para realizar a caracterização elétrica de cada uma das duas versões de porta XOR de duas entradas implementadas. Essa caracterização elétrica será apresentada na próxima seção.

As figuras 9 e 10 apresentam os *layouts* com as capacitâncias parasitas extraídas para a versão de porta XOR de duas entradas estática CMOS e para a versão com transistor de passagem, respectivamente.

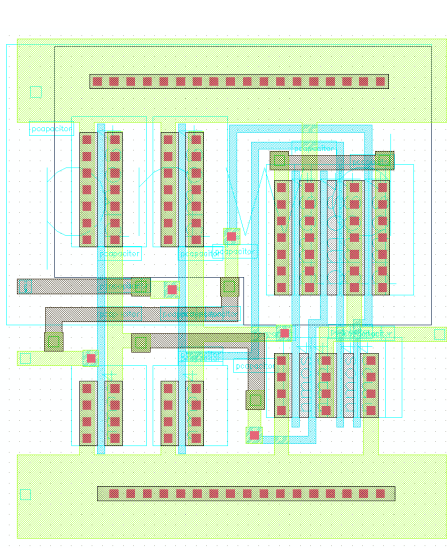


Figura 9: Layout com as capacitâncias parasitas extraídas da porta XOR estática CMOS.

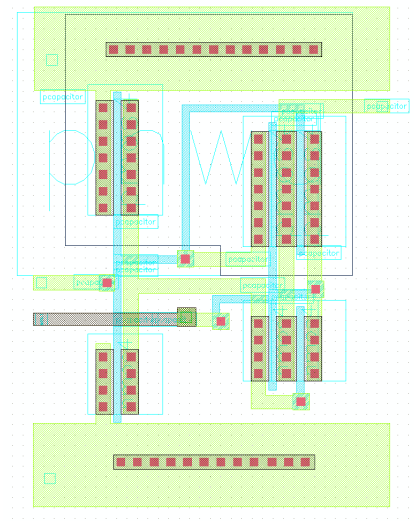


Figura 10: Layout com as capacitâncias parasitas extraídas da porta XOR com Transistor de Passagem.

4 Caracterização Elétrica

O modelo de simulação utilizado para as duas implementações da porta XOR de duas entradas está representado na figura 11. A carga utilizada na saída foi de $0,1pF$.

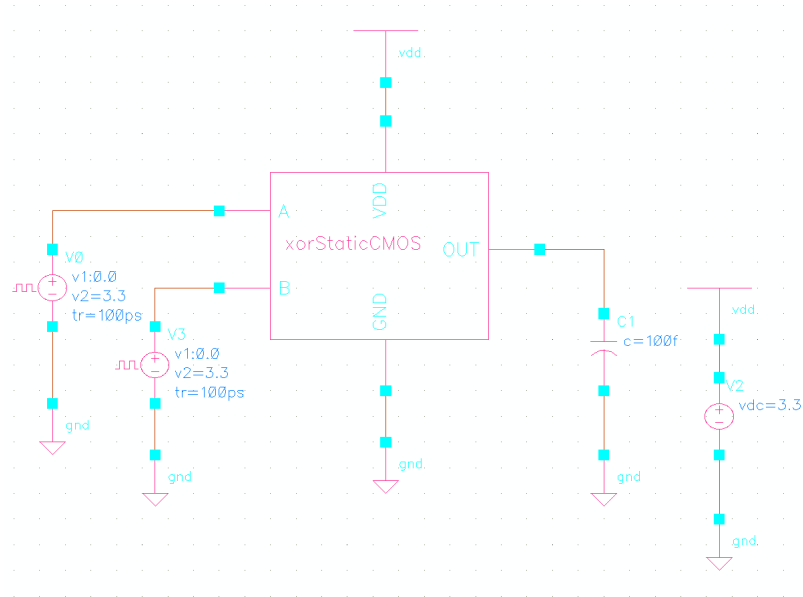


Figura 11: Modelo de simulação utilizado para realizar a caracterizacao elétrica das portas XOR projetadas.

Considerando a análise transiente realizada, quatro tempos de resposta foram obtidos: (1) T_{phl} (tempo de high low), (2) T_{plh} (tempo de low high), (3) T_{rise} (tempo de subida) e (4) T_{fall} (tempo de descida). Para medir corretamente esses tempos de resposta, foi necessário considerar todas as transições possíveis na entrada. As tabelas 1 e 2 mostram os tempos medidos para a XOR estática CMOS e com transistor de passagem respectivamente. Em destaque os tempos de resposta considerando o pior caso.³

O passo seguinte foi realizar a medição da potência consumida pelas duas versões da porta XOR projetada. O modelo de simulação mostrado na figura também foi utilizado nesta etapa. A frequência de chaveamento utilizada foi de 200MHz.

A potência consumida foi de 0,355mW para a versão estática CMOS e 0,045mW para a versão com

Tabela 1: Transições e tempos de resposta para a XOR estática CMOS.

A	B	A'	B'	Trise (ns)	Tfall (ns)	TPlh (ns)	TPhl(ns)
1	1	0	1	0,777	-	0,361	-
1	1	1	0	0,832	-	0,36	-
0	0	1	0	0,847	-	0,46	-
0	0	0	1	0,776	-	0,428	-
0	1	1	1	-	0,407	-	0,222
0	1	0	0	-	0,496	-	0,342
1	0	0	0	-	0,497	-	0,329
1	0	1	1	-	0,406	-	0,219

Tabela 2: Transições e tempos de resposta para a XOR com transistor de passagem.

A	B	A'	B'	Trise (ns)	Tfall (ns)	TPlh (ns)	TPhl(ns)
1	1	0	1	0,4	-	0,361	-
1	1	1	0	0,353	-	0,36	-
0	0	1	0	0,35	-	0,46	-
0	0	0	1	0,401	-	0,428	-
0	1	1	1	-	0,419	-	0,221
0	1	0	0	-	0,26	-	0,116
1	0	0	0	-	0,227	-	0,085
1	0	1	1	-	0,419	-	0,261

transistor de passagem. Sendo assim, a energia média consumida foi de 3,55pJ para a XOR estática CMOS e 0.45pJ para a XOR com transistor de passagem. A tabela 3 apresenta uma comparação considerando todos os resultados obtidos para as duas versões.

Tabela 3: Comparação entre as duas implementações de XOR de duas entradas.

	Trise (ns)	Tfall (ns)	TPlh (ns)	TPhl(ns)	Tp(ns)	Potência(mW)	Energia
CMOS	0,847	0,497	0,46	0,342	0,401	0,355	3.55pJ
Passagem	0,401	0,419	0,46	0,261	0,365	0,045	0,45pJ

5 Referências

1. Rabaey, J., Chandrakasan, ^a,Nikolic, B. - "Digital Integrated Circuits - A Design Perspective". Prentice Hall, 2^aEdição. ISBN 0-13178609-1.
2. AMS 0.35 μ m CMOS C35 Design Rules revisão 2.0, 2003.