

## TRABALHO PRÁTICO 3 - XOR

### 1 Objetivo

Projetar o *layout* de uma porta lógica XOR de duas entradas considerando duas implementações diferentes: (1) CMOS estática com 12 transistores e (2) Transistor de Passagem com 6 transistores. Além disso, realizar a caracterização elétrica dos *layouts* e gerar os seguintes resultados:

- Valores dos tempos de resposta para as duas xor projetadas ( $T_{phl}$ ,  $T_{plh}$ ,  $T_{rise}$  e  $T_{fall}$ ).
- Medir a potência média consumida.
- Calcular a energia média consumida.

### 2 Desenvolvimento

Primeiramente foram desenvolvidos os *layouts* referentes as duas versões da porta XOR de duas entradas especificadas pelo trabalho. As figuras 1 e 2 apresentam o layout da porta XOR estática CMOS e da porta XOR com transistor de passagem, respectivamente. O desenvolvimento destes layouts foi realizado utilizando a ferramenta Virtuoso da Cadence.

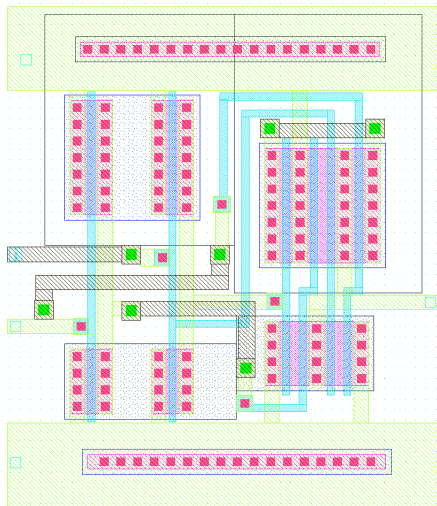


Figura 1: Layout da porta XOR estática CMOS.

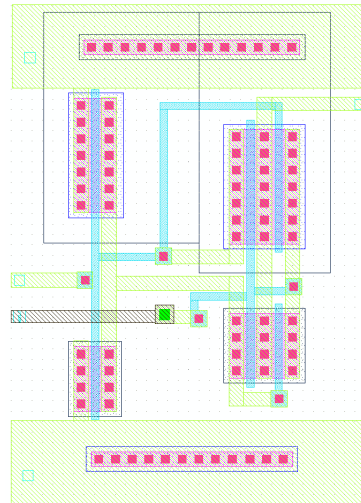


Figura 2: Layout da porta XOR com Transistor de Passagem.

A largura dos transistores utilizada foi de  $5.5\mu$  para os transistores PMOS e  $3.1\mu$  para os transistores NMOS. As figuras 3 e 4 mostram os diagramas esquemáticos projetados de acordo com as duas implementações de XOR propostas.

### 3 Verificações

A verificação DRC e LVS (*Layout versus Schematic*) sobre os layouts projetados foram realizadas. As figuras 5, 6, 7 e 8 mostram a saída do software virtuoso para a verificação DRC e LVS respectivamente.

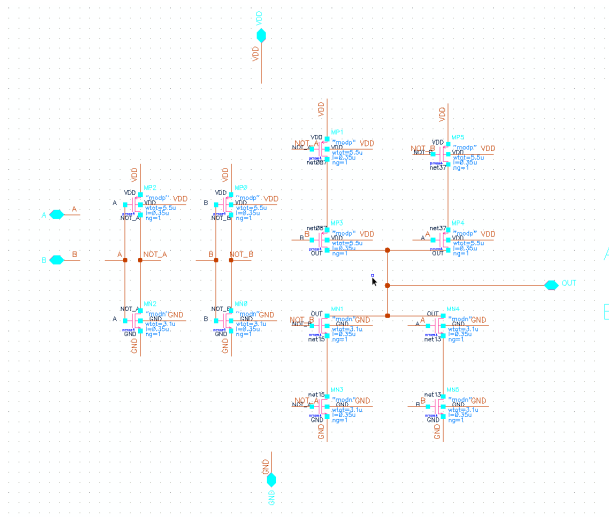


Figura 3: Diagrama esquemático da porta XOR estática CMOS.

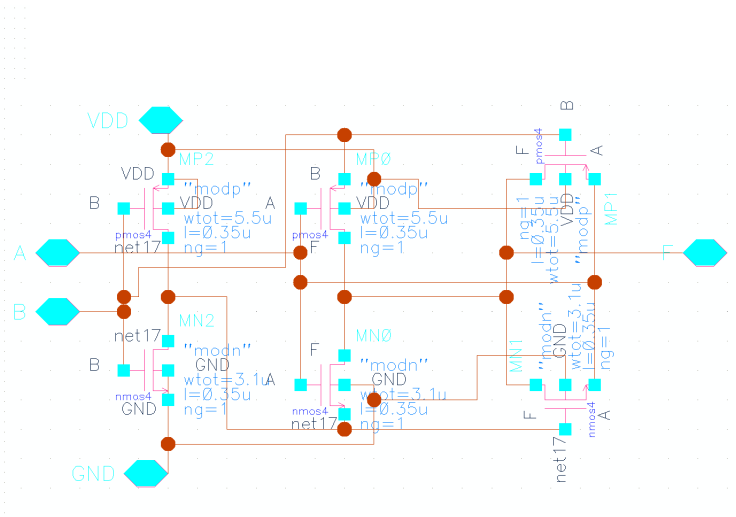


Figura 4: Diagrama esquemático da porta XOR com Transistor de Passagem.

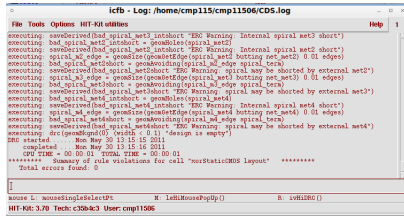


Figura 5: Verificação DRC para a porta XOR estática CMOS.

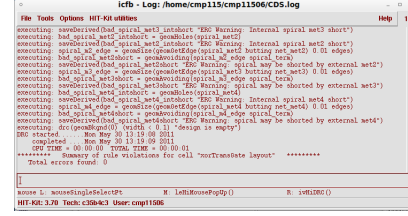


Figura 6: Verificação DRC para a porta XOR com Transistor de Passagem.

A extração das capacitâncias parasitas também foi realizada. Os *layouts* com as capacitâncias parasitas extraídas foram utilizados para realizar a caracterização elétrica de cada projeto, apresentada na próxima seção. As figuras 9 e 10 apresentam os *layouts* com as capacitâncias parasitas extraídas.

## 4 Caracterização Elétrica

O modelo de simulação utilizado para as duas implementações da porta XOR de duas entradas está representado na figura 11. A carga utilizada na saída foi de  $0,1pF$ .

Considerando a análise transiente realizada, quatro tempos de resposta foram obtidos: (1) $T_{phl}$  (tempo de high low), (2) $T_{plh}$  (tempo de low high), (3) $T_{rise}$  (tempo de subida) e (4) $T_{fall}$  (tempo de descida). Para medir corretamente esses tempos de resposta, foi necessário considerar todas as transições possíveis na entrada. As tabelas 1 e 2 mostram os tempos medidos para a XOR estática CMOS e com transistor de passagem respectivamente. Em destaque os tempos de resposta considerando o pior caso.3

Tabela 1: Transições e tempos de resposta para a XOR estática CMOS.

| A | B | A' | B' | Trise (ns)   | Tfall (ns)   | TPlh (ns)   | TPHl(ns)     |
|---|---|----|----|--------------|--------------|-------------|--------------|
| 1 | 1 | 0  | 1  | 0,777        | -            | 0,361       | -            |
| 1 | 1 | 1  | 0  | 0,832        | -            | 0,36        | -            |
| 0 | 0 | 1  | 0  | <b>0,847</b> | -            | <b>0,46</b> | -            |
| 0 | 0 | 0  | 1  | 0,776        | -            | 0,428       | -            |
| 0 | 1 | 1  | 1  | -            | 0,407        | -           | 0,222        |
| 0 | 1 | 0  | 0  | -            | 0,496        | -           | <b>0,342</b> |
| 1 | 0 | 0  | 0  | -            | <b>0,497</b> | -           | 0,329        |
| 1 | 0 | 1  | 1  | -            | 0,406        | -           | 0,219        |



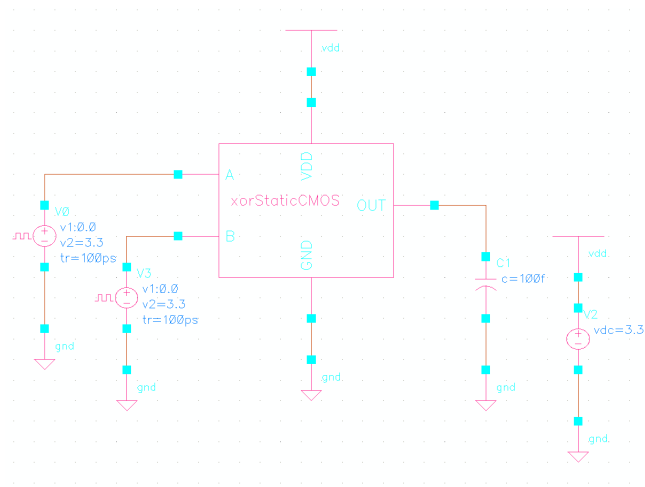


Figura 11: Modelo de simulação utilizado para realizar a caracterizacao elétrica das portas XOR projetadas.

Tabela 2: Transições e tempos de resposta para a XOR com transistor de passagem.

| A | B | A' | B' | Trise (ns)   | Tfall (ns)   | TPlh (ns)   | TPhl(ns)     |
|---|---|----|----|--------------|--------------|-------------|--------------|
| 1 | 1 | 0  | 1  | 0,4          | -            | 0,361       | -            |
| 1 | 1 | 1  | 0  | 0,353        | -            | 0,36        | -            |
| 0 | 0 | 1  | 0  | 0,35         | -            | <b>0,46</b> | -            |
| 0 | 0 | 0  | 1  | <b>0,401</b> | -            | 0,428       | -            |
| 0 | 1 | 1  | 1  | -            | 0,419        | -           | 0,221        |
| 0 | 1 | 0  | 0  | -            | 0,26         | -           | 0,116        |
| 1 | 0 | 0  | 0  | -            | 0,227        | -           | 0,085        |
| 1 | 0 | 1  | 1  | -            | <b>0,419</b> | -           | <b>0,261</b> |

Tabela 3: Comparação entre as duas implementações de XOR de duas entradas.

|          | Trise (ns) | Tfall (ns) | TPlh (ns) | TPhl(ns) | Tp(ns) | Potência(mW) | Energia |
|----------|------------|------------|-----------|----------|--------|--------------|---------|
| CMOS     | 0,847      | 0,497      | 0,46      | 0,342    | 0,401  | 0,355        | 3.55pJ  |
| Passagem | 0,401      | 0,419      | 0,46      | 0,261    | 0,365  | 0,045        | 0,45pJ  |