

TRABALHO PRÁTICO 2 - BUFFER

1 Objetivo

Projetar um layout de um buffer tapered de N estágios e realizar a verificação, extração de capacitâncias parasitas a partir do layout. Além disso, realizar a caracterização elétrica do buffer e gerar os seguintes resultados:

- Margens de ruído High e Low, obtidas a partir da função de transferência DC.
- Valores dos tempos de resposta para o inversor projetado (T_{phl} , T_{plh} , T_{rise} e T_{fall}).
- Medir a potência consumida pelo inversor projetado à uma frequência de chaveamento de 200MHz.
- Calcular a energia média consumida por um par de transições L- \rightarrow H e H- \rightarrow L na saída do buffer.

2 Projeto e Dimensionamento do Buffer

O dimensionamento do buffer foi realizado com o objetivo de minimizar o atraso. Todo o projeto foi realizado utilizando como base o inversor projetado no trabalho 1. A figura 2 apresenta o layout do inversor utilizado como base.

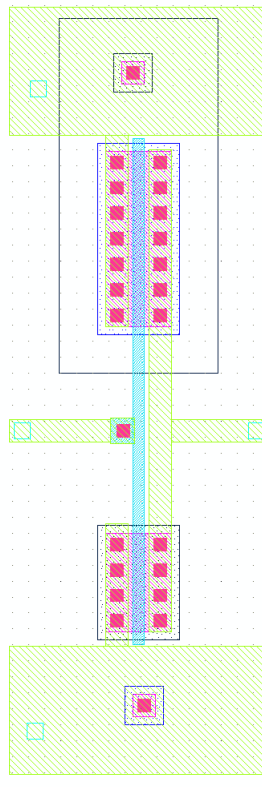


Figure 1: Layout do inversor INV_1X

Primeiramente foi calculado o valor da capacitância de entrada C_{gin} , com base nas dimensões do inversor INV_1X.

$$C_{gin} = (W_p + W_n) \cdot L \cdot C_{ox}$$

$$C_{gin} = (5,5\mu m + 3,1\mu m) \cdot 0,35\mu m \cdot 4,54fF$$

$$C_{gin} = 13,67fF$$

Em seguida, foi realizado o cálculo do Fan-Out Efetivo.

$$F = CL/C_{gin}$$

$$F = 1pF/13,67fF$$

$$F = 73,15$$

Com base no Fan-Out efetivo (F) foi então realizado o dimensionamento do buffer. O número de estágios foi definido visando minimizar o atraso. A tabela 1 apresenta o cálculo realizado para obtenção do número de estágios que foi utilizado no buffer. As equações utilizadas abaixo são referentes ao f (fator de sizing entre os estágios) e tp que é o atraso do buffer. Neste cálculo o valor de $tp0$ foi abstraído, pois é um valor constante e o valor de gama utilizado foi igual a 1.

N	$f = \sqrt[N]{F}$	$tp = N \cdot tp0 \cdot (1 + f/gama)$
1	73,15	74,15 $tp0$
2	8,55	19,1 $tp0$
3	4,12	15,36 $tp0$
4	2,92	15,68 $tp0$

Table 1: Cálculo do número de estágios para o buffer.

Considerando os resultados apresentados na tabela 1, o buffer foi projetado com 3 estágios e com um fator de sizing (f) igual a 4,12. Desse modo, as dimensões dos inversores que compõem o buffer foram as seguintes:

- INV_1: $W_p = 5,5\mu m$ e $W_n = 3,1\mu m$
- INV_2: $W_p = 22,0\mu m$ e $W_n = 12,4\mu m$
- INV_3: $W_p = 88,0\mu m$ e $W_n = 49,6\mu m$

A figura 2 apresenta o layout do buffer considerando os cálculos apresentados anteriormente. A técnica de *folding* foi utilizada para possibilitar o layout do buffer no espaço determinado na especificação do trabalho (altura da célula, $20\mu m$).

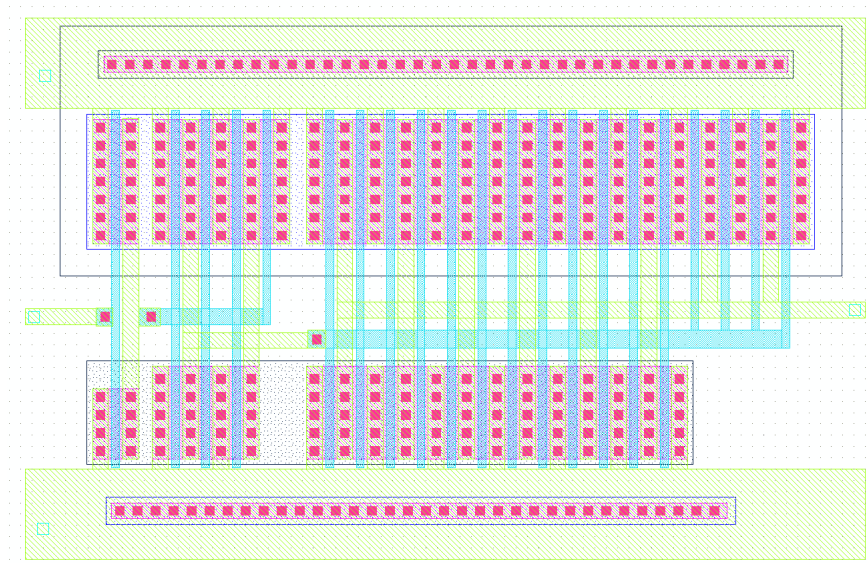


Figure 2: Layout do buffer projetado

3 Verificações

A primeira verificação realizada sobre o projeto do layout do buffer foi a verificação DRC. A figura 3 apresenta a saída do software para a verificação DRC. É possível observar que nenhum erro foi encontrado.

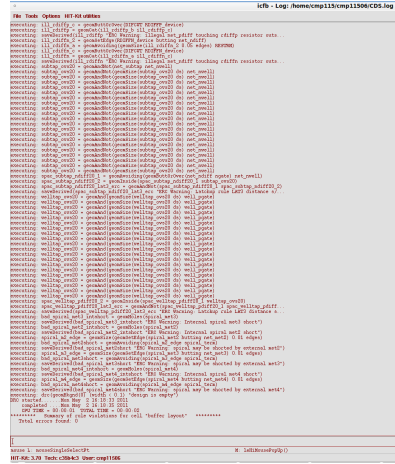


Figure 3: Resultado verificação DRC.

O esquemático do buffer também foi construído, afim de realizar a verificação LVS (*layout versus schematic*). A figura 3 apresenta o esquemático referente ao buffer projetado e a figura 3 apresenta o resultado da verificação LVS.

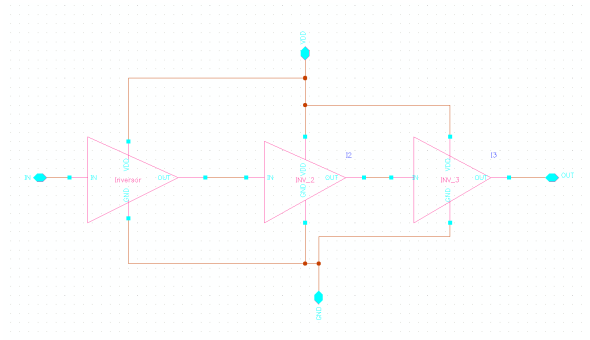


Figure 4: Esquemático do buffer projetado.

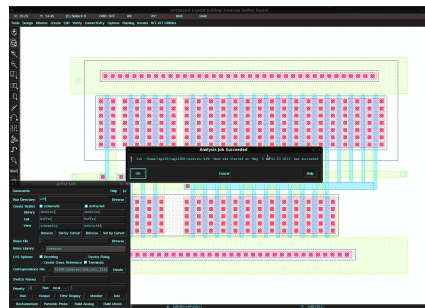


Figure 5: Resultado da verificação LVS.

A extração das capacitâncias parasitas também foi realizada. O layout com as capacitância parasitas extraídas foi utilizado para realizar a caracterização elétrica do buffer projetado, que será apresentada na próxima seção. A figura 3 apresenta o layout do buffer com as capacitâncias parasitas extraídas.

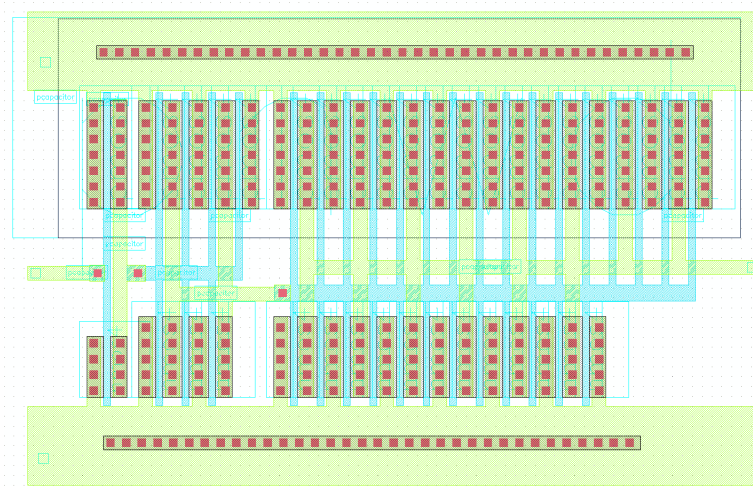


Figure 6: Layout do buffer projetado com as capacitâncias parasitas extraídas.

4 Caracterização Elétrica

O modelo de simulação utilizado está representado na figura 4. A fonte vdc na entrada foi utilizada para obter a curva de transferência DC enquanto que a fonte vpulse foi utilizada para realizar a análise transiente. A carga utilizada na saída é de $1pF$, como descrito na especificação.

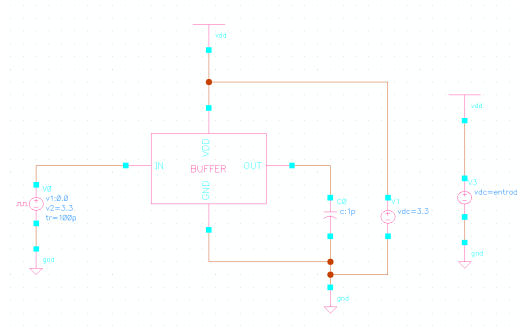


Figure 7: Modelo de simulação utilizado para realizar a caracterização elétrica do buffer.

Primeiramente foi gerada a função de transferência DC para o cálculo das margens de ruído High e Low. A figura 4 apresenta a curva que representa função de transferência DC onde os pontos marcados são referentes aos limites das margens de ruído.

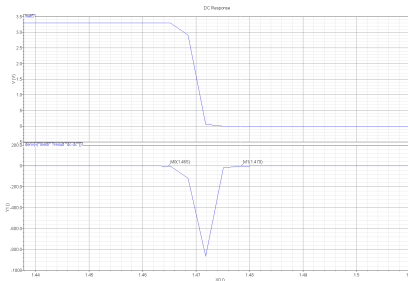


Figure 8: Curva de transferência DC.

Desse modo, a margem de ruído Low é 0V à 1.465V e a margem de ruído High é 1.478V à 3.3V.

Considerando a análise transiente quatro tempos de resposta foram medidos: (1)Tphl, (2)Tplh, (3)Trise e (4)Tfall. As figuras 4, 4, 4 e 4 mostram como esses tempos foram obtidos.

Com base nas curvas apresentadas acima, os tempos de resposta para o buffer projetado foram os seguintes:

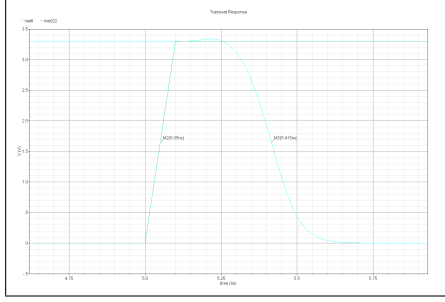


Figure 9: Curva de tempo High Low.

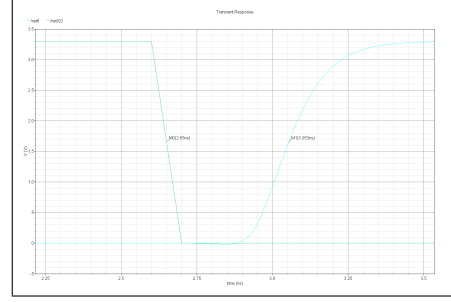


Figure 10: Curva de tempo Low High.

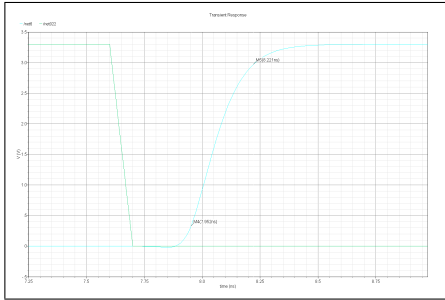


Figure 11: Curva de tempo de subida.

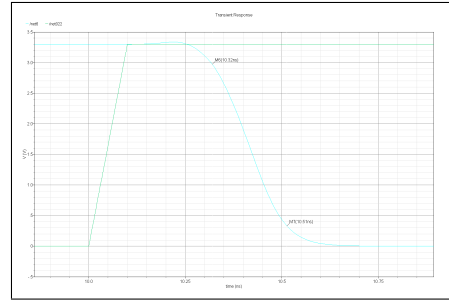


Figure 12: Curva de tempo de descida.

- $T_{phl} = M3 - M2 = 5,415ns - 5,050ns = 0.365ns$
- $T_{plh} = M1 - M0 = 3,053ns - 2,650ns = 0.403ns$
- $T_{rise} = M5 - M4 = 8,221ns - 7,952ns = 0,269ns$
- $T_{fall} = M7 - M6 = 10,51ns - 10,32ns = 0,19ns$

O passo seguinte foi realizar a medição da potência consumida pelo buffer projetado. O modelo de simulação mostrado na figura x também foi utilizado nesta etapa. A frequência de chaveamento utilizada foi de 200MHz. A figura x mostrar a curva que representa a corrente de alimentação utilizada no cálculo da potência.

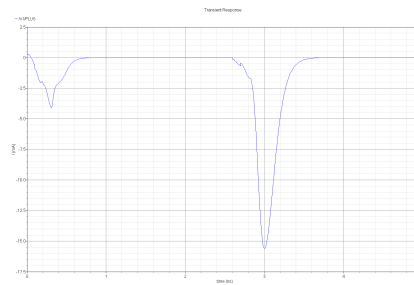


Figure 13: Curva de tempo de descida.

A potência consumida pelo inversor foi de 3,511mW. Sendo assim, a energia consumida por uma par de transições L- \bar{L} H e H- \bar{L} L na saída do inversor foi de 17,6pJ.

5 Referências