**Integrated Circuit Design**

Homework #4 Logic Synthesis with Design Compiler

Due: 2019/05/08 13:00

1. 問題描述

接續作業三之問題，利用 Design Compiler 將上次作業 Register Transfer Level 的程式碼轉成 Gate Level 的檔案。

1. 檔案說明

|  |  |
| --- | --- |
| 檔名 | 說明 |
| lcd\_ctrl.sdc | 除了 cycle time 以外，其他參數請勿修改。 |
| synopsys\_dc.setup | Design compiler 環境設定，上傳至工作站後請記得修改檔名為 .synopsys\_dc.setup |
| tsmc13\_neg.v | 模擬用之 Cell library |

1. 作業評分

本次作業滿分標準為：(1)合成結果不能有latch，(2)通過Gate-level模擬

Report 內需要包含下列項目：

1. 證明電路中沒有 Latch 的截圖
2. report\_timing, report\_area, report\_power 等三張截圖
3. Gate level 模擬通過截圖

所需繳交的檔案為:

|  |  |  |
| --- | --- | --- |
| Type | File Name | Description |
| RTL-level | lcd\_ctrl.v | 合成所使用的 RTL Verilog Code |
| Gate-level | lcd\_ctrl\_syn.v | Gate-level netlist |
|  | lcd\_syn.sdf | Standard Delay format file |
| Report | YourID#.pdf | 內需包含 Gate level 模擬結果的截圖、合成沒有 latch的截圖、design complier 所生成的 timing/area/power report |

請將以上檔案壓縮成 YourID#\_HW4\_v\*.tar.gz 並使用ceiba 繳交