

# Herramientas CAD

- Los HDL son lenguajes de alto nivel que definen hardware.
- Modelan componentes para su simulación
  - ↳ Descripciones independientes de la tecnología
- Describen el diseño de un circuito para su implementación física.
  - ↳ La calidad del resultado depende del estilo de descripción.
  - ↳ Necesitan parámetros físicos de la tecnología
- Los HDL no abordan el nivel físico de abstracción
  - ↳ Funcional
  - ↳ Arquitectural
  - ↳ Lógico
- Estilos descriptivos
  - ↳ Algorítmico: reflejan funcionalidad
  - ↳ Flujo de Datos: basado en ecuaciones y expresiones
  - ↳ Estructural: referencias a componentes y conexiones
- VHDL : VHSIC HDL, promovido por DoD(USA) estandarizado por IEEE (IEEE-1076) junto con verilog son los HDL de referencia.

# Modelos hardware empleados en VHDL

- Modelo de estructura
  - ↳ formado por varias partes que se conectan entre sí: entity, architecture, component
- Modelo de concurrencia
  - ↳ Modela el funcionamiento real del HW
  - ↳ Se pueden usar sentencias secuenciales dentro de procesos (process)
- Modelo de tiempo
  - ↳ Para simular HW de forma realista.
  - ↳ Simulación dirigida por eventos
- Modelo de síntesis
  - ↳ Implementa un circuito físico a partir de un modelo VHDL a través de un proceso de síntesis

## Unidades básicas de diseño

- Construcciones que sirven para modelar HW y que se pueden analizar de forma independiente

## Estructura básica de un archivo VHDL

encabezado

library  
use

entidad

entity nombre is  
end nombre

Architecture

architecture Arg of nombre is  
    signal  
    component  
begin  
    concurrent /process  
end Arg

\* Entidad: define la visión externa del dispositivo que representa, interfaz con el entorno

- Aquí se declaran los puertos, con un nombre, tipo y modo (output, input)
  - El identificador es el nombre de la entidad
- Existen reglas para los identificadores.

\* Arquitectura: define la funcionalidad, describe las operaciones sobre las entradas de la entidad que determinan el valor de las salidas en cada momento

- Las declaraciones son elementos necesarios para la descripción de la arquitectura, pueden ser constantes, tipos de datos, señales internas.

- Aquí se aplican los estilos de descripción

\* Paquetes: agrupan declaraciones que facilitan la reutilización y actualización de código.

## Objetos VHDL

• Es un elemento que tiene asignado un valor de un tipo determinado

• Debe declararse antes de usarse

• Un objeto declarado puede usarse en el ámbito que es visible.

\* Constantes : mantienen su valor inicial

\* Variables : pueden cambiar su valor mediante una sentencia de asignación

↳ Se declaran en la parte declarativa de los procesos, y son solamente visibles en el proceso

\* Señales : pueden modificar su valor, son una abstracción de una conexión física.

↳ Sirven para interconectar componentes de un circuito y para sincronizar procesos

↳ Se declaran en la arquitectura.

↳ Al asignar un nuevo valor, se adopta en el siguiente paso de simulación

## Procesos

Sentencia concurrente en cuyo interior las sentencias se ejecuten secuencialmente en tiempo cero.

↳ Los procesos se ejecutan cuando se producen eventos en las señales por los que son sensibles (definido en lista de sensibilidad)

↳ Con la sentencia wait, se ejecutan las sentencias que siguen a ésta hasta alcanzar una nueva sentencia wait.

# Sentencias Concurrentes

- Todas ellas se ejecutan en paralelo dentro del cuerpo de la arquitectura

## ↳ Tipos de sentencias concurrentes:

- Asignación Condicional
- Asignación Incondicional
- Asignación con selección
- Sentencias de llamada conc. → subprogramas
- Sentencias estructurales
- Sentencias procesos

## Sentencias estructurales

- Sentencias concurrentes dedicadas a la descrip. estructural del HW,

### ↳ Componentes

### ↳ Sentencia Generate

### ↳ Genéricos

### ↳ Block