

Nuevas Experiencias Plataforma OpenSPARC

Profesora: Yensy Helena Gómez Villegas

Delgado Galeano Daniela
dani.dega57@gmail.com

Arango Arias Jenny Lorena
Jeulm_333@hotmail.com

Loaiza Loaiza Angélica María
Angelica.loaiza323@gmail.com

RESUMEN

OpenSPARC es una comunidad de código abierto en torno a un diseño de hardware que cuenta con microprocesadores de alta escala como lo son el ultraSPARC T1 y T2, mediante esta investigación realizada se encontró un avance y aporte científico que trata de ahorro de energía para el openSPARC T2, en este artículo conocerán de qué trata esta plataforma y de cómo realizaron esta avance científico.

Pequeñas cantidades de hardware del equipo de la Propiedad Intelectual (IP) han estado disponibles desde hace muchos años en forma de código abierto, por lo general como descripciones escritas en un circuito RTL (Register nivel de transferencia) lenguaje como Verilog o VHDL. Sin embargo, hasta ahora, pocos diseños de hardware grande han estado disponibles en forma de código abierto. Uno de los diseños más complejos imaginables es para un microprocesador completo; Con la notable excepción del procesador LEON de 32 bits SPARC, ninguno de ellos ha estado disponible en forma de código abierto hasta hace poco.

INTRODUCCIÓN

Al pasar el tiempo cada vez es más evidente el desarrollo de la tecnología, por medio de este artículo se busca dar a conocer de un proyecto llamado openSPARC, una sociedad de código abierto para realizar contribuciones a los micro procesadores UltraSPARC T1 y T2, el cual en el año 2014 realizaron una investigación acerca de un circuito

integrado tridimensional junto con sus beneficios y potencial por medio de la metodología de recursos de diseños para la reducción de energía trabajado en el microprocesador de gran escala ultraSPARC T2.

OPENSARC

OpenSPARC es una plataforma de código abierto que laboran con chips de múltiples hilos (CMT) microprocesadores [1] también trabaja con la arquitectura SPARC, esta arquitectura está basada de un juego de instrucciones que se caracteriza por trabajar con ventanas de registros que es eficiente tanto en el rendimiento de compiladores como la reducción de instrucciones.

Este fue un proyecto de libre licencia iniciado en 2006 el cual ha sido utilizado en diferentes áreas como en videojuegos en 3D O protección de seguridad.

Ha obtenido mucha acogida en universidades y comunidades de investigación de todo el mundo.

Artículo científico openSPARC

Artículo respaldado por: On Enhancing Power Benefits in 3D ICs: Block Folding and Bonding Styles Perspective.

Derechos de autor:

Annual ACM/IEEE Design Automation Conference is the property of Association for Computing Machinery - UG Nawathe, et al .. "An 8-Core 64 de rosca 64b de ahorro de energía SPARC SoC," Circuitos de Estado Sólido del IEEE International, Dig. Documentos de tecnología, febrero de 2007, pp. 108-110.

Nuevas Experiencias Plataforma OpenSPARC

Profesora: Yensy Helena Gómez Villegas

EXPERIENCIAS CON DOS CHIPS FABSCALAR.

El proyecto openSPARC habla de dos núcleos superescalares. Esto puede usarse para evitar las fallas inducidas por la migración a expensas de la mayor latencia de golpe cruzando los dominios del reloj. Está libre del riesgo del altamente complejo OpenSparc T2 D. Tiene una explicación simple para cargar los scratchpads con microbenchmarks; Y sus cadenas de barrido proporcionan total observabilidad y controlabilidad para la depuración y la elusión de escape-error. Esencialmente, el núcleo de depuración proporciona un Plan B de bajo riesgo para probar FabScalar núcleo superescalar.

GENERACIÓN DE ACELERADORES

La plataforma OpenSPARC modificada se ha sintetizado en un Xilinx Virtex utilizando la Tecnología de Síntesis Xilinx (xst) 11.1, y el OpenSPARC. Incluido en el paquete OpenSPARC T1. Se ha utilizado para analizar el rendimiento del OpenSPARC original y modificado. La identificación del acelerador de hardware de grano fino se ha implementado.

El microprocesador OpenSPARC combina las ventajas de los puntos de referencia académicos e industriales. Es un diseño reciente, realista del

estado de la técnica. Su código Verilog está disponible y se ha sintetizado con éxito por grupos académicos. Esto es importante porque la mayoría de los algoritmos DFT funciona en nivel de la puerta.

TECNOLOGÍA T2

OpenSPARC T2 RTL para todo el mundo, claro que no cualquier persona puede dedicarse a desarrollar un CPU, pero en definitiva esto puede traer grandes beneficios si es bien utilizado, tanto a SUN como a cualquier empresa, Estado u organismo que pueda llevar adelante su desarrollo.

OpenSPARC está basada en microprocesadores UltraSPARC TM T1 y T2 de Sun. El procesador UltraSPARC T2 TM es el primer "servidor en un chip" de la industria, con 8 núcleos, 64 hilos, y en el chip de redes y la funcionalidad de seguridad. El procesador UltraSPARC TM T1 es una versión anterior con 8 núcleos y 32 hilos y se describe en [2], [3]. En otras palabras no se habla de cualquier procesador, el OpenSPARC T2 posee ocho núcleos y ocho hilos de ejecución por cada núcleo, siendo considerado uno de los más potentes del mundo. Lógicamente, está pensado para ser aprovechado al máximo en el sistema operativo de SUN, Solaris 10.

Artículo científico openSPARC

Artículo respaldado por: On Enhancing Power Benefits in 3D ICs: Block Folding and Bonding Styles Perspective.

Derechos de autor:

Annual ACM/IEEE Design Automation Conference is the property of Association for Computing Machinery - UG Nawathe, et al .. "An 8-Core 64 de rosca 64b de ahorro de energía SPARC SoC," Circuitos de Estado Sólido del IEEE International, Dig. Documentos de tecnología, febrero de 2007, pp. 108-110.

Nuevas Experiencias Plataforma OpenSPARC

Profesora: Yensy Helena Gómez Villegas
Se trata del primer procesador cedido a la comunidad de entusiastas del software libre y afines. 6500 copias del diseño del OpenSPARC T1 RTL han sido descargadas desde marzo de 2006, siendo que en Diciembre de

organizar el circuito en 3D para la reducción.

los circuitos 3D representa mejoras en el medio las tecnologías de circuitos integrados dejando atrás a los tradicionales circuitos CMOS y 2D que fueron también implementados en microprocesadores, los circuitos 3D ofrece mayor velocidad de propagación de señal y mejorando también la reducción de costos en de fabricación.

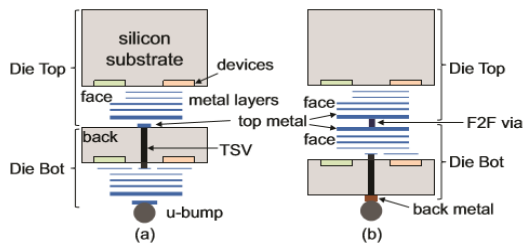


Figure 1: Die bonding styles. (a) face-to-back. (b) face-to-face.

Table 1: 3D interconnect settings.

	diameter (μm)	height (μm)	pitch (μm)	R (Ω)	C (fF)
TSV	3	18	6	0.043	8.4
F2F via	0.5	0.38	1	0.1	0.2

2005 se había anunciado su liberación.

• AVANCE CIENTÍFICO

IDEA PRINCIPAL

Basados en porcentajes como el rendimiento de 15% de un microprocesador de alto rendimiento [4] o la demostración de un 25% reducción dinámica y 50% de fuga en la RAM dinámica [5], iniciaron trabajando con openSPARC que cuenta con una base de datos de 8 núcleos de 64 bits, con estas especificaciones deciden construir un formato de archivo de base de datos, donde se discutió cómo iniciar y

AJUSTES DE SIMULACIÓN

Diseño de referencia :

- openSparc T2
- flujo del diseño de circuito

INTEGRADO TRIDIMENSIONAL

En la figura anterior se muestra la unión de dos estilos posibles para este tipo de circuitos, por lo tanto el número de de conexiones en los circuitos integrados tridimensionales puede ser limitado por el paso de TSV que son unas técnicas de interconexión de alto rendimiento, hay que tener en cuenta que los valores de tsv y capacitancia son calculados en base al modelo que plantean [6].

Artículo científico openSPARC

Artículo respaldado por: On Enhancing Power Benefits in 3D ICs: Block Folding and Bonding Styles Perspective.

Derechos de autor:

Annual ACM/IEEE Design Automation Conference is the property of Association for Computing Machinery - UG Nawathe, et al .. "An 8-Core 64 de rosca 64b de ahorro de energía SPARC SoC," Circuitos de Estado Sólido del IEEE International, Dig. Documentos de tecnología, febrero de 2007, pp. 108-110.

Nuevas Experiencias Plataforma OpenSPARC

Profesora: Yensy Helena Gómez Villegas

	2D	3D (core/cache)	3D (core/core)
footprint (mm^2)	71.1	38.4 (-46.0%)	38.4 (-46.0%)
# cells ($\times 10^6$)	7.39	7.21 (-2.4%)	7.26 (-1.8%)
# buffers ($\times 10^6$)	2.89	2.42 (-16.3%)	2.45 (-15.2%)
Wirelength (m)	343.0	326.0 (-5.0%)	324.5 (-5.4%)
Total power (W)	9.107	8.171 (-10.3%)	8.273 (-9.1%)
Cell power (W)	1.779	1.502 (-15.6%)	1.537 (-13.6%)
Net power (W)	4.499	4.122 (-8.4%)	4.131 (-8.2%)
Leakage power (W)	2.828	2.547 (-9.9%)	2.605 (-7.9%)

BENEFICIOS DEL CIRCUITO INTEGRADO TRIDIMENSIONAL

- Con la tabla anterior se busca especificar las diferencias que hay entre los circuitos de 2 y 3 dimensiones en base una frecuencia de 500 MHz se da notar las diferencias con respecto al diseño del circuito 2D.
- por una parte en la tabla se muestra que hay un 75,3% que representa la reducción de hilos en el núcleo y el buffer que es un compensador de energía y reducción de núcleos que los que platea el circuito en 2D.

CONCLUSIÓN

Este artículo plantea el avance de un sistema con buen rendimiento y optimización de recursos de energía, demostrando los beneficios de este tipo de circuitos implementados en un microprocesador openSPARC T2 llegando a un ahorro total de 20,3%

Artículo científico openSPARC

Artículo respaldado por: On Enhancing Power Benefits in 3D ICs: Block Folding and Bonding Styles Perspective.

Derechos de autor:

Annual ACM/IEEE Design Automation Conference is the property of Association for Computing Machinery - UG Nawathe, et al .. "An 8-Core 64 de rosca 64b de ahorro de energía SPARC SoC," Circuitos de Estado Sólido del IEEE International, Dig. Documentos de tecnología, febrero de 2007, pp. 108-110.

de energía en comparación de circuitos 2d o CMOS, también se busca explicar y dar a entender que trata esta plataforma, sus atributos y el potencial que ofrece.

REFERENCIAS

- [1] "OpenSPARC: Primera libres de 64 bits microprocesadores del mundo", <http://www.opensparc.net> .
- [2] AS León, et al., "Un alto rendimiento 32-Thread procesador SPARC de ahorro de energía," IEEE Journal of Solid-State Circuits, vol. 42, No. 1, enero de 2007.
- [3] M. Shah, et al, "UltraSPARC™ T2: Un altamente rosca, ahorro de energía, SPARC SOC", IEEE asiático. Circuitos de Estado Sólido Conf, noviembre de 2007.
- [4] B. Black et al. La microarquitectura de apilamiento de datos (3D). En Proc. Anual Int. Symp. Microarquitectura de 2006.

Nuevas Experiencias Plataforma OpenSPARC

Profesora: Yensy Helena Gómez Villegas

- [5] U. Kang et al. 8 Gb 3-D DDR3 DRAM Uso de la tecnología Through-Silicon-Via. En IEEE J. Circuitos de Estado Sólido, 2010.
- [6] G. Katti et al. Modelado Eléctrico y Caracterización de A través de Silicio vía ICs Tridimensionales. En IEEE Trans. en electrones Dispositivos, 2010.

Artículo científico openSPARC

Artículo respaldado por: On Enhancing Power Benefits in 3D ICs: Block Folding and Bonding Styles Perspective.

Derechos de autor:

Annual ACM/IEEE Design Automation Conference is the property of Association for Computing Machinery - UG Nawathe, et al .. "An 8-Core 64 de rosca 64b de ahorro de energía SPARC SoC," Circuitos de Estado Sólido del IEEE International, Dig. Documentos de tecnología, febrero de 2007, pp. 108-110.