



**ПОЛИТЕХ**  
Санкт-Петербургский  
политехнический университет  
Петра Великого

## Выпускная квалификационная работа бакалавра

Тема работы:  
«Создание прототипов Soft-процессора для модуля управления»

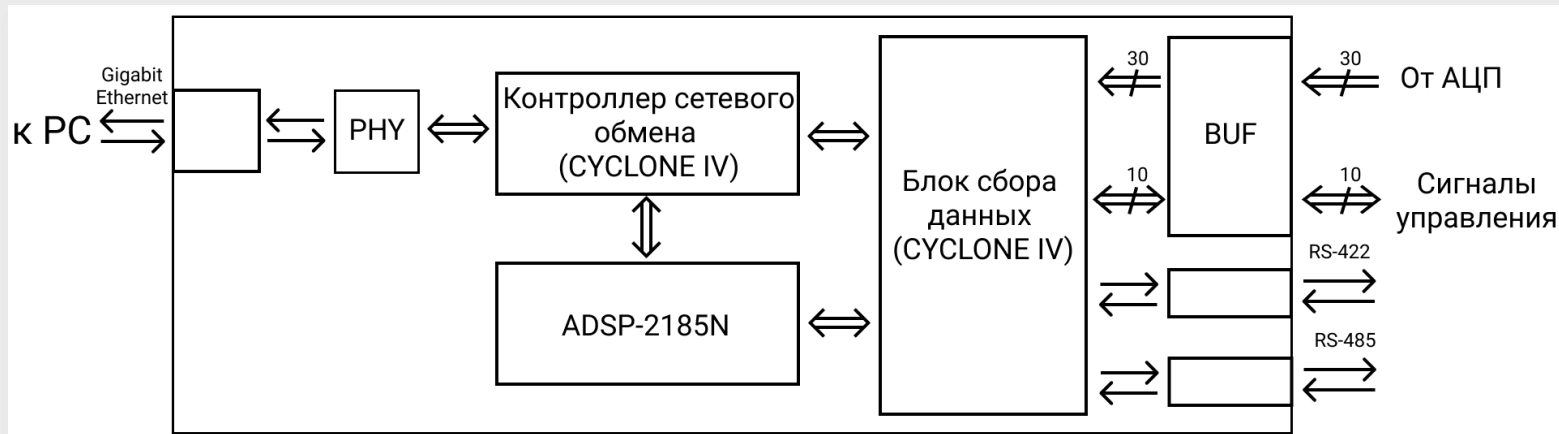
Студент: гр. 3530901/70202  
Руководитель: ст. преподаватель

Курякин Данила Александрович  
Лупин Анатолий Викторович

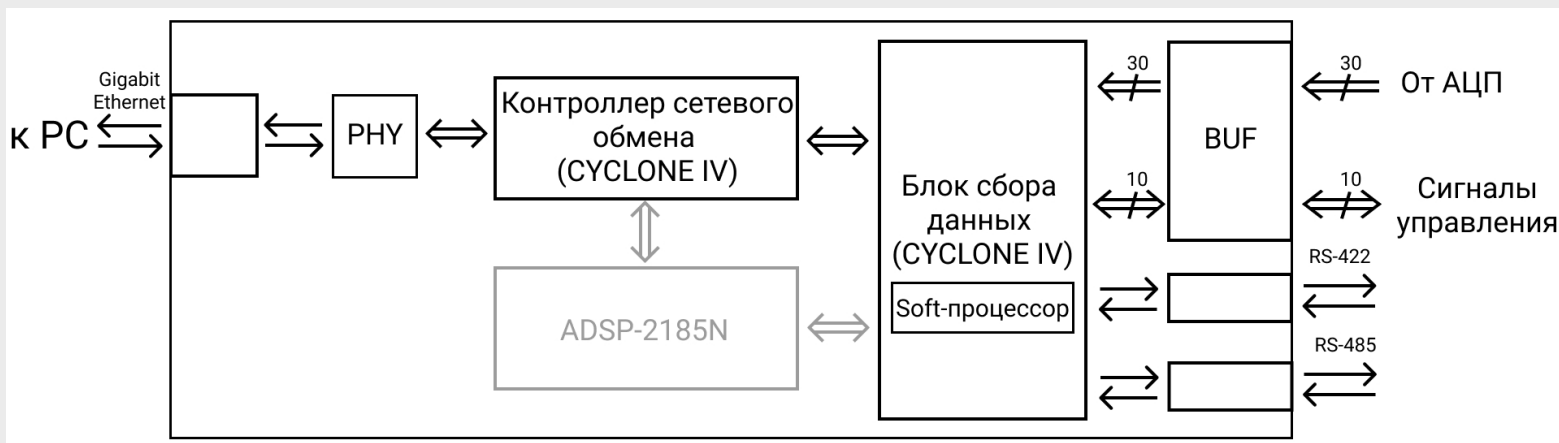
- В работе рассматривается частная задача по модернизации модуля управления MB-1000M.
- Модуль управления содержит ПЛИС EP4CE22E22C7 и ПЦОС ADSP-2185N.
- ПЦОС устарел и не рекомендуется к использованию компанией производителем.
- Имеется возможность реализации soft-процессора (SP), разместив его в ПЛИС. В перспективном модуле управления предполагается ПЛИС с CYCLONE V (5CEBA4F23C7) без процессора.

# Структура модуля МВ-1000М

До:



После:



- ограничения по ресурсам 6 тыс. логических ячеек с триггерами (в перспективе – до 10 тыс)
- память программ - не менее 10 Кбайт
- память данных – не менее 16 Кбайт
- разрядность - 16/32 разряда
- быстродействие – 80 млн. команд/с
- команды (стандартный набор), умножение и деление,
- пространство ввода/вывода
- 5 внешних прерываний и прерывание от таймера

**Цель работы:** Создание прототипов SP для оценки их характеристик.

### **Пути решения задачи**

- реализация SoC на базе аппаратного ARM в Cyclone V Sx
- эмуляция ADSP на HDL
- реализация SP на базе Nios II
- использование модели SP из OpenCore на HDL
- реализация собственного прототипа SP на HDL

### **Оценка прототипов по характеристикам**

- Количество используемых логических ячеек
- Объем внутренней памяти
- Число команд в единицу времени
- Функциональная полнота
- Наличие средств программирования

**Цель работы:** Создание прототипов SP для оценки их характеристик.

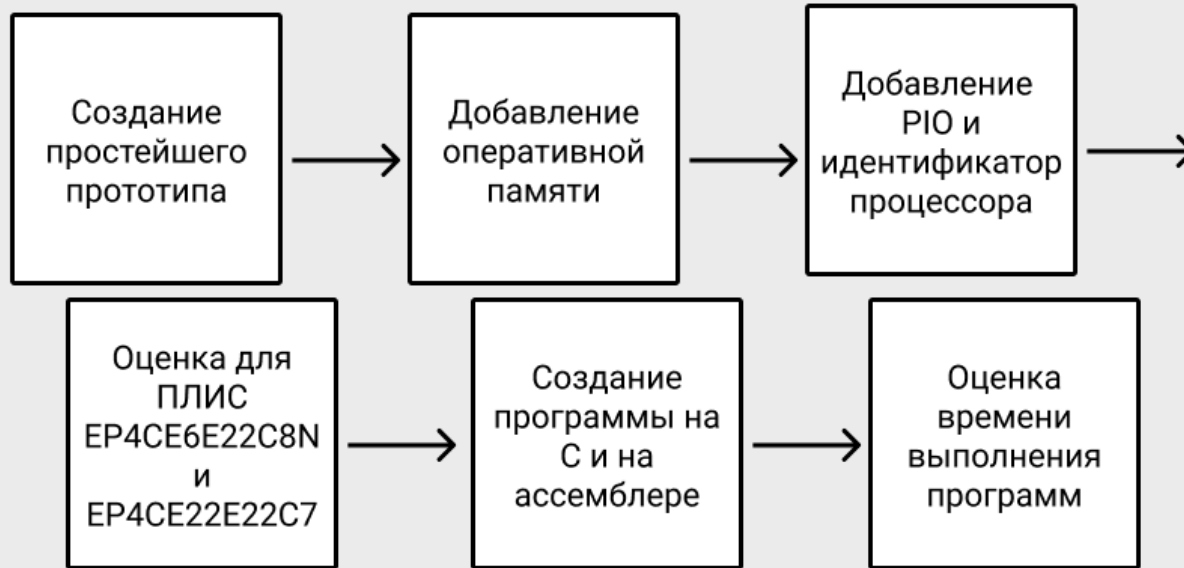
### **Пути решения задачи**

- реализация SoC на базе аппаратного ARM в Cyclone V Sx
- эмуляция ADSP на HDL
- **реализация SP на базе Nios II gen 2**
- использование модели SP из OpenCore на HDL
- **реализация собственного прототипа SP на HDL**

### **Оценка прототипов по характеристикам**

- Количество используемых логических ячеек
- Объем внутренней памяти
- Число команд в единицу времени
- Функциональная полнота
- Наличие средств программирования

- Система аппаратного проектирования «Quartus Prime 20.1»
- Язык описания аппаратных средств «Verilog»
- Языки программирования под Nios II: C, ассемблер
- Отладочная плата: miniDiLaB CIV с ПЛИС EP4CE6E22C8N



- *Nios II/f* – ядро для высокой производительности. Обладает большими возможностями настройки для более точной конфигурации. Платная версия.
- *Nios II/e* – ядро для максимальной экономии на размере. Ядро с ограниченными возможностями, многие настройки отсутствуют. В 6 раз медленнее версии *Nios II/f*. Бесплатная версия.



## Простейший прототип (счетчик, преобразователь частоты, ядро Nios)

Название	Fmax для C7, МГц	Fmax для C8, МГц	Количество логических ячеек	Количество ячеек памяти
Nios II/e	160(26)	146(24)	1311	10240
Nios II/f	131-117	119-107	2935-2963	19616-146688

## Прототип Nios II/f после добавления оперативной памяти

Nios II/f с RAM 1 Кбайт	129	118	3001	703336
Nios II/f с RAM 14 Кбайт	127	116	3036	174336

## Прототип Nios II/e после добавления оперативной памяти

Nios II/e с RAM 1 Кбайт	155(25)	141(23)	1411	18240
Nios II/e с RAM 14 Кбайт	158(26)	144(24)	1415	122240
Nios II/e с RAM 26 Кбайт	146(24)	133(22)	1589	218240

## Прототип Nios II/f после добавления новых блоков (PIO, идентификатора)

Название	Fmax для C7, МГц	Fmax для C8, МГц	Количество логических ячеек	Количество ячеек памяти
Nios II/f с RAM размером 256 байт	120	109	3625	65408
Nios II/f с RAM размером 12 Кбайт	121	110	3666	159360

## Прототип Nios II/e после добавления новых блоков (PIO, идентификатора)

Nios II/e с RAM размером 256 байт	148(24)	135(22)	1990	13312
Nios II/e с RAM размером 12 Кбайт	142(23)	129(21)	2005	107264
Nios II/e с RAM размером 25 Кбайт	134(22)	122(20)	2182	211264

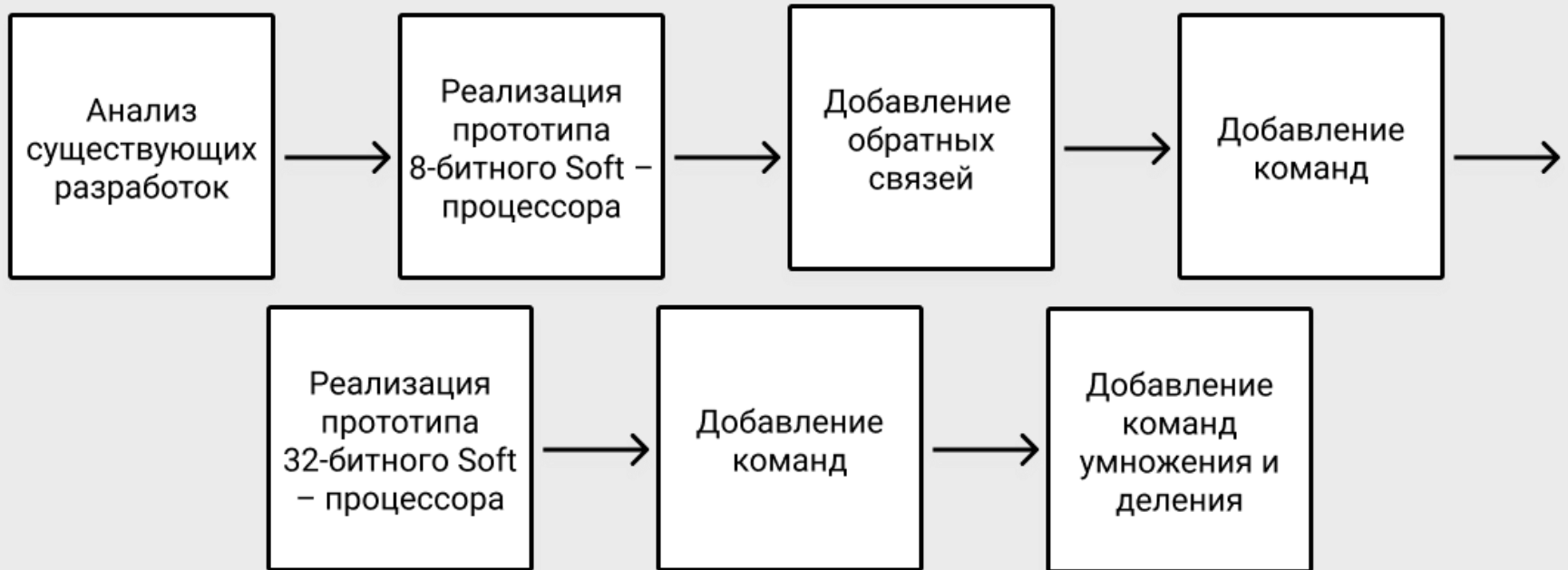
Размер оперативной памяти повышался до достижения максимального количества ячеек памяти.

Название алгоритма	Время e/f, мкс	Среднее время на операцию e/f, нс
Сложение элементов массива	504/124	50,4/12,4
Умножение элементов массива	512/131	51,2/13,1
Деление (одного элемента на остальные)	516/125	51,6/12,5
Поиск наименьшего элемента в массиве	501/121	50,1/12,1

У Nios II/e с оперативной памятью размером 25 Кбайт при частоте 134( фактическая 22) МГц время выполнения команды равно 45,5 нс. Загруженность при выполнении программы 90%.

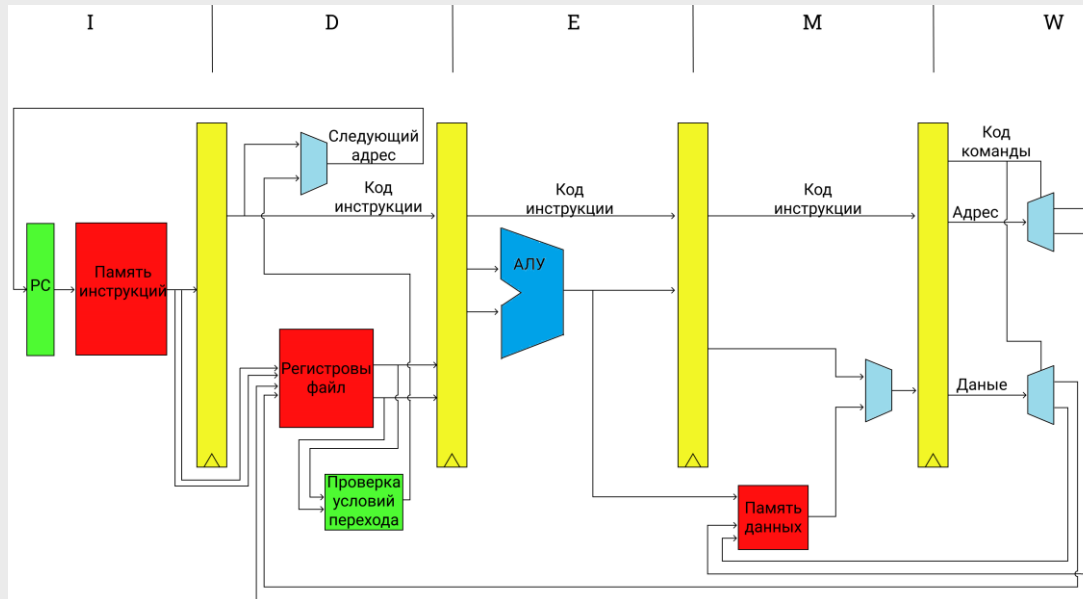
У Nios II/f с оперативной памятью размером 12 Кбайт при частоте 120 МГц время выполнения команды равно 8,3 нс. Загруженность при выполнении программы 70%.

## Этапы реализации прототипов

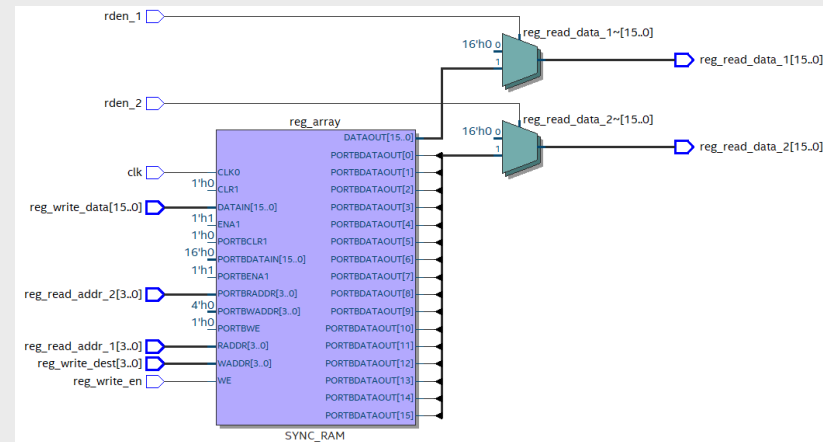


- Прототип rAVR8 размещенный на сайте OpenCores
- В SP реализованы 16 команд
- Для памяти программ используется FLASH память. Чтение одной команды занимает 16 тактов.

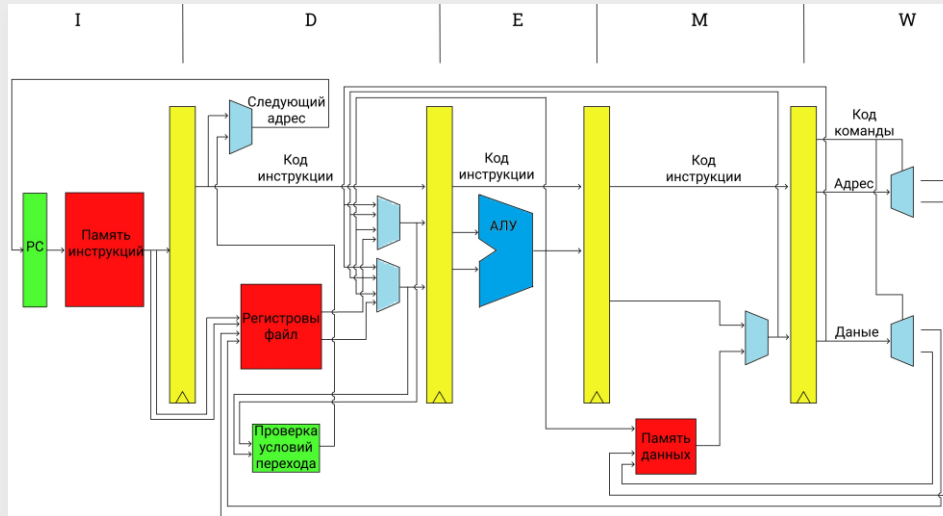
Название	Fmax для C7, МГц	Fmax для C8, МГц	Количество логических ячеек	Количество ячеек памяти
rAVR8	258(16)	235(14)	224	0 (исп. FLASH CPLD)
rAVR8 с RAM	190	173	208	8192



- По заимствовано устройство 5 фазного конвейера с архитектуры MIPS32.
- В прототипе используется 32-разрядная памяти программ и 8-разрядная память данных.
- Память данных и команд: RAM:2-port
- Память для регистрового файла: ?



# Реализация 8-битного прототипа Soft – процессора с обратными связями



## Пример использования обратных связей в конвейере

R6	R4	Операции	
xxxx	xxxx	ADD R2, R3, R4	A + B = C
xxxx	xxxx	SUB R4, R5, R6	C - D = E
xxxx	C		
E			

Название	Fmax для C7, МГц	Fmax для C8, МГц	Количество логических ячеек	Количество ячеек памяти
8-битный прототип с обратными связями	82	75	234	10496
8-битный прототип с добавленными командами	73	67	282	10496



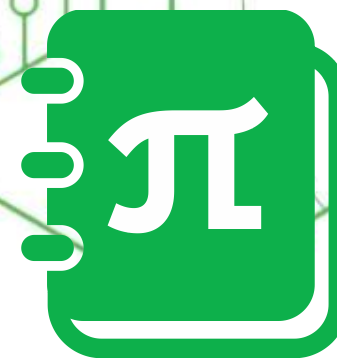
Название	Fmax для C7, МГц	Fmax для C8, МГц	Количество логических ячеек	Количество ячеек памяти
32-битный прототип	62	57	602	17408
32-битный прототип с добавленными командами	58	53	1179	17408
32-битный прототип с добавленными умножением и делением	51	47	2337	17408

- Проведен анализ возможных путей построения прототипов Soft-процессора по требованиям к нему взамен ПЦОС ADSP-2185N.
- Разработаны варианты прототипов на основе NIOS II gen 2. Вариант для Nios II/e занимает 2180 ячейки, частота 134 (а по факту 22) МГц на программах тестирования показал 90% загрузку арифметическими операциями в Nios II/e. Вариант для Nios II/f занимает 3666 ячеек, частота 121 МГц.
- Разработаны варианты прототипов с усеченными ядрами процессоров AVR8 и MIPS32. Для 8-битных протопопов частота составляет до 190 МГц, а для 32-битных прототипов частота от 51 до 62 МГц.
- По результатам работы варианты, которые соответствуют требованиям, Nios II/f (платная версия) и mips32, который требует оптимизации по быстродействию.



**ПОЛИТЕХ**

Санкт-Петербургский  
политехнический университет  
Петра Великого



**Спасибо за внимание!**