

Lab9_1

задание для самостоятельного выполнения

Плата для аппаратной отладки проекта

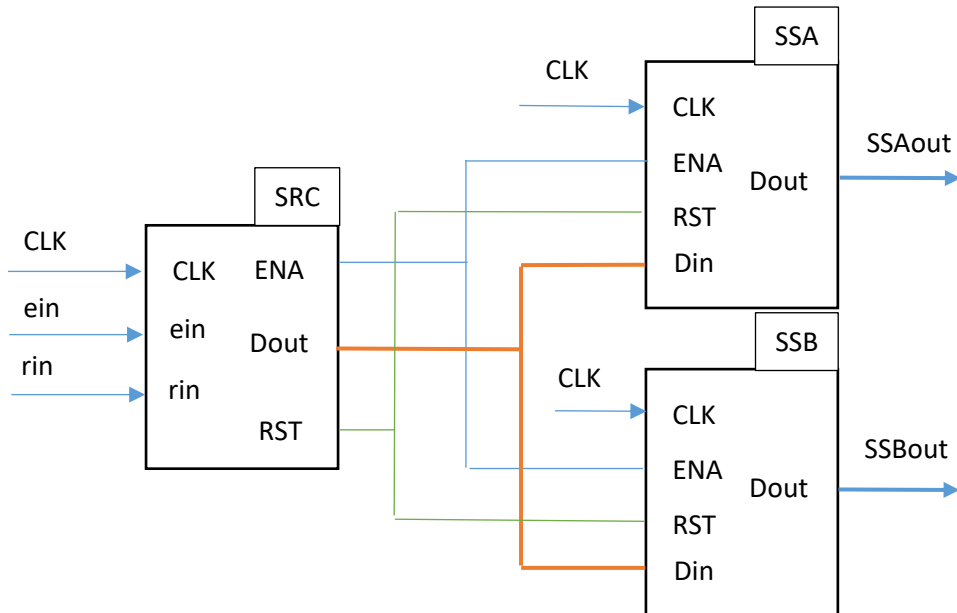
Аппаратная отладка проекта ориентирована на плату MiniDiLaB-CIV

MiniDiLaB-CIV: Микросхема - EP4CE6E22C8, Вход тактового сигнала (25МГц) – 23.

Описание проекта Lab9_1

Рабочая папка Lab9_1. Имя проекта – Lab9_1. Имя модуля верхнего уровня – Lab9_1. Файл с описанием – Lab9_1.sv. Файл теста – tb_Lab9_1.sv. Файл с описанием для отладки – db_Lab9_1.sv.

Алгоритм работы:



Состав устройства:

- Входы:
 - CLK – тактовый вход, частота тактового сигнала 25МГц
 - rin – вход сигнала сброса устройства, активный уровень – 1.
 - Ein – вход сигнала разрешения работы устройства, активный уровень – 1.
- Выходы:
 - SSAout[7:0] и SSBout [7:0] – выходы, поступающие на 2 семи-сегментных индикатора.

Модули:

- SRC включает:
 - Синхронизатор сигнала сброса: сигнал rin проходит через два регистра, на выходе которых формируется сигнал rin_s. Этот сигнал используется внутри модуля SRC и поступает на выход RST
 - Синхронизатор сигнала разрешения работы: сигнал ein проходит через два регистра, на выходе которых формируется сигнал ein_s. Этот сигнал используется внутри модуля SRC и поступает на выход ENA
 - Двоичный 4-разрядный счетчик
 - Сбрасывается сигналом rin_s (=1) асинхронно
 - Счет разрешается при ein_s=1.
 - Значение счетчика передается на выход Dout.
- SSAout[7:0] и SSBout [7:0] – преобразователи двоичного кода в семи-сегментный
 - Входы:
 - CLK – тактовый вход

- RST – вход асинхронного сброса, активный уровень – 1.
- ENA – вход разрешения работы, активный уровень – 1.
- Din – 4-х разрядный вход.
 - На входе должен быть регистр (с асинхронным сбросом и разрешением работы)
- Выход:
 - Dout – 7 разрядный выход.
 - На выходе должен быть регистр (с асинхронным сбросом и разрешением работы)

Программа работы

- Разработать описание устройства – модуль Lab9_1, с использованием расширений SystemVerilog
 - **На верхнем уровне описание должно быть структурным. обязательно использование interface и modport**
- Разработать тест tb_Lab9_1 для проверки устройства Lab9_1 с использованием расширений SystemVerilog (тест первого класса – без автоматической проверки).
 - При описании теста **обязательно использование interface и modport**
- По результатам моделирования в ModelSim необходимо доказать работоспособность устройства
 - **данные для 7-сегментных индикаторов должны отображаться в тесте в виде символов 0,1,2,...,A, B, ...F.**
- Разработать модуль верхнего уровня для отладки db_Lab9_1, содержащий:
 - модуль Lab9_1;
 - модуль SP_unit (модуль, обеспечивающий возможность: задания входных управляющих сигналов без использования кнопок на плате; отображения выходных сигналов).
 - **описание должно быть структурным. обязательно использование interface и modport**
 - Модуль должен обеспечивать подключение к тактовому сигналу на плате.
- Настроить логический анализатор для проведения исследования и отладки реализуемого на плате db_Lab9_1
 - **данные для 7-сегментных индикаторов должны отображаться в виде символов 0,1,2,...,A, B, ...F.**
- Провести анализ работы db_Lab9_1 и доказать (зафиксировав результаты снимками экрана), что:
 - Модуль управляется входными сигналами
 - Правильно реализуется алгоритм работы

Содержание отчета

- Отчет должен быть оформлен по правилам, принятым в Высшей Школе.
- Отчет должен содержать все этапы работы, все созданные исходные коды, необходимые снимки экрана. Все рисунки и полученные на них результаты должны быть прокомментированы.