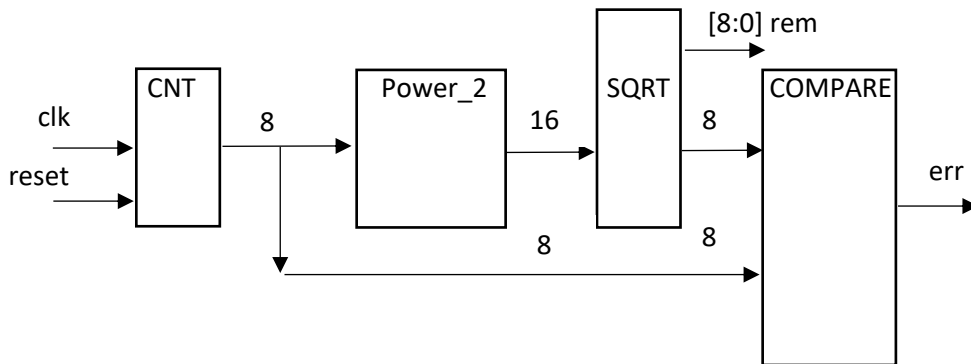


Lab2_3 задание для самостоятельного выполнения

1. Структура проекта



2. Входы

- clk – тактовый сигнал (50МГц)
- Reset – вход асинхронного сброса счетчика

3. Выходы

- err – выход ошибки обработки (если исходные данные не равны целой части данных, полученных в результате обработки, то на выходе будет 1; если равны – то 0).
- [8:0] rem – остаток после вычисления квадратного корня.

4. CNT - счетчик, создаваемый с помощью IP модуля LPM_COUNTER

- Разрядность 8 бит
- Двоичный счетчик на сложение
- Вход асинхронного сброса.

5. Power_2 – модуль возведения в степень 2. Описать на VerilogHDL.

- Входы 8 бит и выходы 16 бит.

6. Sqrt – модуль извлечения квадратного корня, создаваемый с помощью IP модуля ALTSQRT

- Вход 16 бит
- Выход целой части 8 бит
- Остаток 9 бит

7. COMPARE – модуль сравнения. Если входы не равны то на выходе будет 1; если равны – то 0. Описать на VerilogHDL.

8. Что надо сделать:

- Создать проект в пакете Quartus
 - Рабочая папка C:\Intel_trn\Quartus_MSim_Deb\Lab2_3
 - Модуль верхнего уровня Lab2_3
 - Файл верхнего уровня Lab2_3.v
 - Микросхема EP4CE6E22C8
- Создать модули на Verilog (имена указаны на структуре)
- Создать модули на основе IP (имена указаны на структуре)
- Создать модуль верхнего уровня иерархии на Verilog.
- Осуществить компиляцию проекта в пакете Quartus, исправить ошибки и проверить с помощью RTL Viewer, что проект собран правильно.
- Разработать тест - простейший тест (за основу можно взять тест из LAB2_1).
- Запустить пакет ModelSim

- h. Создать проект в пакете ModelSim
 - i. Включить исходные файлы в проект
 - j. Осуществить компиляцию исходных файлов, включая тест.
 - k. Создать конфигурацию для моделирования
 - i. Не забыть подключить библиотеки lpm_ver и altera_mf_ver
 - l. Осуществить моделирование для всего цикла счетчика CNT
 - m. Проверить правильность работы устройства, при необходимости отладить его.
 - n. Сохранить do файл с настройками окна временных диаграмм.
9. Что должен включать отчет – отражение всех этапов (и выполняемых действий) + исходные коды созданных Вами Verilog файлов с пояснениями + результаты моделирования