

## Lab3\_2

### задание для самостоятельного выполнения

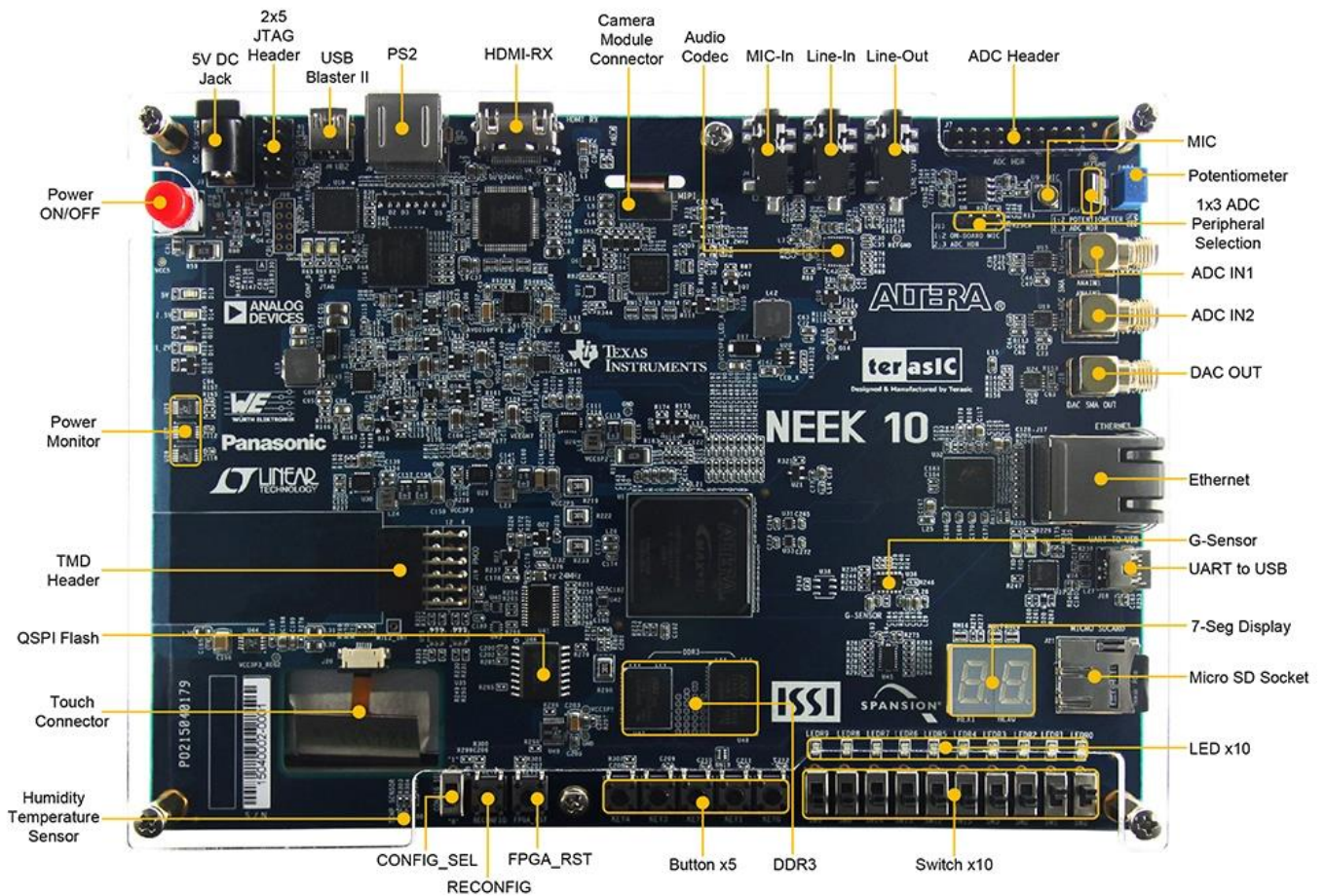
#### Вводные замечания

Задание предполагает предварительное выполнение задания Lab3\_1 с пошаговыми инструкциями.

#### Плата для аппаратной реализации проекта

Аппаратная реализация проекта должна быть ориентирована на плату NeeK 10.

Микросхема FPGA - **10M50DAF484C6GES**, семейство MAX10.



## Описание проекта

Модуль верхнего уровня в описании проекта - Lab3\_2. Файл с описанием - Lab3\_2.v.

Модуль параметризованный. Параметр div – модуль счета.

В состав модуля верхнего уровня Lab3\_2 входят:

1. 3 экземпляра модуля – SYNCin.
  - a. **Модуль – SYNCin ( файл SYNCin.v)** – модуль Синхронизации входов:
    - i. Имеет тактовый вход
    - ii. Имеет одноразрядный вход данных
    - iii. Имеет одноразрядный выход данных
    - iv. Представляет из себя два последовательно включенных триггера.
  - b. Экземпляр SYNCin\_RST - экземпляр синхронизации сигнала со входа RST.
    - i. Синхронизируется общим для проекта тактовым сигналом CLK
    - ii. На вход подается сигнал RST (со входа модуля)
    - iii. Формирует общий для проекта сигнал сброса - int\_rst.
  - c. Экземпляр SYNCin\_ENA - экземпляр синхронизации сигнала со входа ENA.
    - i. Синхронизируется общим для проекта тактовым сигналом CLK
    - ii. На вход подается сигнал ENA (со входа модуля)
    - iii. Формирует общий для проекта сигнал разрешения работы - int\_ena.
  - d. Экземпляр SYNCin\_DIR - экземпляр синхронизации сигнала со входа DIR.
    - i. Синхронизируется общим для проекта тактовым сигналом CLK
    - ii. На вход подается сигнал DIR (со входа модуля)
    - iii. Формирует общий для проекта сигнал направления счета - int\_dir.
2. Экземпляр CNT\_DIV\_inst модуля – CNT\_DIV (Счетчик делитель).
  - a. Модуль CNT\_DIV (файл CNT\_DIV.v):
    - i. Параметризованный. Параметр - div\_cnt.
    - i. Модуль счета задается параметром - div\_cnt.
    - ii. Имеет вход синхронизации.
    - iii. Имеет выход переноса. Сигнал переноса (равный 1) формируется при равенстве счетчика значению div\_cnt-1.
    - iv. Имеет вход асинхронного сброса (сбрасывается логическим нулем).
    - v. Имеет вход разрешения работы (работа разрешена логической единицей).
  - b. Подключение экземпляра модуля
    - i. Синхронизируется общим для проекта тактовым сигналом CLK
    - ii. Параметру div\_cnt присваивается значение параметра div (это параметр модуля Lab3\_2).
    - iii. Выход переноса подключен к общему для проекта сигналу - cout.
    - iv. Вход асинхронного сброса подключен к общему сигналу сброса - int\_rst.
    - v. Вход разрешения работы подключен к общему сигналу разрешения работы - int\_ena.
2. Экземпляр CNT\_inst модуля – CNT (Двоичный 6- разрядный счетчик).
  - a. Модуль CNT (файл CNT.v):
    - i. Модуль счета – фиксированный, равный значению:
      1. **Ваш\_номер\_в\_списке\_группы + 14.**
    - ii. Имеет вход синхронизации
    - iii. Имеет вход разрешения работы (работа разрешена логической единицей).
    - iv. Имеет вход асинхронного сброса (сбрасывается логическим нулем).
    - v. Имеет вход задания направления счета.
      1. dir = 0 – счет на сложение
      2. dir = 1 – счет на вычитание
    - vi. Имеет выход данных (6 бит).
  - b. Подключение экземпляра модуля
    - i. Синхронизируется общим для проекта тактовым сигналом CLK
    - ii. На вход разрешения работы подается сигнал равный: cout & int\_ena.
    - iii. Вход асинхронного сброса подключен к общему сигналу сброса - int\_rst.
    - iv. Вход направления счета подключен к сигналу – int\_dir
    - v. Выход данных (6 бит) подключен к шине – cnt\_val
3. Экземпляр CODER\_inst модуля – CODER ( Кодовый Преобразователь).
  - a. Модуль CODER (файл CODER.v):
    - i. Создается на основе IP модуля **ROM: 1-PORT.**
    - ii. Имеет вход синхронизации
    - iii. Имеет адресный вход (6 бит)
    - iv. Имеет выход данных (14 бит)
    - v. Преобразует двоичный 6-разрядный код в код для двух разрядов 7-сегментного индикатора.
      1. Два разряда 7-сегментного индикатора должны отображать данные в двоично-десятичном виде: младший разряд 7-сегментного индикатора - единицы; старший разряд 7-сегментного индикатора - десятки. Т.е. на входе модуля (на входе адреса

ROM) – 6-разрядное двоичное число, на выходе (на выходах данных ROM)– два 7-сегментных кода: один для единиц, другой для десятков.

- b. Подключение экземпляра модуля
  - i. Синхронизируется общим для проекта тактовым сигналом CLK.
  - ii. К адресному входу подключена шина cnt\_val (выход данных двоичного счетчика CNT\_inst).
  - iii. К выходу данных подключена шина [6:0] hex\_int [1:0].
- 4. Экземпляр SYNCout\_inst – модуля SYNCout (Синхронизация выходов)
  - a. Модуль SYNCout (файл SYNCout.v):
    - i. Параметризованный. Параметр N – разрядность модуля.
    - ii. Имеет тактовый вход.
    - iii. Имеет N-разрядный вход данных.
    - iv. Имеет N-разрядный выход данных.
    - v. Имеет вход асинхронного сброса (сбрасывается логическим нулем).
    - vi. Имеет вход разрешения работы (работа разрешена логической единицей).
    - vii. Представляет из себя N-разрядный регистр.
  - b. Подключение экземпляра модуля
    - i. Задается фиксированное значение параметра = 14.
    - ii. Синхронизируется общим для проекта тактовым сигналом CLK.
    - iii. Вход асинхронного сброса подключен к общему сигналу сброса - int\_rst.
    - iv. Вход разрешения работы подключен к общему сигналу разрешения работы - int\_ena.
    - v. Вход данных подключен к шине [6:0] hex\_int [1:0].
    - vi. Выход данных подключен к выводам [6:0] HEX [1:0] модуля.

Выводы модуля Lab3\_2:

- Входы
  - CLK – тактовый вход (на плате подключен к генератору 50МГц, в FPGA вывод V9 )
  - DIR – вход выбора направления счета (на плате подключен к переключателю SW0, в FPGA вывод N22)
  - ENA – вход разрешения работы (на плате подключен к кнопке KEY0, в FPGA вывод T22)
  - RST – вход асинхронного сброса регистров проекта (на плате подключен к кнопке KEY4, в FPGA вывод R22).
- Выходы
  - [6:0] HEX[1:0] – выходы для двух разрядов 7-сегментного индикатора. Левый разряд - [6:0] HEX[1]; Правый разряд - [6:0] HEX[0]. Номера выводов FPGA и стандарт выводов представлены в разделе Используемые элементы платы.

## Программа работы

1. Создать проект в пакете Quartus
  - a. Проект
    - i. Рабочая папка C:\Intel\_trn\Quartus\_MSim\_Deb\Lab3\_2
    - ii. Модуль верхнего уровня Lab3\_2
    - iii. Файл с описанием проекта Lab3\_2.v
    - iv. Микросхема 10M50DAF484C6GES
      1. Семейство MAX 10
  - b. Создать описание модулей на языке Verilog
  - c. Осуществить Analysis and Synthesis
  - d. Проверить отсутствие ошибок и критических предупреждений.
  - e. Проверить структуру, полученную RTL Viewer
2. Осуществить моделирование в пакете ModelSim
  - a. Режим работы с пакетом ModelSim – режим проекта.
  - b. Создать файл tb\_Lab3\_2.v с тестом класса 1.
    - i. Тест должен обеспечивать
      1. проверку формирования BCEX выходных данных для заданного Вам модуля счета,
      2. проверку режимов сложения и вычитания,
      3. проверку сброса,
      4. проверку сигнала разрешения работы,
      5. отображение, при моделировании, 7-сегментных кодов в виде без-знаковых десятичных цифр,
        - a. для этого можно использовать массив, считываемый из внешнего файла, с перекодировкой 7-сегментных кодов в без-знаковые десятичные цифры.
  - c. Провести анализ работоспособности тестируемого модуля и сделать выводы
  - d. При моделировании провести анализ содержимого памяти ROM
  - e. При моделировании провести анализ содержимого массивов памяти, используемых для перекодировки 7-сегментных кодов в без-знаковые десятичные цифры
3. Осуществить тестирование и отладку на плате
  - a. Разработать файл db\_Lab3\_2.v с описанием модуля верхнего уровня для отладки модуля Lab3\_2 на плате. Разработанный модуль db\_Lab3\_2:
    - i. Должен содержать только один внешний вывод – вход тактового сигнала CLK, подключенного к генератору на плате.
    - ii. Должен включать экземпляр тестируемого модуля Lab3\_2
    - iii. Должен содержать модуль In System Source and Probe:
      1. К нему должны быть подключены как source - все входы (кроме CLK) модуля Lab3\_2
      2. К нему должны быть подключены как probe – все выходы модуля Lab3\_2
      3. Все выходы модуля source должны формироваться синхронно с тактовым сигналом CLK
      4. Имя Instance – SP\_
      5. Имя файла - Lab3\_2.stf
    - iv. Должен содержать экземпляр модуля умножения тактовой частоты, созданный на основе IP функции ALTPLL, обеспечивающий формирование тактовой частоты db\_clk\_high, равной удвоенной входной частоте.
  - b. Настроить Signal Tap II и подключить его к проекту для отладки на плате.
    - i. Захватываемые данные - все входы (включая CLK) и выходы модуля Lab3\_2
    - ii. Частота синхронизации – db\_clk\_high - удвоенная входная частота
    - iii. Имя Instance – SP\_
    - iv. Имя файла - Lab3\_2.stf
    - v. Использовать (или создать) мнемоническую таблицу для отображения (на временных диаграммах) захватываемых 7-сегментных кодов в виде без-знаковых десятичных цифр
  - c. Подключение входа CLK проекта к выводу FPGA осуществить с помощью атрибутов.
  - d. Создать файл sdc с требованиями к временным параметрам.
  - e. При полной компиляции:
    - i. Проверить отсутствие ошибок и критических замечаний
    - ii. Проверить полученные временные параметры – временные требования должны удовлетворяться
  - f. При тестировании проверить:

- i. Управление входами модуля Lab3\_2, с фиксацией результатов управления как In System Source and Probe, так и в Signal Tap II. Ниже представлен минимальный набор тестов:
  1. Сформировать сигнал сброс => в In System Source and Probe проверить, что на выходе 0 => в Signal Tap II триггер остановки выставить по активному фронту сигнала Сброс и зафиксировать значения выходов (32 отсчета) до и после момента остановки.
  2. Сформировать сигнал запрещения работы => в In System Source and Probe проверить, что на выходе данные не меняются => в Signal Tap II триггер остановки выставить по активному фронту сигнала разрешения работы и зафиксировать значения выходов (32 отсчета) до и после момента остановки.
  3. Сформировать сигнал счета на сложение - => в In System Source and Probe проверить, что на выходе коды, соответствующие счету на сложение => в Signal Tap II триггер остановки выставить по фронту сигнала направления счета и зафиксировать значения выходов (32 отсчета) до и после момента остановки.
  4. Сформировать сигнал счета на вычитание => в In System Source and Probe проверить, что на выходе коды, соответствующие счету на вычитание => в Signal Tap II триггер остановки выставить по спаду сигнала направления счета и зафиксировать значения выходов (32 отсчета) до и после момента остановки.
  5. В Signal Tap II триггер остановки выставить по условию Счетчик Делитель = 0 и зафиксировать значения выходов (32 отсчета) до и после момента остановки.
  6. В Signal Tap II триггер остановки выставить по условию Счетчик = Заданный\_Вам\_модуль\_счета -1 и зафиксировать значения выходов (32 отсчета) до и после момента остановки.
  7. Могут быть использованы и другие режимы.
4. Осуществить реализацию на плате
  - a. Разработать файл impl\_Lab3\_2.v с описанием модуля верхнего уровня для реализации на плате. Разработанный модуль impl\_Lab3\_2:
    - i. Должен содержать все выводы модуля Lab3\_2.
    - ii. Должен включать экземпляр модуля Lab3\_2
    - iii. Подключение всех выводов модуля к выводам FPGA осуществить с помощью атрибутов.
  - b. Создать файл sdc с требованиями к временным параметрам.
  - c. При полной компиляции:
    - i. Проверить отсутствие ошибок и критических замечаний
    - ii. Проверить полученные временные параметры – временные требования должны удовлетворяться и не должно оставаться путей с незадаанными временными требованиями (unconstrained paths)
  - d. Осуществить проверку на плате VCEX режимов работы модуля.

### Требования для получения зачета

Для получения зачета по Lab3\_2 необходимо:

1. Продemonстрировать преподавателю работу проекта на плате и этапы выполнения задания (по его выбору) из программы работы.
2. Загрузить в DL архив с рабочей папкой проекта.
3. Загрузить в DL отчет, включающий отображение всех этапов из программы работы
  - a. Отчет должен иметь титульный лист; содержание (собираемое автоматически); список рисунков (собираемый автоматически); задание; разделы отражающие этапы программы работы; заключение (выводы).
  - b. Все страницы д.б. пронумерованы.
  - c. Все рисунки должны иметь подписи и ссылки на них.
  - d. Ко всем рисункам д.б. пояснения в тексте.
  - e. Отчет должен быть в редактируемом формате (doc; docx).



## Используемые элементы платы

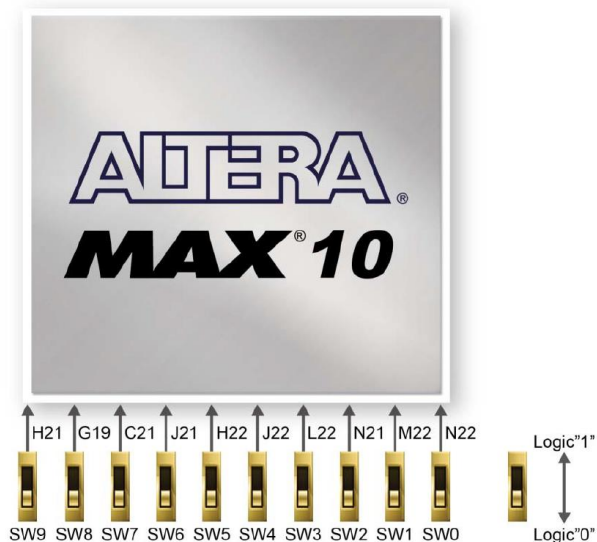
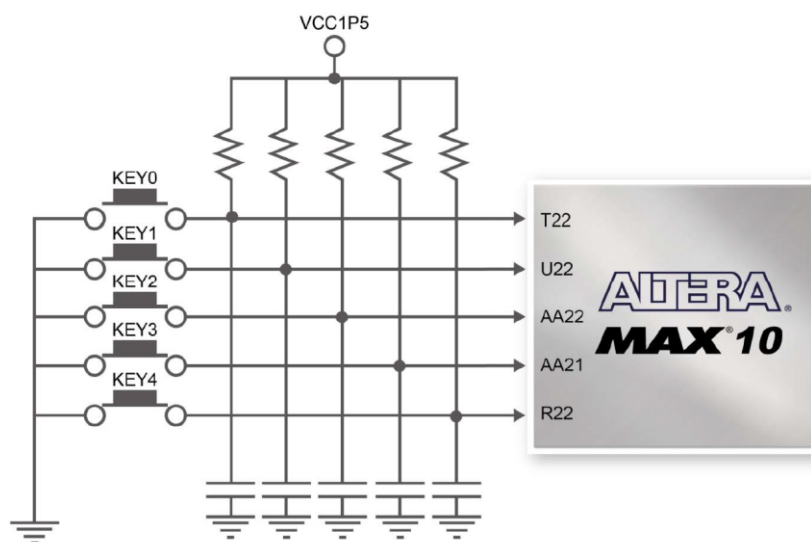


Figure 3-13 Connections between the slide switches and the MAX 10 FPGA

Signal Name	FPGA Pin No.	Description	I/O Standard
SW[0]	PIN_N22	Slide Switch[0]	1.5V
SW[1]	PIN_M22	Slide Switch[1]	1.5V
SW[2]	PIN_N21	Slide Switch[2]	1.5V
SW[3]	PIN_L22	Slide Switch[3]	1.5V
SW[4]	PIN_J22	Slide Switch[4]	1.5V
SW[5]	PIN_H22	Slide Switch[5]	1.5V
SW[6]	PIN_J21	Slide Switch[6]	1.5V
SW[7]	PIN_C21	Slide Switch[7]	1.5V
SW[8]	PIN_G19	Slide Switch[8]	1.5V
SW[9]	PIN_H21	Slide Switch[9]	1.5V



Signal Name	FPGA Pin No.	Description	I/O Standard
KEY[0]	PIN_T22	Push-button[0]	1.5V
KEY[1]	PIN_U22	Push-button[1]	1.5V
KEY[2]	PIN_AA22	Push-button[2]	1.5V
KEY[3]	PIN_AA21	Push-button[3]	1.5V
KEY[4]	PIN_R22	Push-button[4]	1.5V

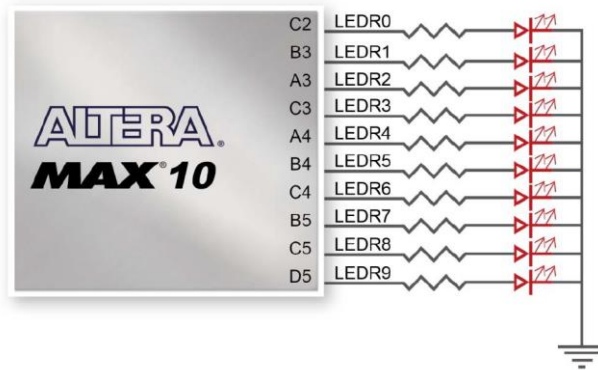
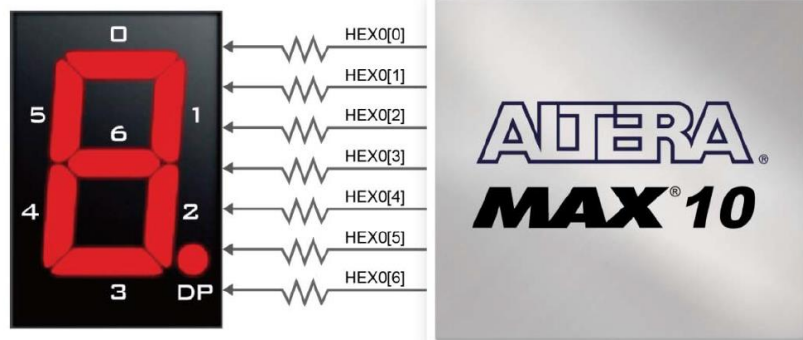


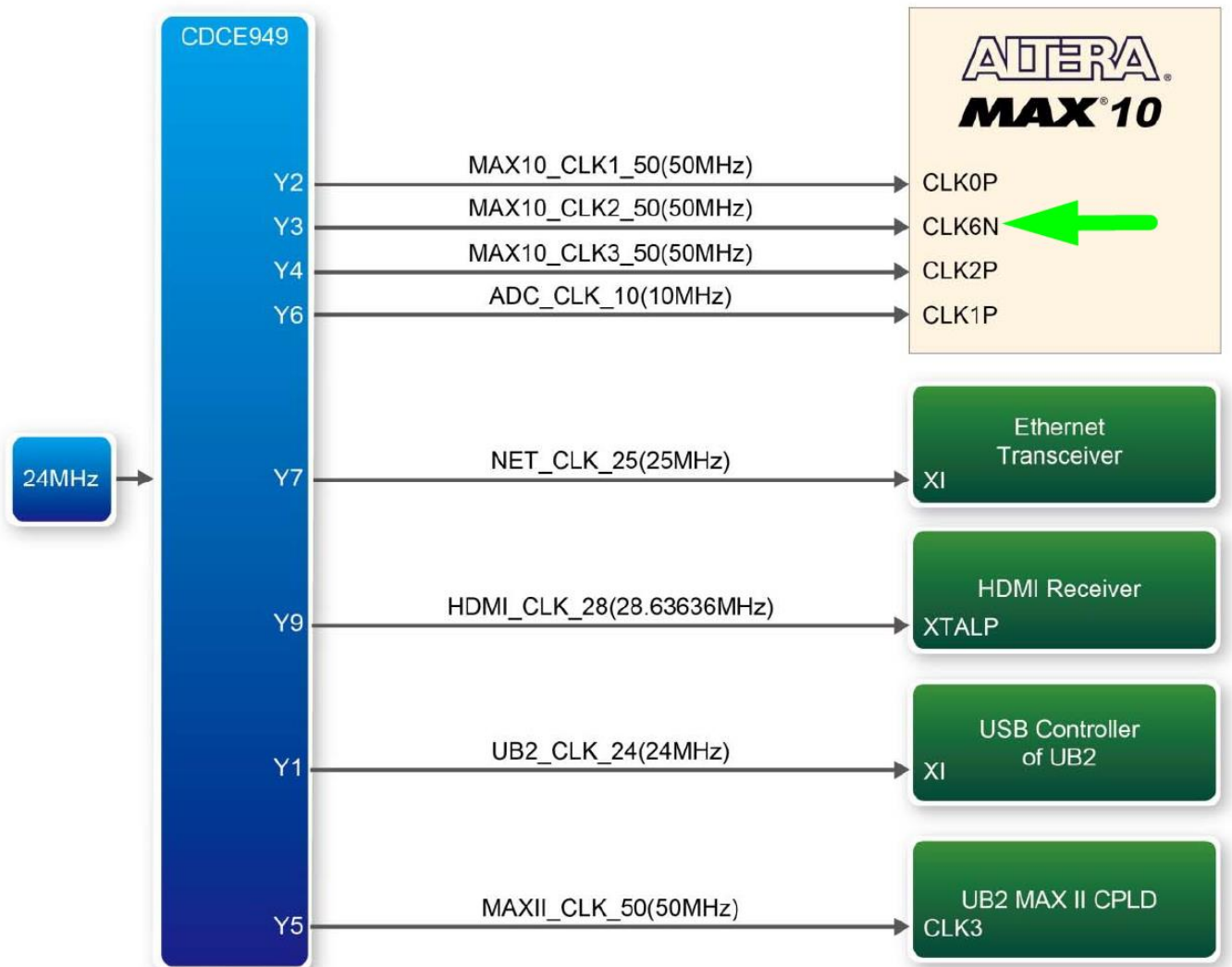
Table 3-5 Pin Assignment of LEDs

Signal Name	FPGA Pin No.	Description	I/O Standard
LEDR[0]	PIN_C2	LEDR [0]	3.3V
LEDR[1]	PIN_B3	LEDR [1]	3.3V
LEDR[2]	PIN_A3	LEDR [2]	3.3V
LEDR[3]	PIN_C3	LEDR [3]	3.3V
LEDR[4]	PIN_A4	LEDR [4]	3.3V
LEDR[5]	PIN_B4	LEDR [5]	3.3V
LEDR[6]	PIN_C4	LEDR [6]	3.3V
LEDR[7]	PIN_B5	LEDR [7]	3.3V
LEDR[8]	PIN_C5	LEDR [8]	3.3V
LEDR[9]	PIN_D5	LEDR [9]	3.3V



Signal Name	FPGA Pin No.	Description	I/O Standard
HEX0[0]	PIN_D6	Seven Segment Digit 0[0]	3.3V
HEX0[1]	PIN_A5	Seven Segment Digit 0[1]	3.3V
HEX0[2]	PIN_C6	Seven Segment Digit 0[2]	3.3V
HEX0[3]	PIN_A6	Seven Segment Digit 0[3]	3.3V
HEX0[4]	PIN_F7	Seven Segment Digit 0[4]	3.3V
HEX0[5]	PIN_D7	Seven Segment Digit 0[5]	3.3V
HEX0[6]	PIN_B7	Seven Segment Digit 0[6]	3.3V
HEX1[0]	PIN_C7	Seven Segment Digit 1[0]	3.3V
HEX1[1]	PIN_C8	Seven Segment Digit 1[1]	3.3V
HEX1[2]	PIN_D8	Seven Segment Digit 1[2]	3.3V
HEX1[3]	PIN_D10	Seven Segment Digit 1[3]	3.3V
HEX1[4]	PIN_E10	Seven Segment Digit 1[4]	3.3V
HEX1[5]	PIN_H11	Seven Segment Digit 1[5]	3.3V
HEX1[6]	PIN_E6	Seven Segment Digit 1[6]	3.3V





Signal Name	FPGA Pin No.	Description	I/O Standard
MAX10_CLK1_50	PIN_N5	50 MHz clock input	2.5V
MAX10_CLK2_50	PIN_V9	50 MHz clock input	3.3V
MAX10_CLK3_50	PIN_N14	50 MHz clock input	1.5V
ADC_CLK_10	PIN_M9	10 MHz clock input	3.3V