

Lab5_x

задание для самостоятельного выполнения

Плата для аппаратной отладки проекта

Аппаратная отладка проекта может быть ориентирована как на плату NeeK 10, так и на плату MiniDiLaB-CIV

NeeK 10: Микросхема FPGA - **10M50DAF484C6GES**, семейство MAX10. Вход тактового сигнала (50МГц) – V9

MiniDiLaB-CIV: Микросхема - **EP4CE6E22C8**, Вход тактового сигнала (25МГц) – 23.

Описание проекта Lab5_1

Имя проекта – lab5_1. Имя модуля верхнего уровня – lab5_1. Файл с описанием – Lab5_1.v. Рабочая папка Lab5_1.

На рисунке приведен пример 8-разрядного последовательного умножителя, осуществляющего умножение младшими разрядами вперед со сдвигом множимого, в котором загрузка новых значений операндов и обнуление сумматора осуществляются по внешнему сигналу load.

```
module mult_serial_ex_f
(
    input  clk, load,
    input  [7:0] a,
    input  [7:0] b,
    output reg [15:0] a_mult_b);

    reg [15:0] temp_a;
    reg [7:0] temp_b;

    always @(posedge clk) begin

        if (load) begin
            temp_a <= a;
            temp_b <= b;
            a_mult_b <= 16'd0; end
        else
            repeat (8) begin
                if (temp_b[0])
                    a_mult_b <= a_mult_b + temp_a;
                temp_a <= temp_a << 1;
                temp_b <= temp_b >> 1; end
            end
    end

endmodule
```

На основе приведенного примера создайте на языке Verilog параметризованное описание N-разрядного последовательного умножителя, осуществляющего умножение младшими разрядами вперед со сдвигом множимого, в котором загрузка в умножитель новых значений операндов и запуск процедуры умножения должны происходить автоматически при изменении любого из операндов.

Подсказка:

- при изменении любого из операндов должен формироваться логический аналог сигнала load, приведенного в примере
- для каждого операнда потребуется регистр для хранения предыдущего значения операнда, которое будет сравниваться с текущим значением операнда и если они отличаются – вырабатываться аналог сигнала load

Выводы модуля:

- Входы
 - CLK – тактовый вход
 - ENA – вход разрешения работы
 - RST – вход асинхронного сброса регистров проекта.
 - [N-1:0] D_A
 - [N-1:0] D_B
- Выходы
 - [2*N-1:0] RES

Требования к модулю.

На входах и выходах данных должны быть использованы регистры с входами сброса и разрешения работы.

Входы ENA и RST должны быть синхронизированы (использовать два последовательно включенных триггера).

Моделирование:

- Значение параметра N = Ваш_номер_в_списке_группы + 7

- Разработать тест класса 1 (tb1_Lab5_1.v) и провести моделирование.
 - значения входов, выходов и время записывать в файл используя любую команду, данные должны быть отформатированы для удобного чтения. имя файла – tb1_lab5_1.dat
- Разработать тест класса 2 (tb2_Lab5_1.v) – входные данные формируются в тесте, ожидаемые данные вычисляются в тесте, и провести моделирование.

Отладка

Значение параметра N = **Ваш номер в списке группы** + 7

С помощью In System Source and Probe и Signal Tap II провести отладку на плате, зафиксировать результаты, продемонстрировать преподавателю. Для синхронизации Signal Tap II использовать удвоенную частоту CLK.

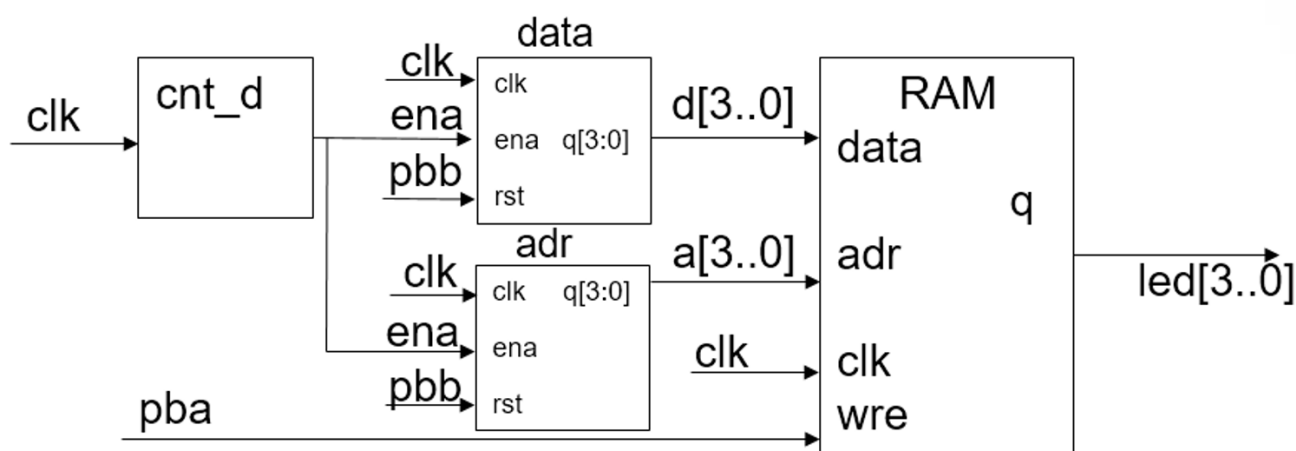
Реализация

Не требуется.

Описание проекта Lab5_2

Имя проекта – lab5_2. Имя модуля верхнего уровня – lab5_2. Файл с описанием – Lab5_2.v. Рабочая папка Lab5_2.

Используется проект из задания 6_3 осеннего семестра. Коэффициент деления счетчика делителя для моделирования и отладки сделать равным 4.



Выводы модуля:

- Входы
 - CLK – тактовый вход
 - PBA – вход разрешения записи.
- Выходы
 - [3:0] led – выходные данные

Требования к модулю.

Вход PBA должен быть синхронизирован (использовать два последовательно включенных триггера).

Моделирование:

- Разработать тест класса 1 (tb1_Lab5_2.v) и провести моделирование всех режимов работы: до записи данных, процесс записи данных, и после записи данных.
 - При моделировании провести анализ содержимого памяти до и после записи данных.
 - значения входов, выходов и время записывать в файл используя любую команду, данные должны быть отформатированы для удобного чтения. имя файла – tb1_lab5_1.dat

Отладка

С помощью In System Source and Probe и Signal Tap II провести отладку на плате, зафиксировать результаты всех режимов работы: до записи данных, процесс записи данных, и после записи данных.

Продемонстрировать преподавателю. Для синхронизации Signal Tap II использовать удвоенную частоту CLK.

Реализация

Не требуется

Требования для получения зачета по этапу КП

Для получения отметки о выполнении по Lab5_х необходимо:

1. Продемонстрировать преподавателю этапы (по его выбору) из программы работы.
2. Загрузить в DL отчет, включающий отображение всех этапов из программы работы
 - a. Отчет должен иметь титульный лист; содержание (собираемое автоматически); список рисунков (собираемый автоматически); задание; разделы (для Lab5_1 и Lab5_2 отдельные разделы) отражающие этапы программы работы; заключение (выводы).
 - b. Все страницы д.б. пронумерованы.
 - c. Все рисунки должны иметь подписи и ссылки на них.
 - d. Ко всем рисункам д.б. пояснения в тексте.
 - e. Отчет должен быть в редактируемом формате (doc; docx).
3. Загрузить в DL архив с рабочими папками.