

## Lab4\_x

### задание для самостоятельного выполнения

#### Плата для аппаратной отладки проекта

Аппаратная отладка проекта может быть ориентирована как на плату NeeK 10, так и на плату MiniDiLaB-CIV

NeeK 10: Микросхема FPGA - **10M50DAF484C6GES**, семейство MAX10. Вход тактового сигнала (50МГц) – V9  
MiniDiLaB-CIV: Микросхема - **EP4CE6E22C8**, Вход тактового сигнала (25МГц) – 23.

#### Описание проекта Lab4\_1

Имя проекта – lab4\_1. Имя модуля верхнего уровня – lab4\_1. Файл с описанием – Lab4\_1.v. Рабочая папка Lab4\_1.

*На языке Verilog опишите без знаковый делитель с повышенной точностью (4 знака после запятой). Разрядность чисел – параметр N.*

#### Выводы модуля:

- Входы
  - CLK – тактовый вход
  - ENA – вход разрешения работы
  - RST – вход асинхронного сброса всех регистров проекта.
  - [N-1:0] D - Делимое
  - [N-1:0] DD - Делитель
- Выходы
  - [N-1:0] RES
  - [3:0] REM

#### Требования к модулю.

На входах и выходах данных должны быть использованы регистры с входами сброса и разрешения работы. Входы ENA и RST должны быть синхронизированы (использовать два последовательно включенных триггера).

#### Моделирование:

- Значение параметра N = 8
- Разработать тест класса 1 (tb1\_Lab4\_1.v) и провести моделирование.
  - значения входов, выходов и время записывать в файл используя любую команду, данные должны быть отформатированы для удобного чтения. Имя файла – tb1\_lab4\_1.dat
- Разработать тест класса 2 – входные и ожидаемые данные хранятся во внешних файлах (tb2\_Lab4\_1.v) и провести моделирование.

#### Отладка

Значение параметра N = 8

С помощью In System Source and Probe и Signal Tap II провести отладку на плате, зафиксировать результаты, продемонстрировать преподавателю. Для синхронизации Signal Tap II использовать удвоенную частоту CLK.

#### Реализация

Не требуется.

## Описание проекта Lab4\_2

Имя проекта – lab4\_2. Имя модуля верхнего уровня – lab4\_2. Файл с описанием – Lab4\_2.v. Рабочая папка Lab4\_2.

На языке Verilog опишите устройство сортировки 4-х чисел (числа N-разрядные, знаковые). Разрядность чисел N – параметр.

### Выводы модуля:

- Входы
  - CLK – тактовый вход
  - ENA – вход разрешения работы
  - RST – вход асинхронного сброса регистров проекта.
  - [N:0] D [3:0] - входные данные
- Выходы
  - [N:0] RES [3:0] - выходные данные (большее число в слове [N:0] RES [3])

### Требования к модулю.

На входах и выходах данных должны быть использованы регистры с входами сброса и разрешения работы.

Входы ENA и RST должны быть синхронизированы (использовать два последовательно включенных триггера).

### Моделирование:

- Значение параметра N = 16
- Разработать тест класса 1 (tb1\_Lab4\_2.v) и провести моделирование.
  - значения входов, выходов и время записывать в файл используя любую команду, данные должны быть отформатированы для удобного чтения. имя файла – tb1\_lab4\_2.dat
- Разработать тест класса 2 – входные и ожидаемые данные хранятся во внешних файлах (tb2\_Lab4\_2.v) и провести моделирование.

### Отладка

Значение параметра N = 16

С помощью In System Source and Probe и Signal Tap II провести отладку на плате, зафиксировать результаты, продемонстрировать преподавателю. Для синхронизации Signal Tap II использовать удвоенную частоту CLK.

### Реализация

Не требуется

### Требования для получения зачета по этапу КП

Для получения отметки о выполнении по Lab4\_х необходимо:

1. Продемонстрировать преподавателю этапы (по его выбору) из программы работы.
2. Загрузить в DL отчет, включающий отображение всех этапов из программы работы
  - a. Отчет должен иметь титульный лист; содержание (собираемое автоматически); список рисунков (собираемый автоматически); задание; разделы (для Lab4\_1 и Lab4\_2 отдельные разделы) отражающие этапы программы работы; заключение (выводы).
  - b. Все страницы д.б. пронумерованы.
  - c. Все рисунки должны иметь подписи и ссылки на них.
  - d. Ко всем рисункам д.б. пояснения в тексте.
  - e. Отчет должен быть в редактируемом формате (doc; docx).
3. Загрузить в DL архив с рабочими папками.