# задание для самостоятельного выполнения

## Плата для аппаратной отладки проекта

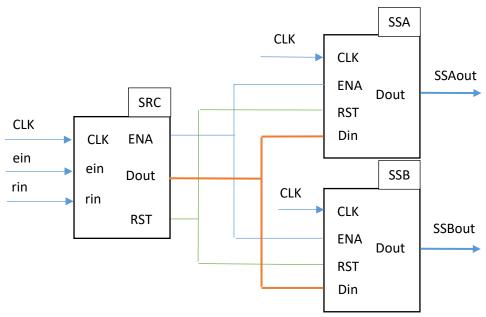
Аппаратная отладка проекта ориентирована на плату MiniDiLaB-CIV

MiniDiLaB-CIV: Микросхема - **EP4CE6E22C8**, Вход тактового сигнала (25М $\Gamma$  $\mu$ ) – 23.

## Описание проекта Lab9 1

Рабочая папка Lab9\_1. Имя проекта — Lab9\_1. Имя модуля верхнего уровня — Lab9\_1. Файл с описанием — Lab9\_1.sv. Файл теста — tb Lab9 1.sv. Файл с описанием для отладки — db Lab9 1.sv.

### Алгоритм работы:



#### Состав устройства:

- Входы:
  - СLК тактовый вход, частота тактового сигнала 25МГц
  - o rin − вход сигнала сброса устройства, активный уровень − 1.
  - Ein вход сигнала разрешения работы устройства, , активный уровень 1.
- Выходы:
  - SSAout[7:0] и SSBout [7:0] выходы, поступающие на 2 семи-сегментных индикатора.

#### Модули:

- SRC включает:
  - Синхронизатор сигнала сброса: сигнал rin проходит через два регистра, на выходе которых формируется сигнал rin\_s. Этот сигнал используется внутри модуля SRC и поступает на выход RST
  - Синхронизатор сигнала разрешения работы: сигнал ein проходи через два регистра, на выходе которых формируется сигнал ein\_s. Этот сигнал используется внутри модуля SRC и поступает на выход ENA
  - Двоичный 4-разрядный счетчик
    - Сбрасывается сигналом rin s (=1) асинхронно
    - Счет разрешается при ein s=1.
    - Значение счетчика передается на выход Dout.
- SSAout[7:0] и SSBout [7:0] преобразователи двоичного кода в семи-сегментный
  - о Входы:
    - CLK тактовый вход

- RST вход асинхронного сброса, активный уровень − 1.
- ENA вход разрешения работы, активный уровень 1.
- Din 4-х разрядный вход.
  - На входе должен быть регистр (с асинхронным сбросом и разрешением работы)
- о Выход:
  - Dout 7 разрядный выход.
    - На выходе должен быть регистр (с асинхронным сбросом и разрешением работы)

# Программа работы

- Разработать описание устройства модуль Lab9 1, с использованием расширений SystemVerilog
  - На верхнем уровне описание должно быть структурным. обязательно использование interface и modport
- Разработать тест tb\_Lab9\_1 для проверки устройства Lab9\_1 с использованием расширений SystemVerilog (тест первого класса без автоматической проверки).
  - о При описании теста обязательно использование interface и modport
- По результатам моделирования в ModelSim необходимо доказать работоспособность устройства
  - о данные для 7-сегментных индикаторов должны отображаться в тесте в виде символов 0,1,2,....А, В, ...F.
- Разработать модуль верхнего уровня для отладки db\_Lab9\_1, содержащий:
  - модуль Lab9\_1;
  - о модуль SP\_unit (модуль, обеспечивающий возможность: задания входных управляющих сигналов без использования кнопок на плате; отображения выходных сигналов).
  - о описание должно быть структурным. обязательно использование interface и modport
  - о Модуль должен обеспечивать подключение к тактовому сигналу на плате.
- Настроить логический анализатор для проведения исследования и отладки реализуемого на плате db Lab9 1
  - о данные для 7-сегментных индикаторов должны отображаться в виде символов 0,1,2,....А, В, ... F.
- Провести анализ работы db\_Lab9\_1 и доказать (зафиксировав результаты снимками экрана), что:
  - о Модуль управляется входными сигналами
  - о Правильно реализуется алгоритм работы

## Содержание отчета

- Отчет должен быть оформлен по правилам, принятым в Высшей Школе.
- Отчет должен содержать все этапы работы, все созданные исходные коды, необходимые снимки экрана. Все рисунки и полученные на них результаты должны быть прокомментированы.