САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab2

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил:

Курякин Д. А

группа: 3540901/12001

преподаватель:

Антонов А. П.

Санкт-Петербург

2021

Оглавление

[1 Задание lab1\_1 3](#_Toc85944504)

[1.1 Задание 3](#_Toc85944505)

[1.2 Описание на языке Verilog 3](#_Toc85944506)

[1.3 Результат синтеза (RTL) 3](#_Toc85944507)

[1.4 Моделирование 3](#_Toc85944508)

[1.5 Назначение выводов СБИС 4](#_Toc85944509)

[1.6 Тестирование на плате Nexys4 DDR 5](#_Toc85944510)

[1.7 Выводы 5](#_Toc85944511)

[2 Задание lab1\_2 6](#_Toc85944512)

[2.1 Задание 6](#_Toc85944513)

[2.2 Описание на языке Verilog 6](#_Toc85944514)

[2.3 Результат синтеза (RTL) 6](#_Toc85944515)

[2.4 Моделирование 6](#_Toc85944516)

[2.5 Назначение выводов СБИС 7](#_Toc85944517)

[2.6 Тестирование на плате Nexys4 DDR 8](#_Toc85944518)

[2.7 Выводы 8](#_Toc85944519)

[3 Задание lab1\_3 9](#_Toc85944520)

[3.1 Задание 9](#_Toc85944521)

[3.2 Описание на языке Verilog 9](#_Toc85944522)

[3.3 Результат синтеза (RTL) 9](#_Toc85944523)

[3.4 Моделирование 9](#_Toc85944524)

[3.5 Назначение выводов СБИС 10](#_Toc85944525)

[3.6 Тестирование на плате Nexys4 DDR 10](#_Toc85944526)

[3.7 Выводы 10](#_Toc85944527)

[4 Задание lab1\_4 12](#_Toc85944528)

[4.1 Задание 12](#_Toc85944529)

[4.2 Описание на языке Verilog 12](#_Toc85944530)

[4.3 Результат синтеза (RTL) 12](#_Toc85944531)

[4.4 Моделирование 12](#_Toc85944532)

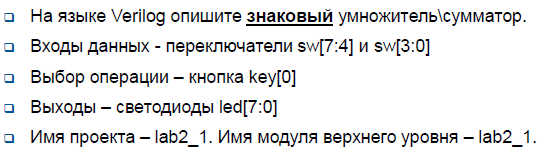
[4.5 Назначение выводов СБИС 13](#_Toc85944533)

[4.6 Тестирование на плате Nexys4 DDR 14](#_Toc85944534)

[4.7 Выводы 14](#_Toc85944535)

# Задание lab1\_1

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 1.

Листинг 1. Lab2\_1.v

|  |
| --- |
| module lab2\_1(  input signed [3:0] sw1, sw2,  input key,  output [7:0] led  );    assign led = (key)? (sw1 \* sw2) : (sw1 + sw2);  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑1.

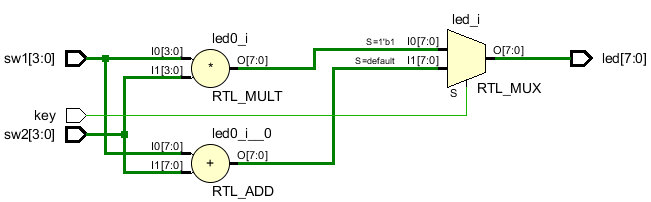


Рис. 1‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест представленный в листинге 2:

Листинг 2. tb2\_1.v

|  |
| --- |
| module lab2\_1\_tb();  localparam period = 20;  reg [7:0] read\_data [0:12];    reg [3:0] sw1, sw2;  reg key;  wire [7:0] led;  integer i;    lab2\_1 com(.sw1(sw1), .sw2(sw2), .key(key), .led(led));    initial begin  $readmemh("lab2\_1.mem", read\_data);  for(i = 0; i < 4; i = i + 1)  begin  sw1 = read\_data[i\*3];  sw2 = read\_data[i\*3+1];  key = read\_data[i\*3+2];    #period;    // 1111 0111 1111 0110 0000 1001  end  end    endmodule |

Результаты моделирования приведены на Рис. 1‑2

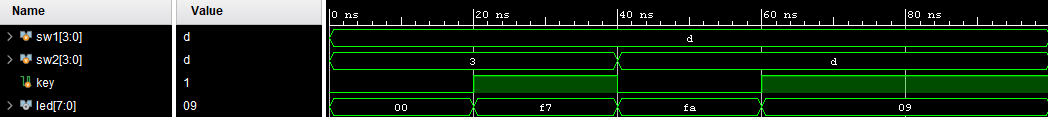


Рис. 1‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 1‑3

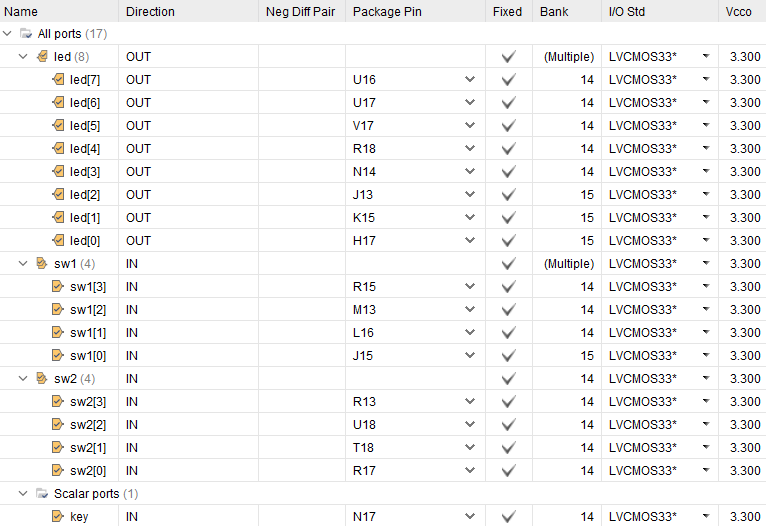


Рис. 1‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

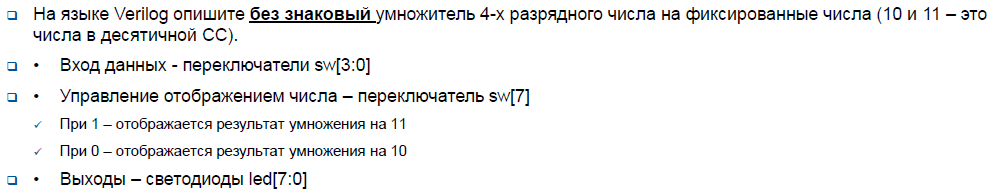
Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4. Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате было реализовано знаковый умножитель/сумматор.

# Задание lab1\_2

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 3.

Листинг 3. Lab2\_2.v

|  |
| --- |
| module lab2\_2(  input [3:0] sw,  input sw\_key,  output [7:0] led  );  assign led = (sw\_key) ? (sw[3:0]<<1) + (sw[3:0]<<3) : (sw[3:0]<<1) + (sw[3:0]<<3) + sw[3:0];    endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 2‑1.

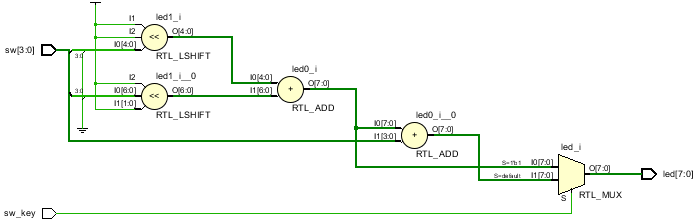


Рис. 2‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный в листинге 4:

Листинг 4. tb2\_2.v

|  |
| --- |
| module tb();  localparam period = 20;    reg [3:0] sw;  reg key;  wire [7:0] led;  integer i;    lab2\_2 com(.sw(sw), .sw\_key(key), .led(led));    initial begin  for(i = 0; i < 16; i = i + 1) begin  sw = i;  key = 1'b0;  #period;  key = 1'b1;  #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 2-2.

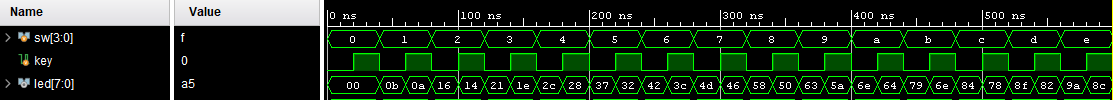


Рис. 2‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 2‑3

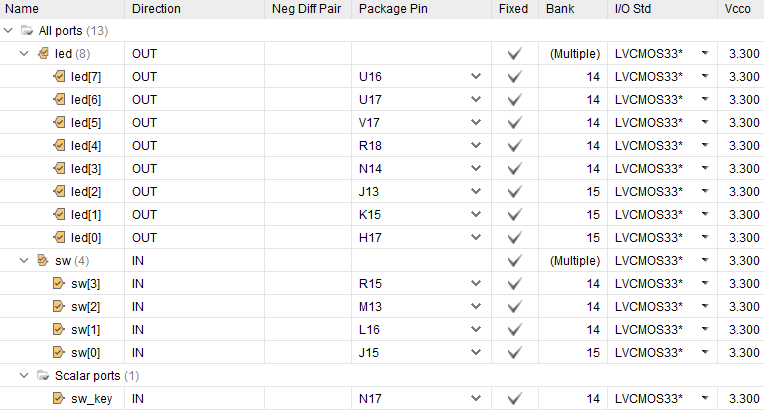


Рис. 2‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

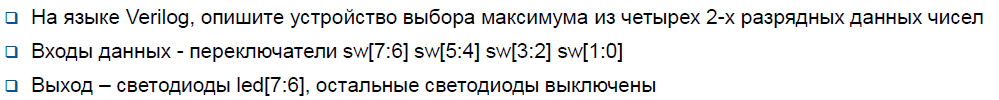
Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате был реализован без знаковый умножитель 4-х разрядного числа на фиксированные числа (10 и 11–это числа в десятичной СС).

# Задание lab1\_3

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже листинге 5.

Листинг 5. Lab2\_3.v

|  |
| --- |
| module lab2\_3(  input [7:0] sw,  output [1:0] led  );  wire[1:0] val1, val2;    assign val1 = (sw[1:0] > sw[3:2]) ? sw[1:0] : sw[3:2];  assign val2 = (sw[5:4] > sw[7:6]) ? sw[5:4] : sw[7:6];  assign led = (val1 > val2) ? val1 : val2;  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 3‑1.

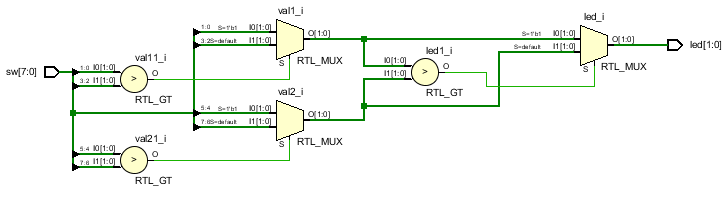


Рис. 3‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный в листинге 6:

Листинг 6. tb2\_3.v

|  |
| --- |
| module tb();  localparam period = 20;    reg [7:0] sw;  wire [1:0] led;  integer i;    lab2\_3 com(.sw(sw), .led(led));    initial begin  for(i = 64; i < 256; i = i + 1) begin  sw = i;  #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 3-2.

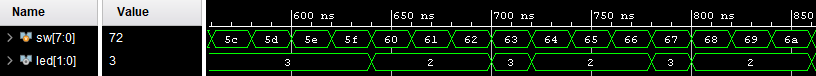


Рис. 3‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 3‑3.

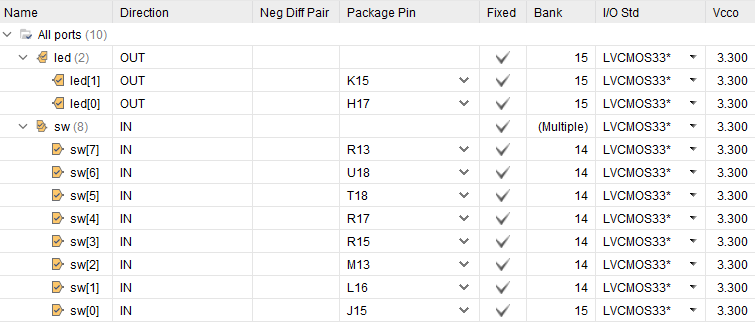


Рис. 3‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

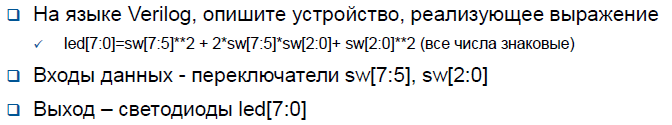
Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате было реализовано устройство выбора максимума из четырех 2-х разрядных чисел.

# Задание lab1\_4

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 7.

Листинг 7. Lab2\_4.v

|  |
| --- |
| module lab2\_4(  input signed [2:0] sw1, sw2,  output signed [7:0] led  );  assign led = sw2\*\*2 + 2\*sw2\*sw1+ sw1\*\*2;  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 4‑1.

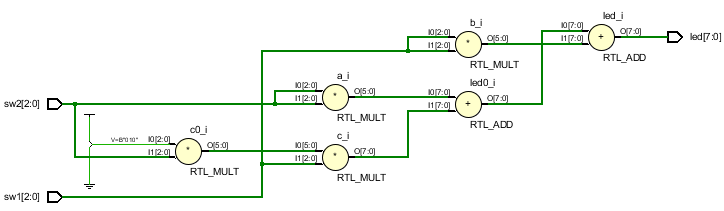


Рис. 4‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный на Рис. 4-3 с тестовыми данными представленными в листинге 8:

Листинг 8. tb2\_4.v

|  |
| --- |
| module tb();  localparam period = 20;    reg [2:0] sw1, sw2;  wire [7:0] led;  integer i;    lab2\_4 com(.sw1(sw1), .sw2(sw2), .led(led));    initial begin  for(i = 0; i < 8; i = i + 1) begin  sw1 = i;  sw2 = i;  #period;  end  sw1 = 3'b010;  sw2 = 3'b110;  end  endmodule |

Результаты моделирования приведены на Рис. 4-2.

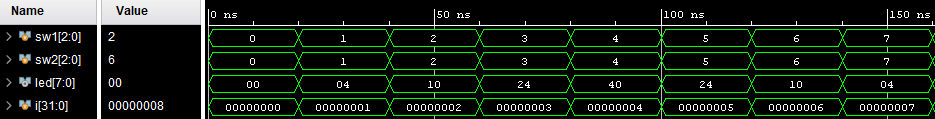


Рис. 4-2. Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 4‑3

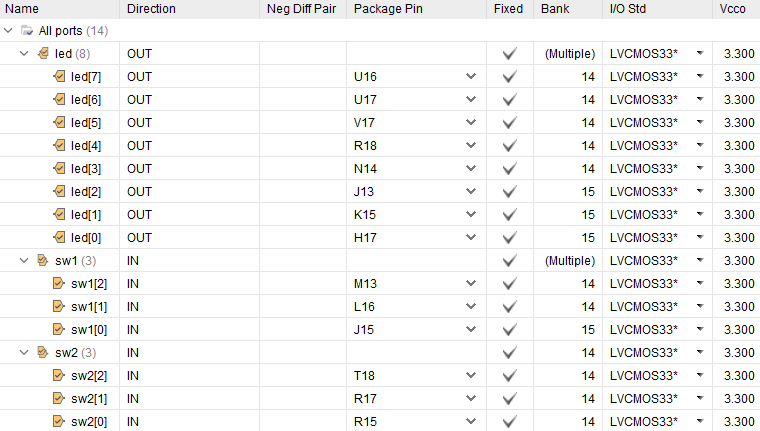


Рис. 4‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4.

Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате выполнения задан я был реализовано устройство вычисляющее значение из квадратного уравнения.