САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab1

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Курякин Д. А. 3540901/12001

группа:

преподаватель:

Антонов А. П.

Санкт-Петербург

2021

Оглавление

[1 Задание lab1 3](#_Toc83560262)

[1.1 Задание 3](#_Toc83560263)

[1.2 Выводы 3](#_Toc83560264)

[2 Задание lab2\_plus 4](#_Toc83560265)

[2.1 Задание 4](#_Toc83560266)

[2.2 Синтез проекта и анализ результатов 4](#_Toc83560267)

[2.2.1 Анализ результатов синтеза 4](#_Toc83560268)

[2.2.2 Отчет Report Utilization 4](#_Toc83560269)

[2.3 Реализация проекта и анализ результатов 4](#_Toc83560270)

[2.3.1 Анализ результатов реализации 4](#_Toc83560271)

[2.3.2 Отчет Report Utilization 4](#_Toc83560272)

[2.3.3 Анализ потребления энергии 5](#_Toc83560273)

[2.4 Выводы 5](#_Toc83560274)

# Задание lab1

## Задание

Изучение пакета проектирования FPGA Vivado:

* создание проекта, основанного на HDL описании,
* выбор целевой платформы (как конкретную FPGA, так и плату с этой микросхемой),
* использование созданного заранее Xilinx Design Constraint (XDC) файла для задания выводов микросхемы,
* осуществление моделирование проекта (поведенческое и с временными параметрами),
* синтез проекта,
* создание конфигурационного файла,
* конфигурирование FPGA на плате и осуществление проверки проекта.

## Выводы

В ходе лабораторной работы были изучены основные инструменты пакета Vivado от создания проекта до конфигурации FPGA и проверки на плате.

# Задание lab2\_plus

## Задание

Самостоятельное закрепление материала:

* создание проекта, основанного на HDL описании,
* выбор целевой платформы (конкретной FPGA),
* использование созданного заранее файла Xilinx Design Constraint (XDC) - файла для задания выводов микросхемы,
* поведенческое моделирование проекта (поведенческое и с временными параметрами),
* синтез проекта и реализация проекта, анализ результатов,
* моделирование проекта реализованного проекта с временными параметрами,
* создание конфигурационного файла,
* конфигурирование FPGA на плате и проверка работы проекта.

## Синтез проекта и анализ результатов

### Анализ результатов синтеза

|  |  |  |  |
| --- | --- | --- | --- |
| Resource | Estimation | Available | Utilization % |
| LUT | 11 | 63400 | 0.017350158 |
| IO | 31 | 210 | 14.761906 |

### Отчет Report Utilization

|  |  |  |
| --- | --- | --- |
| Ресурс | Количество | Категория |
| OBUF | 16 | IO |
| IBUF | 15 | IO |
| LUT6 | 10 | LUT |
| LUT5 | 1 | LUT |

## Реализация проекта и анализ результатов

### Анализ результатов реализации

|  |  |
| --- | --- |
| Число цепей, при трассировке которых возникли конфликты | 0 |
| Число цепей, которые не были разведены | 0 |
| Число цепей, которые были частично разведены | 0 |
| Число полностью разведенных цепей | 26 |

### Отчет Report Utilization

|  |  |  |
| --- | --- | --- |
| Ресурс | Количество | Категория |
| OBUF | 16 | IO |
| IBUF | 15 | IO |
| LUT6 | 10 | LUT |
| LUT5 | 1 | LUT |

### Анализ потребления энергии

|  |  |
| --- | --- |
| Общее потребление (Total On-Chip Power) | 5.165 W |
| Динамическое потребление (Dynamic) | 5.041 W |
| Статическое потребление (Device Static) | 0.124 W |
| Уровень доверия к результатам (Confidence Level) | Low |

## Выводы

В ходе лабораторной работы были закреплены навыки работы с пакетом проектирования FPGA Vivado.