САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab2

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Курякин Д. А. 3540901/12001

группа:

преподаватель:

Антонов А. П.

Санкт-Петербург

2021

Оглавление

[1 Задание labX\_1 4](#_Toc524592444)

[1.1 Задание 4](#_Toc524592445)

[1.2 Описание на языке Verilog 4](#_Toc524592446)

[1.3 Результат синтеза (RTL) 4](#_Toc524592447)

[1.4 Моделирование 4](#_Toc524592448)

[1.5 Назначение выводов СБИС 5](#_Toc524592449)

[1.6 Тестирование на плате miniDiLaB-CIV 5](#_Toc524592450)

[1.7 Выводы 5](#_Toc524592451)

[2 Задание labX\_2 6](#_Toc524592452)

[2.1 Задание 6](#_Toc524592453)

[2.2 Описание на языке Verilog 6](#_Toc524592454)

[2.3 Результат синтеза (RTL) 6](#_Toc524592455)

[2.4 Моделирование 6](#_Toc524592456)

[2.5 Назначение выводов СБИС 7](#_Toc524592457)

[2.6 Тестирование на плате miniDiLaB-CIV 7](#_Toc524592458)

[2.7 Выводы 7](#_Toc524592459)

Список иллюстраций

[Рис. 1‑1 Описание на языке Verilog 4](#_Toc468082582)

[Рис. 1‑2 Синтезированная схема 4](#_Toc468082583)

[Рис. 1‑3 Результат моделирования средствами QII 5](#_Toc468082584)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 5](#_Toc468082585)

[Рис. 2‑1 Описание на языке Verilog 6](#_Toc468082586)

[Рис. 2‑2 Синтезированная схема 6](#_Toc468082587)

[Рис. 2‑3 Результат моделирования средствами QII 7](#_Toc468082588)

[Рис. 2‑4 Назначение выводов в приложении Pin Planner 7](#_Toc468082589)

# Задание lab2

## Задание

Изучение дополнительных инструментов пакета Vivado:

* назначение выводов микросхемы;
* задание параметров проекта;
* синтез проекта;
* анализ результатов синтеза;
* прока временного анализа;
* анализ и изменение задаваемых в XDC файле временных параметров;
* создание и загрузка контрольных точек;
* проведение анализа аппаратных затрат и потребляемой мощности после процедуры синтеза.

## Выводы

В ходе лабораторной работы были изучены некоторые настройки синтеза пакета Vivado и эффекты он их изменения.

# Задание lab2\_plus

## Задание

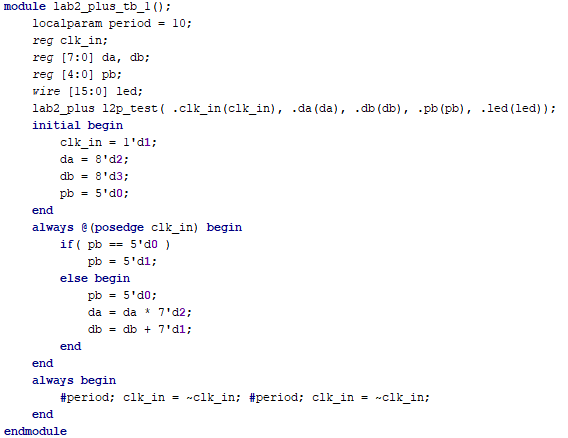
Самостоятельное закрепление пройдённого материала путем повторения следующих шагов:

* создание проекта,
* создание HDL описания,
* выбор целевой платформы (конкретной FPGA),
* создание теста
* задание выводов микросхемы,
* поведенческое моделирование проекта (поведенческое и с временными параметрами),
* синтез проекта и реализация проекта, анализ результатов,
* моделирование реализованного проекта с временными параметрами,
* создание конфигурационного файла,
* конфигурирование FPGA на плате и проверка работы проекта.

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. Описанием простейшего теста без самопроверки



Результаты моделирования приведены на Рис. 2-1.

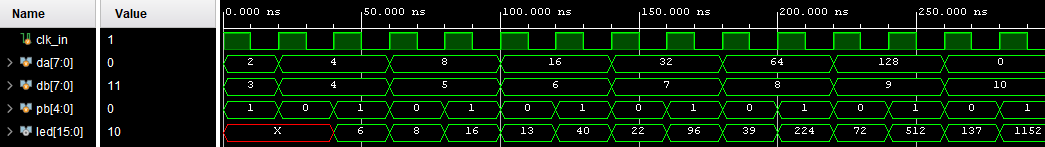
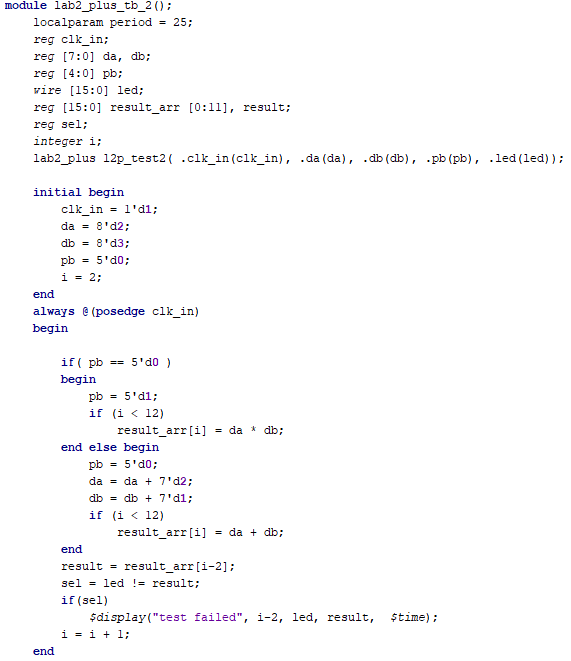


Рис. 2‑1 Результат моделирования

1. Описанием теста с самопроверкой



Результаты моделирования приведены на Рис. 2-2.

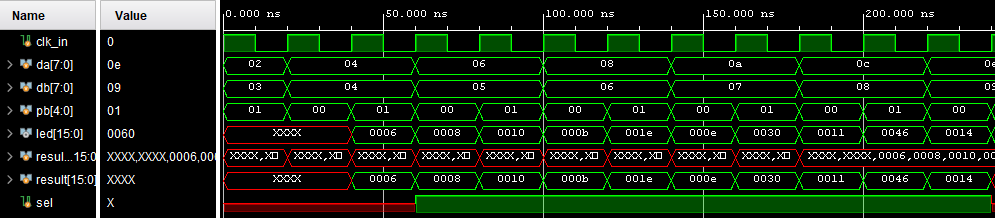
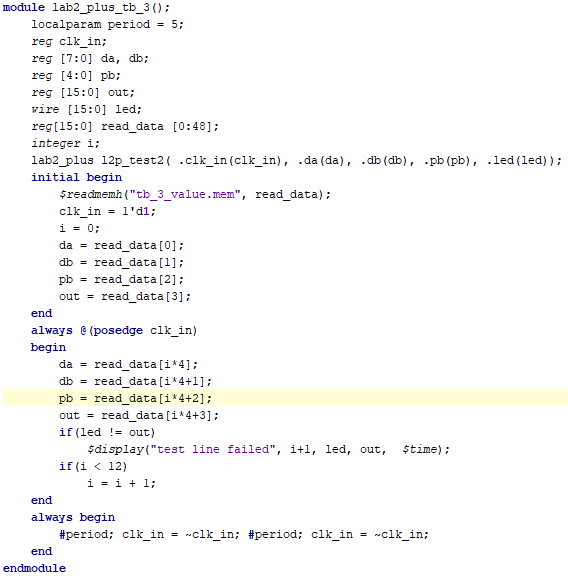


Рис. 2‑2 Результат моделирования

1. Описанием теста с самопроверкой и чтением тестовых данных из файла



Используемые тестовые данные приведены на рис. 2-3.

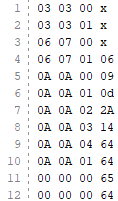


Рис. 2‑3 Тестовые данные

Результаты моделирования приведены на Рис.

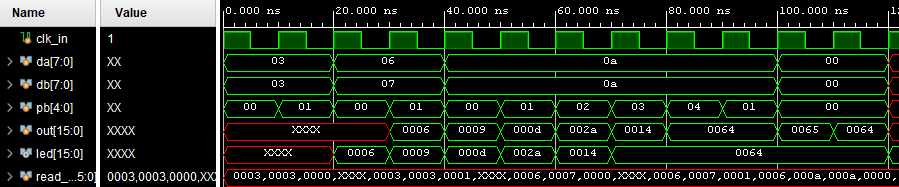


Рис. 2‑4 Результат моделирования

## Анализ результатов синтеза

### Для всего проекта

|  |  |  |  |
| --- | --- | --- | --- |
| Resource | Estimation | Available | Utilization % |
| LUT | 85 | 63400 | 0.1340694 |
| FF | 63 | 126800 | 0.04968454 |
| IO | 38 | 210 | 18.095238 |
| BUFG | 1 | 32 | 3.125 |

### Для модуля lab2\_plus\_add

|  |  |  |
| --- | --- | --- |
| Resource | Estimation | Available |
| LUT | 8 | 63400 |
| FF | 25 | 126800 |
| IO | 33 | 210 |

### Для модуля lab2\_plus\_mult

|  |  |  |
| --- | --- | --- |
| Resource | Estimation | Available |
| LUT | 71 | 63400 |
| FF | 32 | 126800 |
| IO | 33 | 210 |

### Для модуля lab2\_plus\_sel

|  |  |  |
| --- | --- | --- |
| Resource | Estimation | Available |
| LUT | 1 | 63400 |
| FF | 6 | 126800 |
| IO | 7 | 210 |

### Для модуля lab2\_plus\_mux

|  |  |  |
| --- | --- | --- |
| Resource | Estimation | Available |
| LUT | 8 | 63400 |
| FF | 16 | 126800 |
| IO | 50 | 210 |

### Отчет Report Utilization

|  |  |  |
| --- | --- | --- |
| Ресурс | Количество | Категория |
| IBUF | 22 | IO |
| OBUF | 16 | IO |
| LUT2 | 34 | LUT |
| LUT3 | 12 | LUT |
| LUT5 | 4 | LUT |
| LUT6 | 37 | LUT |
| FDRE | 63 | Flop & Latch |
| CARRY4 | 13 | CarryLogic |
| BUFG | 1 | Clock |

### Временной анализ после процедуры синтеза

|  |  |
| --- | --- |
|  | Synthesis |
| Setup |  |
| WNS | -2.992 ns |
| TNS | -46.214 ns |
| Hold |  |
| WNS | 0.174 ns |
| TNS | 0 ns |

## Процедура реализации проекта

### Таблица Route Status

|  |  |
| --- | --- |
| Число цепей, при трассировке которых возникли конфликты | 0 |
| Число цепей, которые не были разведены | 0 |
| Число цепей, которые были частично разведены | 0 |
| Число полностью разведенных цепей | 175 |

### Анализ результатов

|  |  |  |  |
| --- | --- | --- | --- |
| Resource | Estimation | Available | Utilization % |
| LUT | 84 | 63400 | 0.13249211 |
| FF | 63 | 126800 | 0.04968454 |
| IO | 38 | 210 | 18.095238 |
| BUFG | 1 | 32 | 3.125 |

### Анализ потребления энергии

|  |  |
| --- | --- |
| Общее потребление (Total On-Chip Power) | 0.118 W |
| Динамическое потребление (Dynamic) | 0.021 W |
| Статическое потребление (Device Static) | 0.097 W |
| Уровень доверия к результатам (Confidence Level) | Low |

### Временной анализ

#### Временные параметры при virtual\_clock равный 10 нс.

|  |  |  |
| --- | --- | --- |
|  | Implementation | Synthesis |
| Setup |  |  |
| WNS | -2.992 ns | -2.992 ns |
| TNS | -46.214 ns | -46.214 ns |
| Hold |  |  |
| WNS | 0.174 ns | 0.174 ns |
| TNS | 0 ns | 0 ns |

Требования к временным параметрам не выполнены.

#### Временные параметры при virtual\_clock равный 20 нс.

|  |  |  |
| --- | --- | --- |
|  | Implementation | Synthesis |
| Setup |  |  |
| WNS | 5.499 ns | -0.016 ns |
| TNS | 0 ns | -0.032 ns |
| Hold |  |  |
| WNS | 0.162 ns | 0.132 ns |
| TNS | 0 ns | 0 ns |

Требования к временным параметрам выполнены.

#### Анализ цепи с худшим WNS

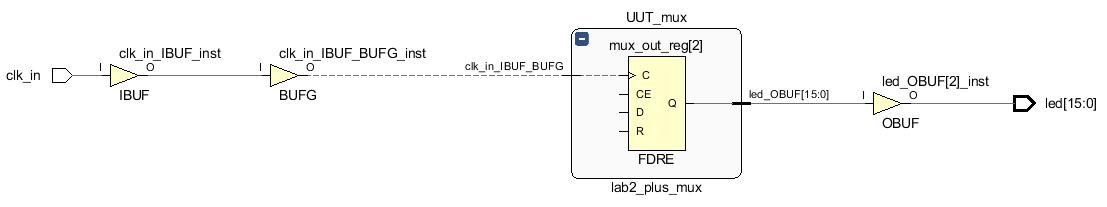


Рис. 2‑4 Результат моделирования

Параметр Slack (отличие полученного временного параметра от заданного) вычисляется путем:

Slack = Requirement – (Data Path Delay – Clock Path Skew + Clock Uncertainty) = 20 –(7.161 – (-5.361) + 0.025) = 7.453

## Выводы

В ходе лабораторной работы были закреплены навыки работы с пакетом проектирования FPGA Vivado.