САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию xilinx\_lab3

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил:

Курякин Д. А

группа: 3540901/12001

преподаватель:

Антонов А. П.

Санкт-Петербург

2021

Оглавление

[1 Задание lab3 3](#_Toc89553681)

[1.1 Задание 3](#_Toc89553682)

[1.2 Выводы 3](#_Toc89553683)

[2 Задание lab3s 4](#_Toc89553684)

[2.1 Задание 4](#_Toc89553685)

[2.2 Описание на языке Verilog 4](#_Toc89553686)

[2.3 Результат синтеза 4](#_Toc89553687)

[2.4 Моделирование 5](#_Toc89553688)

[2.5 Назначение выводов СБИС 5](#_Toc89553689)

[2.6 Тестирование на плате Nexys4 DDR 5](#_Toc89553690)

[2.7 Выводы 6](#_Toc89553691)

# Задание lab3

## Задание

Пройти пошаговую ознакомительную инструкцию по IP ядрам в Vivado.

## Выводы

В результате были изучены инструменты разработки по IP ядрам, создан тестовый проект, проведено моделирование этого проекта и запуск на плате.

# Задание lab3s

## Задание

* 1. Используя IP из XUP\_IP и, если будет необходимо, Xilinx IP (базовая плата Nexsys4 DDR):
  2. Создать полный одноразрядный сумматор, на входах и выходах которого должны быть использованы триггеры (входы подключены к переключателям и тактовому сигналу, выходы подключены к светодиодам).
  3. Разработать тест
  4. Осуществить моделирование
  5. Реализовать и проверить на плате

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в рис 2-1.

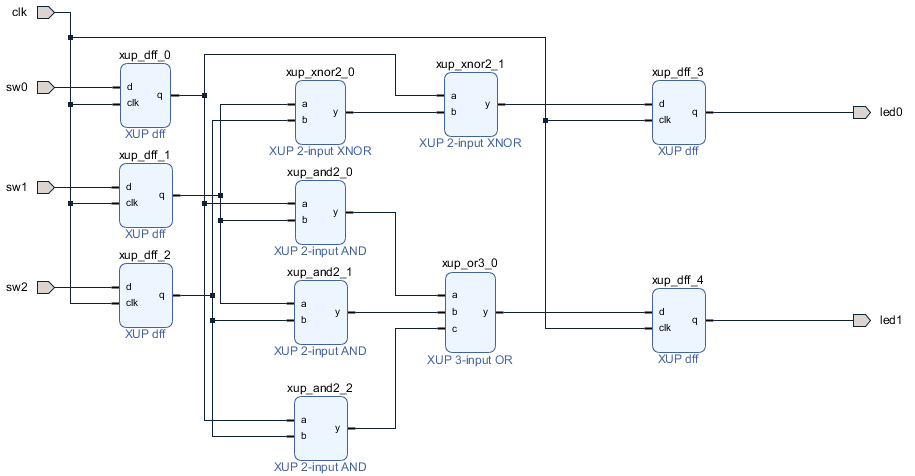


Рис. 2‑1 Созданная схема

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 2‑2.

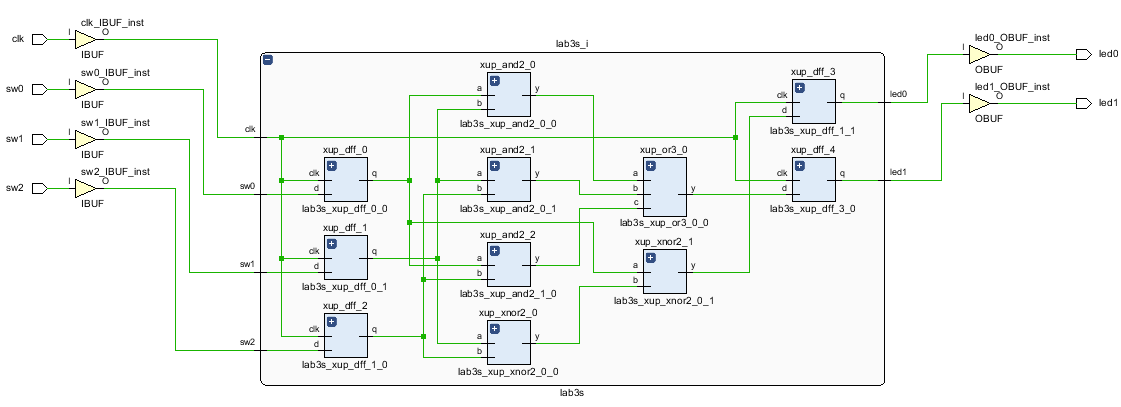


Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный в листинге 1:

Листинг 1. tb3s.v

|  |
| --- |
| module tb3s();  localparam period = 10;  reg clk;  reg [2:0] sw;  wire [1:0] led;  integer i;  lab3s\_wrapper SUM(.clk(clk), .led0(led[0]), .led1(led[1]), .sw0(sw[0]), .sw1(sw[1]), .sw2(sw[2]));  initial begin  clk = 1'h0;  for(i = 0; i < 10; i = i + 1) begin  sw = i;  #period;clk = ~clk; #period;clk = ~clk;  end  end  endmodule |

Результаты моделирования приведены на Рис. 2-3.

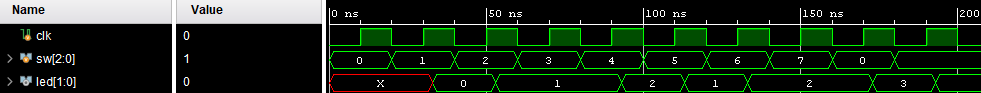


Рис. 2‑3 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 2‑4

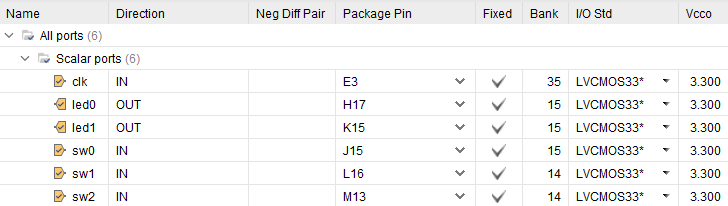


Рис. 2‑4 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате было реализован полный сумматор на IP ядрах .