САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab1

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил:

Курякин Д. А

группа:

преподаватель:

Антонов А. П.

Санкт-Петербург

2021

Оглавление

[1 Задание labX\_1 4](#_Toc524592444)

[1.1 Задание 4](#_Toc524592445)

[1.2 Описание на языке Verilog 4](#_Toc524592446)

[1.3 Результат синтеза (RTL) 4](#_Toc524592447)

[1.4 Моделирование 4](#_Toc524592448)

[1.5 Назначение выводов СБИС 5](#_Toc524592449)

[1.6 Тестирование на плате miniDiLaB-CIV 5](#_Toc524592450)

[1.7 Выводы 5](#_Toc524592451)

[2 Задание labX\_2 6](#_Toc524592452)

[2.1 Задание 6](#_Toc524592453)

[2.2 Описание на языке Verilog 6](#_Toc524592454)

[2.3 Результат синтеза (RTL) 6](#_Toc524592455)

[2.4 Моделирование 6](#_Toc524592456)

[2.5 Назначение выводов СБИС 7](#_Toc524592457)

[2.6 Тестирование на плате miniDiLaB-CIV 7](#_Toc524592458)

[2.7 Выводы 7](#_Toc524592459)

Список иллюстраций

[Рис. 1‑1 Описание на языке Verilog 4](#_Toc468082582)

[Рис. 1‑2 Синтезированная схема 4](#_Toc468082583)

[Рис. 1‑3 Результат моделирования средствами QII 5](#_Toc468082584)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 5](#_Toc468082585)

[Рис. 2‑1 Описание на языке Verilog 6](#_Toc468082586)

[Рис. 2‑2 Синтезированная схема 6](#_Toc468082587)

[Рис. 2‑3 Результат моделирования средствами QII 7](#_Toc468082588)

[Рис. 2‑4 Назначение выводов в приложении Pin Planner 7](#_Toc468082589)

# Задание lab1\_1

## Задание

Демонстрационная работа из презентации.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

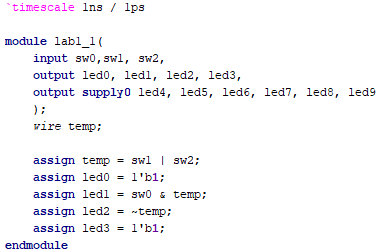


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2.

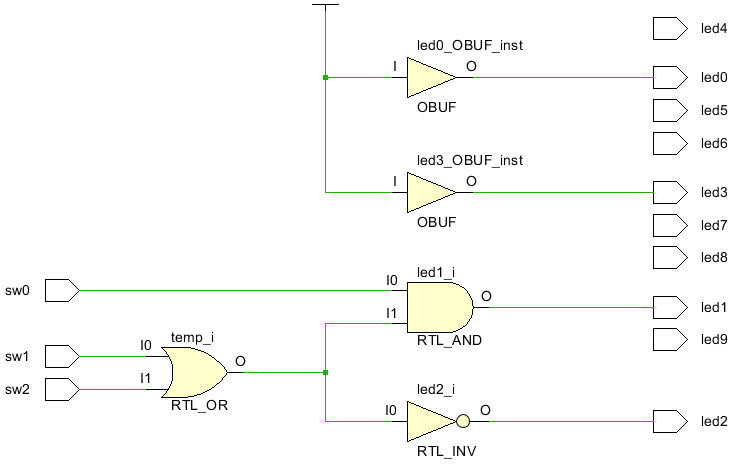


Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

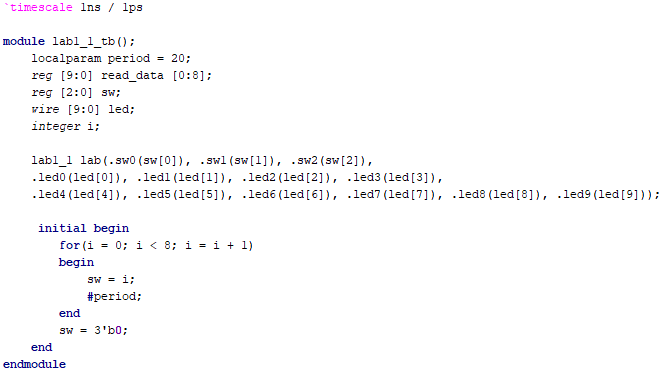


Рис. 1‑3 Описание теста на языке Verilog

Результаты моделирования приведены на Рис. 1‑4

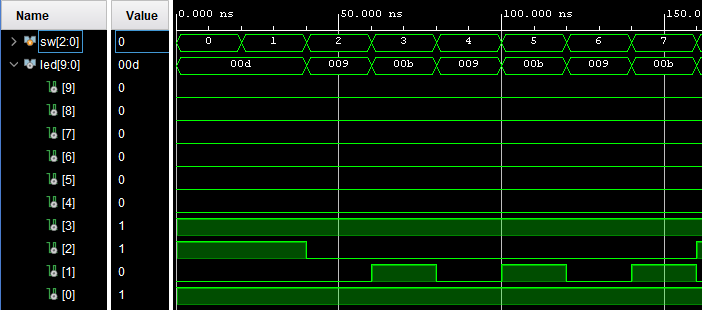


Рис. 1‑4 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 1‑5

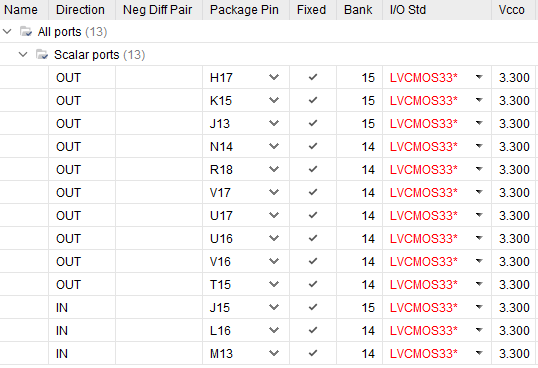


Рис. 1‑5 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4. Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате было реализовано устройство, описанное в лабораторной работе.

# Задание lab1\_2

## Задание

* На языке Verilog, используя логические выражения, опишите мультиплексор 2(4бит) =>1(4бит):
* Входы данных переключатели sw[7:4] и sw[3:0] соответственно
* Выходы – светодиоды led[3:0]
* Управление переключением –кнопка
  + = 1: sw[7:4] => led[3:0]
  + = 0: sw[3:0] => led[3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

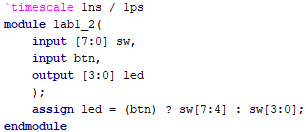


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже на Рис. 2‑2.

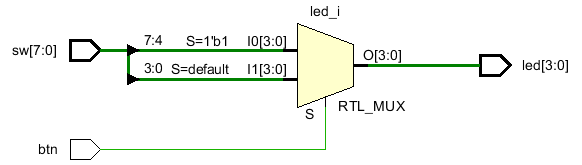


Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный на Рис. 2-3 с тестовыми данными представленными на Рис. 2-4:

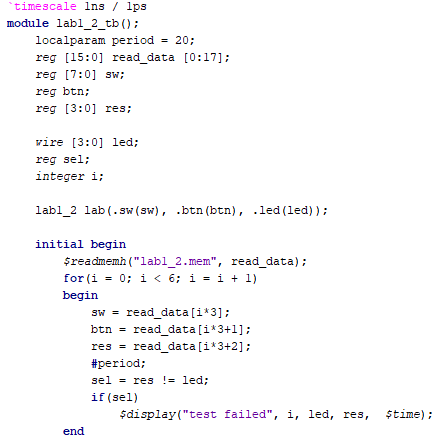


Рис. 2‑3 Описание теста на языке Verilog



Рис. 2‑4 Тестовые данные

Результаты моделирования приведены на Рис. 2-5.

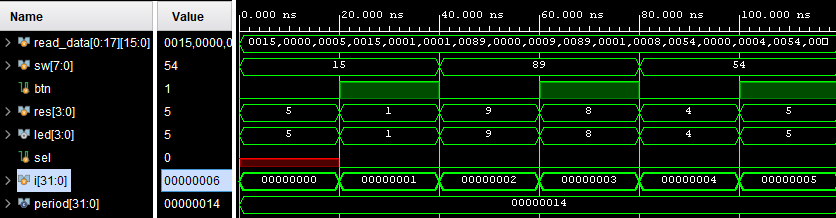


Рис. 2‑5 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 2‑6

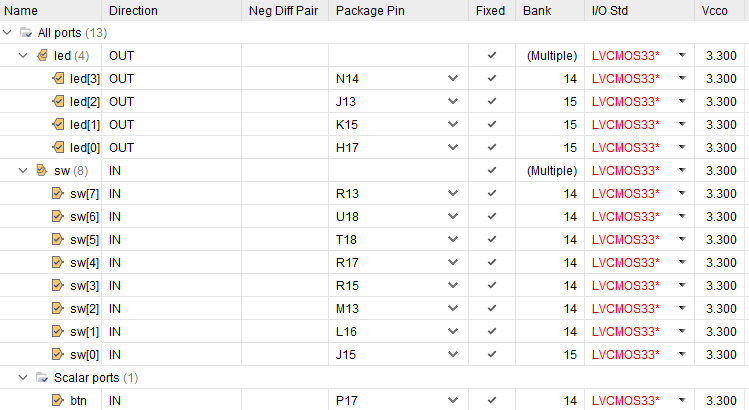


Рис. 2‑6 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате был реализован 4-битный мультиплексор.

# Задание lab1\_3

## Задание

* На языке Verilog, используя логические выражения или оператор условного выбора, опишите устройство выбора максимума из двух 4-х разрядных данных (структурная схема приведена на рисунке)
* Входы данных переключатели sw[7:4] и sw[3:0]
* Выходы – светодиоды led[3:0]
* Управление переключением –кнопка
  + = 1: sw[7:4] => led[3:0]
  + = 0: sw[3:0] => led[3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3‑1.

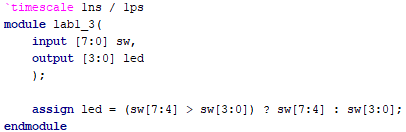


Рис. 3‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже на Рис. 3‑2.

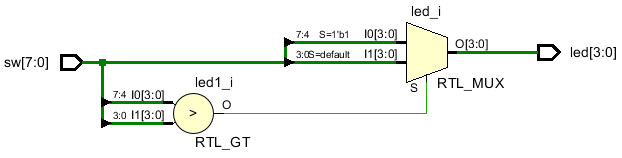


Рис. 3‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный на Рис. 3-3 с тестовыми данными представленными на Рис. 3-4:

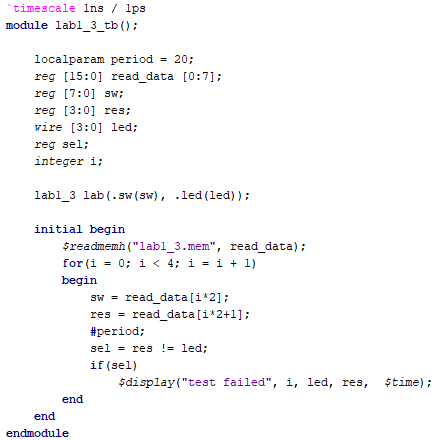


Рис. 3‑3 Описание теста на языке Verilog



Рис. 3‑4 Тестовые данные

Результаты моделирования приведены на Рис. 3-5.

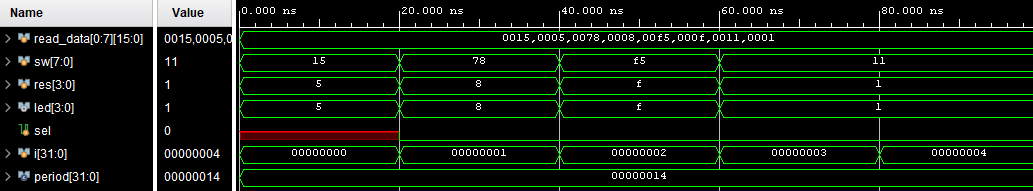


Рис. 3‑5 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 3‑6.

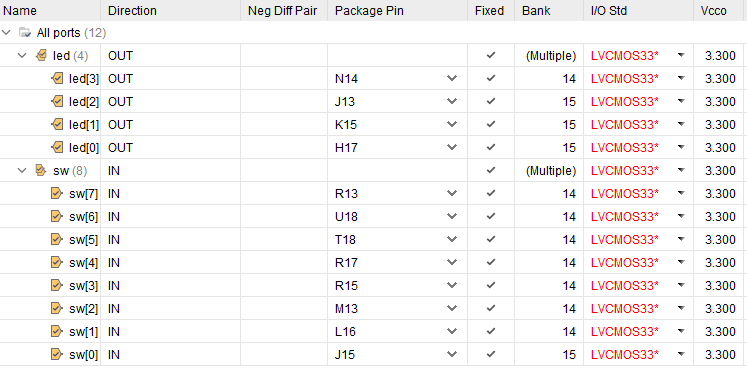


Рис. 3‑6 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате было реализовано устройство выбора максимума из 2-х 4-разрядных шин.

# Задание lab1\_4

## Задание

* На языке Verilog, используя логические выражения, опишите преобразователь двоичного кода в позиционный код (один-из-N).
* Входы двоичных данных переключатели sw[1:0]
* Выходы –светодиоды led[3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 4‑1.

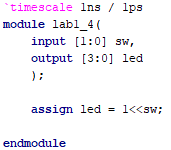


Рис. 4‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 4‑2. Изображение схемы получено с помощью приложения RTL Viewer.

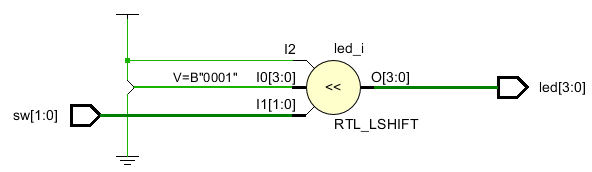


Рис. 4‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный на Рис. 4-3 с тестовыми данными представленными на Рис. 4-4:

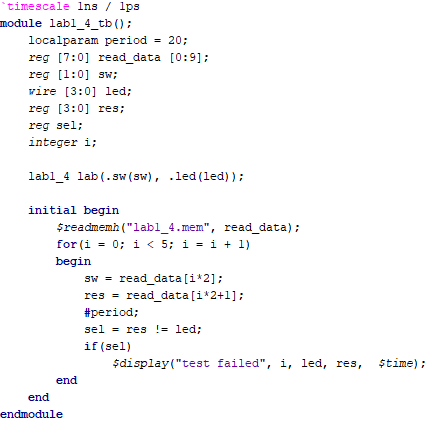


Рис. 4‑3 Описание теста на языке Verilog



Рис. 4-4 Тестовые данные

Результаты моделирования приведены на Рис. 4-5.

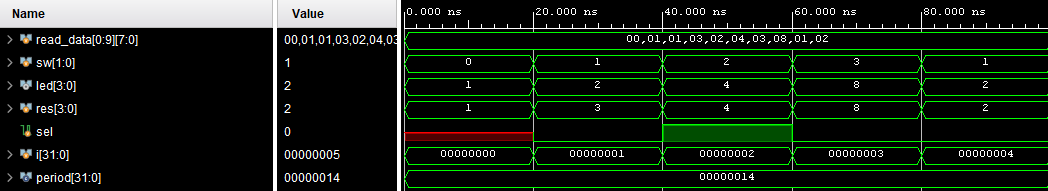


Рис. 4-5Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 4‑6

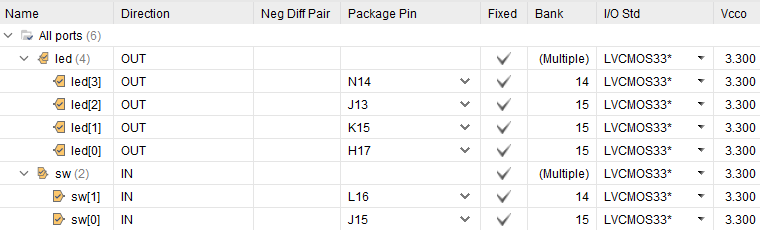


Рис. 4‑6 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4.

Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате выполнения задан я был реализован преобразователь двоичного кода в позиционный код.

# Задание lab1\_5

## Задание

* На языке Verilog, используя логические выражения, опишите полный одноразрядный сумматор.
* Входы
* Данных - переключатели sw[1:0]
* Входной перенос – кнопка
* Выходы – светодиоды led[1:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 5‑1.

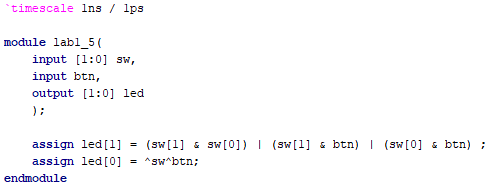
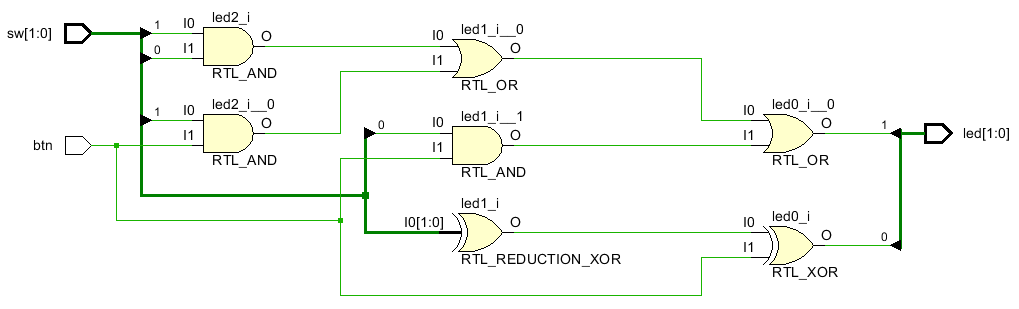


Рис. 5‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 5‑2.

Рис. 5‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный на Рис. 5-3.

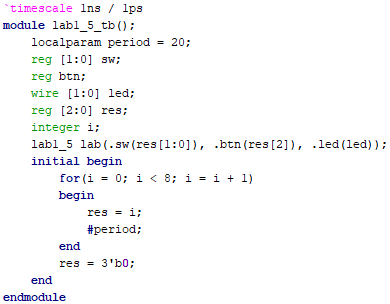


Рис. 5‑3 Описание на языке Verilog

Результаты моделирования приведены на Рис 5-4.

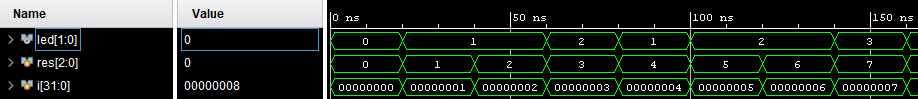


Рис. 5‑4 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 2‑4

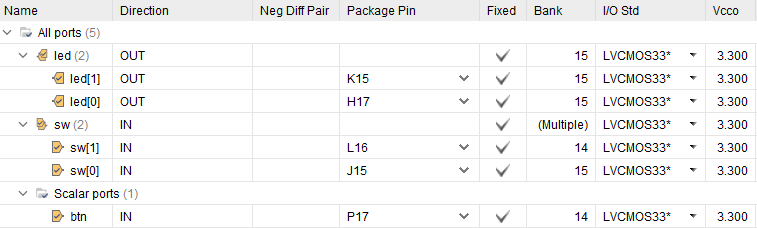


Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 5.4

Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате выполнения задания был реализован полный одноразрядный сумматор.