САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab3

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил:

Курякин Д. А

группа: 3540901/12001

преподаватель:

Антонов А. П.

Санкт-Петербург

2021

Оглавление

[1 Задание lab3\_1 3](#_Toc88385373)

[1.1 Задание 3](#_Toc88385374)

[1.2 Описание на языке Verilog 3](#_Toc88385375)

[1.3 Результат синтеза 3](#_Toc88385376)

[1.4 Моделирование 4](#_Toc88385377)

[1.5 Назначение выводов СБИС 4](#_Toc88385378)

[1.6 Тестирование на плате Nexys4 DDR 5](#_Toc88385379)

[1.7 Выводы 5](#_Toc88385380)

[2 Задание lab3\_2 6](#_Toc88385381)

[2.1 Задание 6](#_Toc88385382)

[2.2 Описание на языке Verilog 6](#_Toc88385383)

[2.3 Результат синтеза 7](#_Toc88385384)

[2.4 Моделирование 7](#_Toc88385385)

[2.5 Назначение выводов СБИС 8](#_Toc88385386)

[2.6 Тестирование на плате Nexys4 DDR 8](#_Toc88385387)

[2.7 Выводы 8](#_Toc88385388)

[3 Задание lab3\_3 9](#_Toc88385389)

[3.1 Задание 9](#_Toc88385390)

[3.2 Описание на языке Verilog 9](#_Toc88385391)

[3.3 Результат синтеза 9](#_Toc88385392)

[3.4 Моделирование 10](#_Toc88385393)

[3.5 Назначение выводов СБИС 10](#_Toc88385394)

[3.6 Тестирование на плате Nexys4 DDR 11](#_Toc88385395)

[3.7 Выводы 11](#_Toc88385396)

[4 Задание lab3\_4 12](#_Toc88385397)

[4.1 Задание 12](#_Toc88385398)

[4.2 Описание на языке Verilog 12](#_Toc88385399)

[4.3 Результат синтеза 13](#_Toc88385400)

[4.4 Моделирование 13](#_Toc88385401)

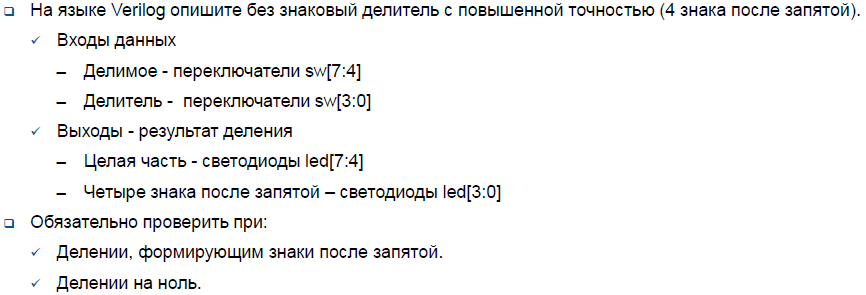
[4.5 Назначение выводов СБИС 13](#_Toc88385402)

[4.6 Тестирование на плате Nexys4 DDR 14](#_Toc88385403)

[4.7 Выводы 14](#_Toc88385404)

# Задание lab3\_1

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 1.

Листинг 1. lab3\_1.v

|  |
| --- |
| module lab3\_1(  input [7:0] sw,  output reg [7:0] led  );  wire signed [3:0] sw1,sw2;  assign sw1 = sw[3:0];  assign sw2 = sw[7:4];    always @\* begin  led[7:0] = {sw[7:4], 4'h0} / sw[3:0];  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑1.

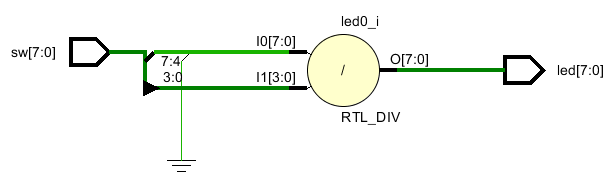


Рис. 1‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест представленный в листинге 2:

Листинг 2. tb3\_1.v

|  |
| --- |
| module tb3\_1();  localparam period = 10;  integer i;  reg [7:0] sw;  wire [7:0] led;  lab3\_1 Lab(sw, led);  initial begin    for(i = 63; i < 96; i = i + 1) begin  sw = i;  #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 1‑2

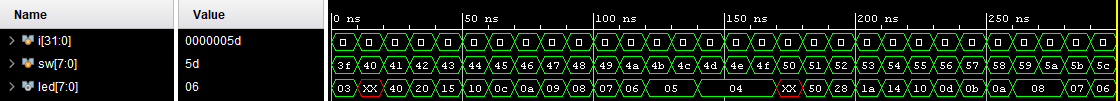


Рис. 1‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 1‑3

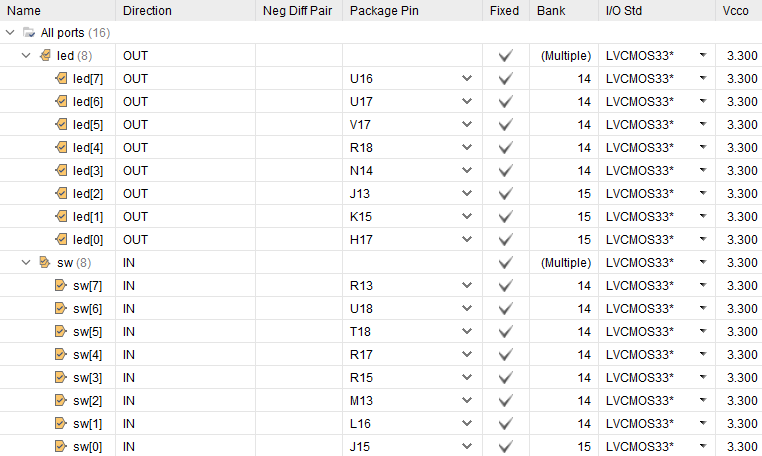


Рис. 1‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

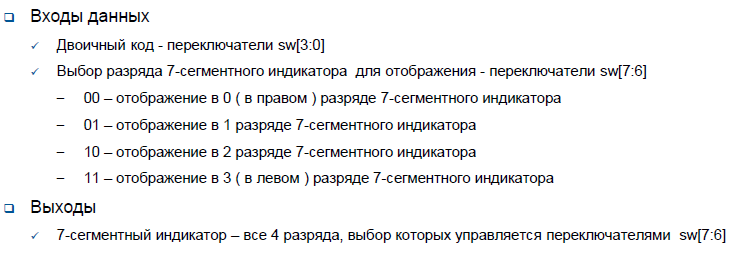
Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4. Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате был реализован без знакового делителя с повышенной точностью (4 знака после запятой).

# Задание lab3\_2

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 3.

Листинг 3. lab3\_2.v

|  |
| --- |
| module lab3\_2(  input [3:0] sw,  input [1:0] digits,  output reg [3:0] an,  output reg [6:0] c  );    reg [6:0] ss\_arr[15:0];  reg [1:0] i;    initial begin  ss\_arr[0] = 7'h40; //0  ss\_arr[1] = 7'h79; //1  ss\_arr[2] = 7'h24; //2  ss\_arr[3] = 7'h30; //3  ss\_arr[4] = 7'h19; //4  ss\_arr[5] = 7'h12; //5  ss\_arr[6] = 7'h02; //6  ss\_arr[7] = 7'h78; //7  ss\_arr[8] = 7'h00; //8  ss\_arr[9] = 7'h10; //9  ss\_arr[10] = 7'h08; //A  ss\_arr[11] = 7'h03; //B  ss\_arr[12] = 7'h46; //C  ss\_arr[13] = 7'h21; //D  ss\_arr[14] = 7'h06; //E  ss\_arr[15] = 7'h0e; //F  end    always @\* begin  c = ss\_arr[sw];  an = ~(1'h1 << digits);  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 2‑1.

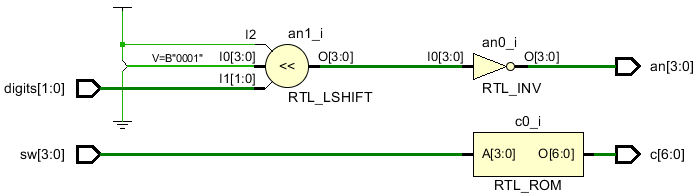


Рис. 2‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный в листинге 4:

Листинг 4. tb3\_2.v

|  |
| --- |
| module tb3\_2();  localparam period = 10;  integer i;  reg [3:0] sw;  reg [1:0] digits;  wire [3:0] an;  wire[6:0] c;  lab3\_2 Lab( sw, digits, an, c);  initial begin  for(i = 0; i < 16; i = i + 1) begin  sw = i;  digits = 2'h0;  #period;  digits = 2'h1;  #period;  digits = 2'h2;  #period;  digits = 2'h3;  #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 2-2.

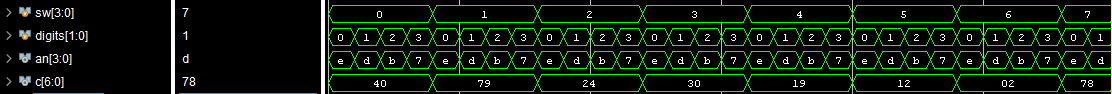


Рис. 2‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 2‑3

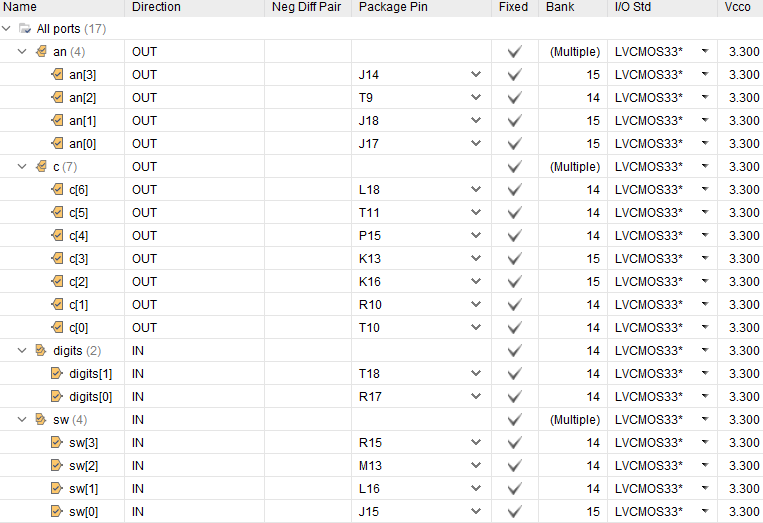


Рис. 2‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

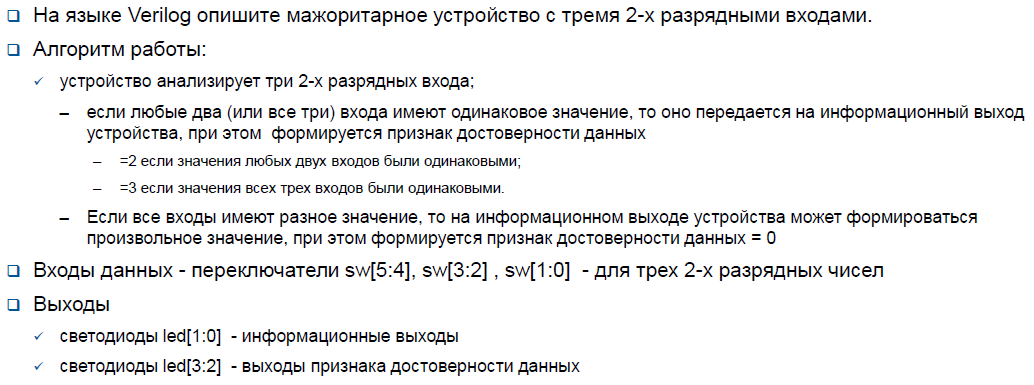
Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате был реализован счетчик-делитель со сдвигом регистра.

# Задание lab3\_3

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже листинге 5.

Листинг 5. lab3\_3.v

|  |
| --- |
| module lab3\_3(  input [5:0] sw,  output reg [3:0] led  );  always @\*  if ( sw[1:0] == sw[5:4] || sw[1:0] == sw[3:2] ) begin  led[1:0] = sw[1:0];  if(sw[3:2] == sw[5:4])  led[3:2] = 2'b11;  else  led[3:2] = 2'b10;  end else begin  if(sw[3:2] == sw[5:4]) begin  led[1:0] = sw[3:2];  led[3:2] = 2'b10;  end else begin  led[1:0] = 2'bxx;  led[3:2] = 2'b00;  end  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 3‑1.

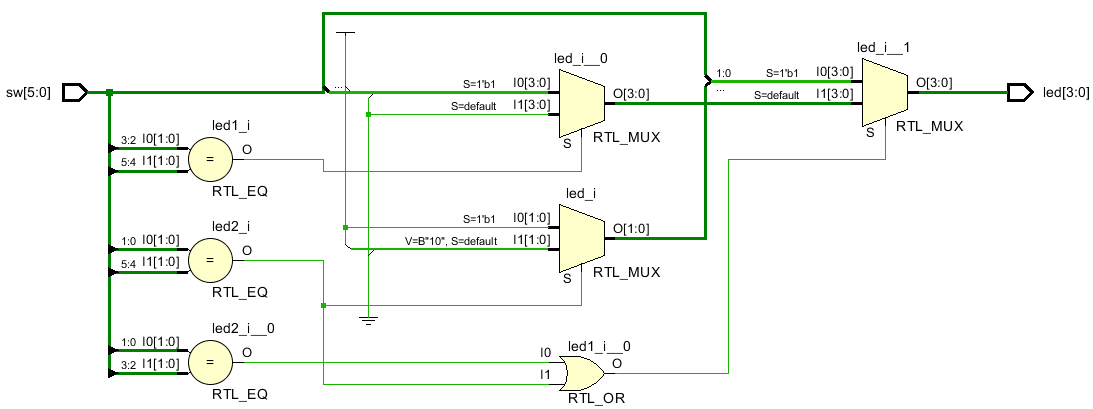


Рис. 3‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный в листинге 6:

Листинг 6. tb3\_3.v

|  |
| --- |
| module tb3\_2();  localparam period = 10;  integer i;  reg [5:0] sw;  wire [3:0] led;  lab3\_3 Lab( sw, led);  initial begin  for(i = 32; i < 64; i = i + 1) begin  sw = i;  #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 3-2.

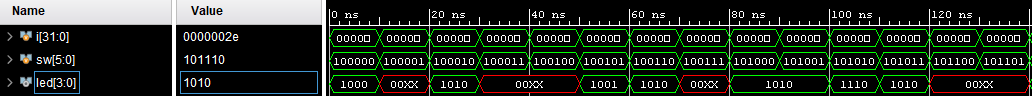


Рис. 3‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 3‑3.

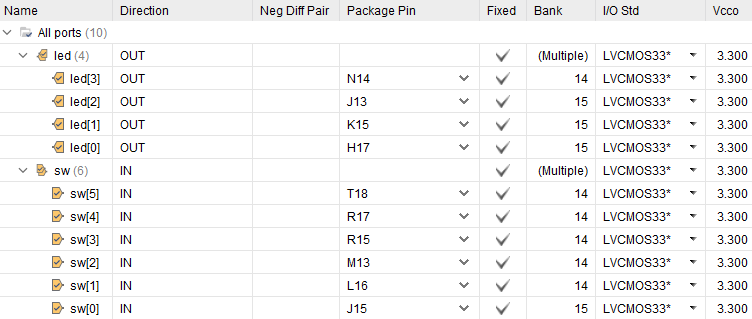


Рис. 3‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

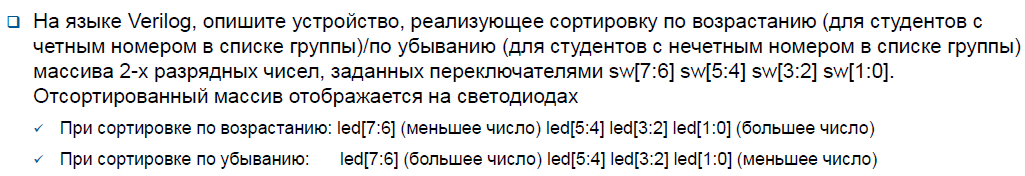
Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате было реализовано мажоритарное устройство с тремя 2-х разрядными входами.

# Задание lab3\_4

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 7.

Листинг 7. lab3\_4.v

|  |
| --- |
| module lab3\_4(  input [7:0] sw,  output reg [7:0] led  );    reg [1:0] number [3:0];  reg [1:0] val;  integer i, j;  always @\* begin  number[0] = sw[1:0];  number[1] = sw[3:2];  number[2] = sw[5:4];  number[3] = sw[7:6];  for(i = 0; i < 3; i = i + 1) begin  for(j = 0; j < 3 - i; j = j + 1) begin  if( number[j] < number[j+1]) begin  val = number[j];  number[j] = number[j+1];  number[j+1] = val;  end  end  end    led = { number[3], number[2], number[1], number[0] };  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 4‑1.

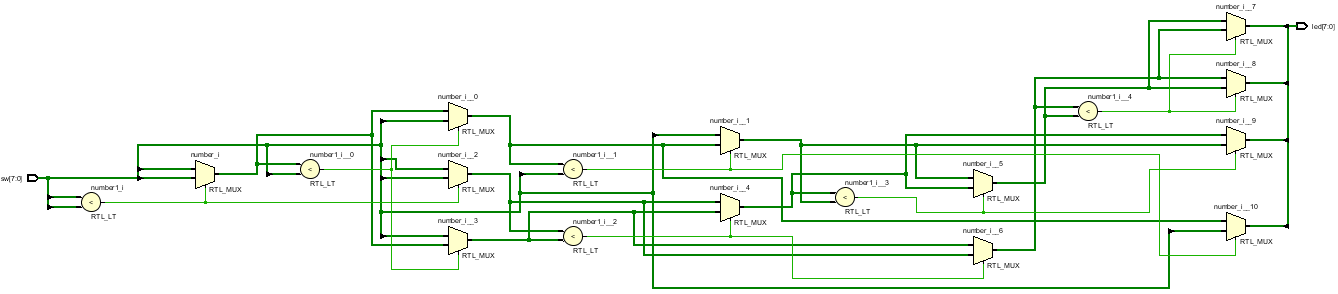


Рис. 4‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный на Рис. 4-3:

Листинг 8. tb3\_4.v

|  |
| --- |
| module tb3\_4();  localparam period = 10;  integer i;  reg [7:0] sw;  wire [7:0] led;  lab3\_4 Lab( sw, led);  initial begin  for(i = 32; i < 64; i = i + 1) begin  sw = i;  #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 4-2.



Рис. 4-2. Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 4‑3

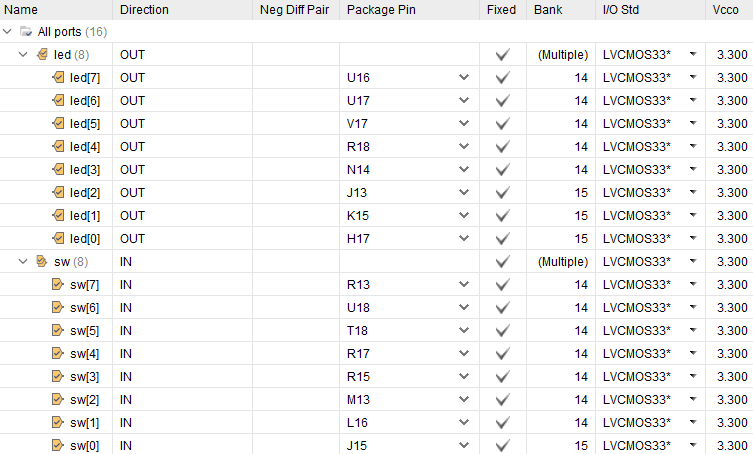


Рис. 4‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4.

Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате выполнения задания был устройство, реализующее сортировку по убыванию.