САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab4

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил:

Курякин Д. А

группа: 3540901/12001

преподаватель:

Антонов А. П.

Санкт-Петербург

2021

Оглавление

[1 Задание lab4\_1 3](#_Toc88332438)

[1.1 Задание 3](#_Toc88332439)

[1.2 Описание на языке Verilog 3](#_Toc88332440)

[1.3 Результат синтеза 4](#_Toc88332441)

[1.4 Моделирование 4](#_Toc88332442)

[1.5 Назначение выводов СБИС 6](#_Toc88332443)

[1.6 Тестирование на плате Nexys4 DDR 6](#_Toc88332444)

[1.7 Выводы 6](#_Toc88332445)

[2 Задание lab4\_2 7](#_Toc88332446)

[2.1 Задание 7](#_Toc88332447)

[2.2 Описание на языке Verilog 7](#_Toc88332448)

[2.3 Результат синтеза 8](#_Toc88332449)

[2.4 Моделирование 8](#_Toc88332450)

[2.5 Назначение выводов СБИС 9](#_Toc88332451)

[2.6 Тестирование на плате Nexys4 DDR 10](#_Toc88332452)

[2.7 Выводы 10](#_Toc88332453)

[3 Задание lab4\_3 11](#_Toc88332454)

[3.1 Задание 11](#_Toc88332455)

[3.2 Описание на языке Verilog 11](#_Toc88332456)

[3.3 Результат синтеза 12](#_Toc88332457)

[3.4 Моделирование 13](#_Toc88332458)

[3.5 Назначение выводов СБИС 13](#_Toc88332459)

[3.6 Тестирование на плате Nexys4 DDR 14](#_Toc88332460)

[3.7 Выводы 14](#_Toc88332461)

[4 Задание lab4\_4 15](#_Toc88332462)

[4.1 Задание 15](#_Toc88332463)

[4.2 Описание на языке Verilog 15](#_Toc88332464)

[4.3 Результат синтеза 16](#_Toc88332465)

[4.4 Моделирование 16](#_Toc88332466)

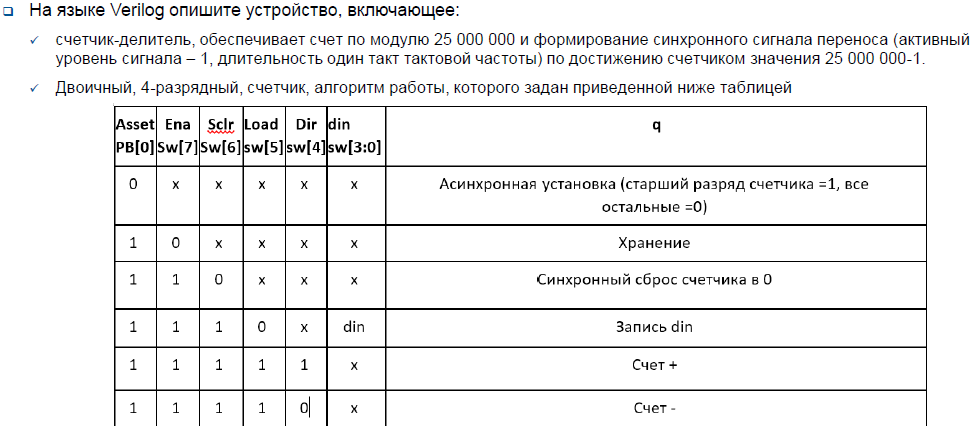
[4.5 Назначение выводов СБИС 18](#_Toc88332467)

[4.6 Тестирование на плате Nexys4 DDR 18](#_Toc88332468)

[4.7 Выводы 18](#_Toc88332469)

# Задание lab4\_1

## Задание



Так как тактовая частота на плате равна 100МГц, то при написании программы было решено использовать счетчик по модулю 100 000 000.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 1.

Листинг 1. lab4\_1.v

|  |
| --- |
| module lab4\_1 (  input clock, asset, ena, sclr, load, dir,  input [3:0] din,  output reg [3:0] led  );  reg [26:0] temp;  reg c\_out;  initial begin  temp = 4'h0;  led = 1'h0;  c\_out = 1'b0;  end  always @ (posedge clock, negedge asset) begin  if (asset)  led <= 4'h8;  else if (ena && c\_out) begin  if (!sclr)  led <= 4'h0;  else if (!load)  led <= din;  else if (dir)  led <= led + 4'h1;  else  led <= led - 4'h1;  end  end  always @ (posedge clock) begin  temp <= temp + 4'h1;    if (temp[26:25] == 2'b11) begin  temp <= 4'h0;  c\_out <= 1'b1;  end  else  c\_out <= 1'b0;  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑1.

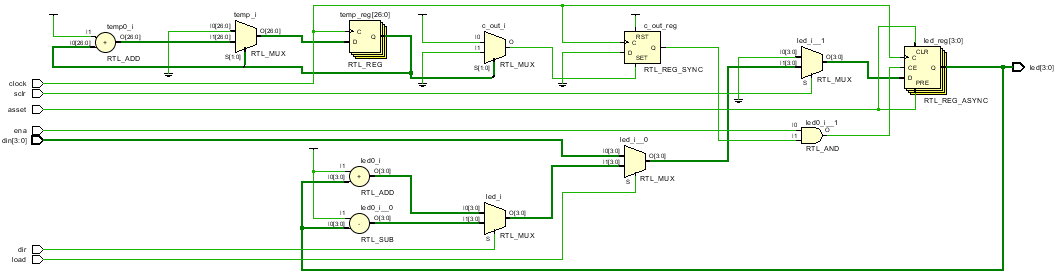


Рис. 1‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест представленный в листинге 2:

Листинг 2. tb4\_1.v

|  |
| --- |
| module tb4\_1();  localparam period = 10;  reg clk, asset, ena, sclr, load, dir;  reg [3:0] din;  wire [3:0] led;  integer i;  lab4\_1 Lab(.clock(clk), .asset(asset), .ena(ena), .sclr(sclr), .load(load), .dir(dir), .din(din), .led(led));  initial begin  clk = 1'b0;    asset = 1'b0;  ena = 1'b1;  sclr = 1'b1;  load = 1'b1;  dir = 1'b1;  din = 4'b0010;  for(i = 0; i < 4; i = i + 1) begin  clk = ~clk; #period;  end  asset = 1'b1;  clk = ~clk; #period;  clk = ~clk; #period;  asset = 1'b0;  for(i = 0; i < 30; i = i + 1) begin  clk = ~clk;  #period;  end  load = 1'b0;  din = 4'b0100;      for(i = 0; i < 10; i = i + 1) begin  clk = ~clk;#period;  end  load = 1'b1;  for(i = 0; i < 30; i = i + 1) begin  clk = ~clk;  #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 1‑2

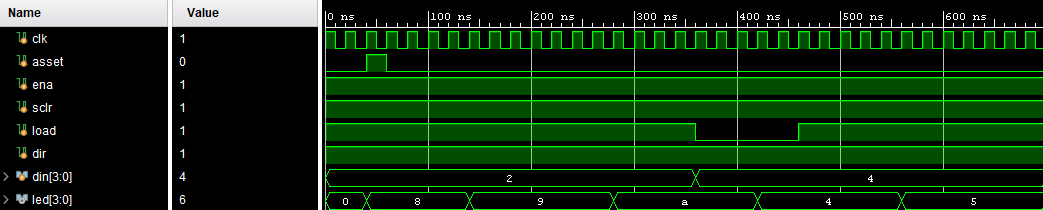


Рис. ‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 1‑3

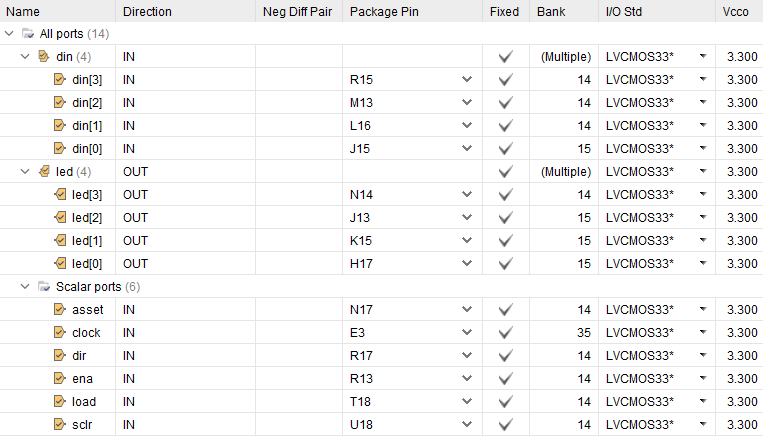


Рис. ‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

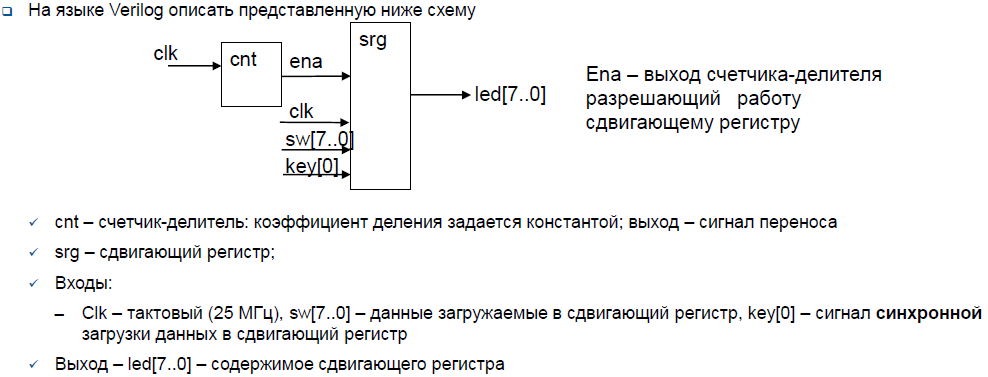
Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4. Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате было реализовано счетчик-делитель по модулю 100 000 000.

# Задание lab4\_2

## Задание



Так как тактовая частота на плате равна 100МГц, то при написании программы было решено использовать счетчик по модулю 100 000 000.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 3.

Листинг 3. lab4\_2.v

|  |
| --- |
| module lab4\_2 (  input clock, key,  input [7:0] data,  output reg [7:0] led  );  reg [26:0] temp;  reg ena;  initial begin  led = 8'h1;  temp = 24'h0;  end  always @ (posedge clock) begin  if (ena)  begin  if (key)  led <= data;  else  led <= led[6:0] << 1;  end  end  always @ (posedge clock) begin  temp <= temp + 4'h1;    if (temp[26:25] == 2'b11)  begin  temp <= 4'h0;  ena <= 1'b1;  end  else  ena <= 1'b0;  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 2‑1.

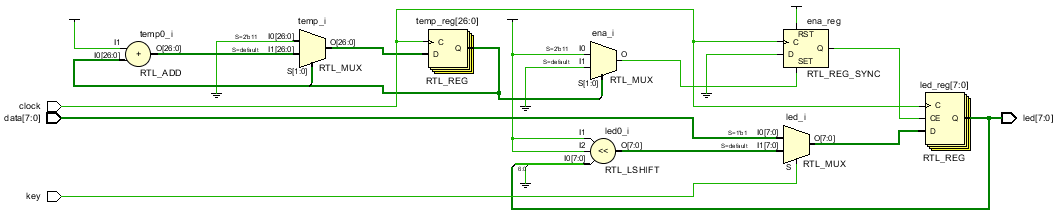


Рис. ‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный в листинге 4:

Листинг 4. tb4\_2.v

|  |
| --- |
| module tb4\_2();  localparam period = 10;  reg clk, key;  reg [7:0] data;  wire [7:0] led;  integer i;  lab4\_2 Lab(.clock(clk), .key(key), .data(data), .led(led));  initial begin  clk = 1'b0;    key = 1'b0;  data = 8'h0;  for(i = 0; i < 24; i = i + 1) begin  clk = ~clk; #period;  end  key = 1'b1;  data = 8'h3;  for(i = 0; i < 6; i = i + 1) begin  clk = ~clk; #period;  end  key = 1'b0;  data = 8'h0;  for(i = 0; i < 20; i = i + 1) begin  clk = ~clk; #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 2-2.

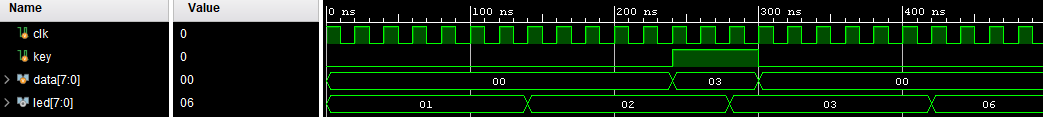


Рис. ‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 2‑3

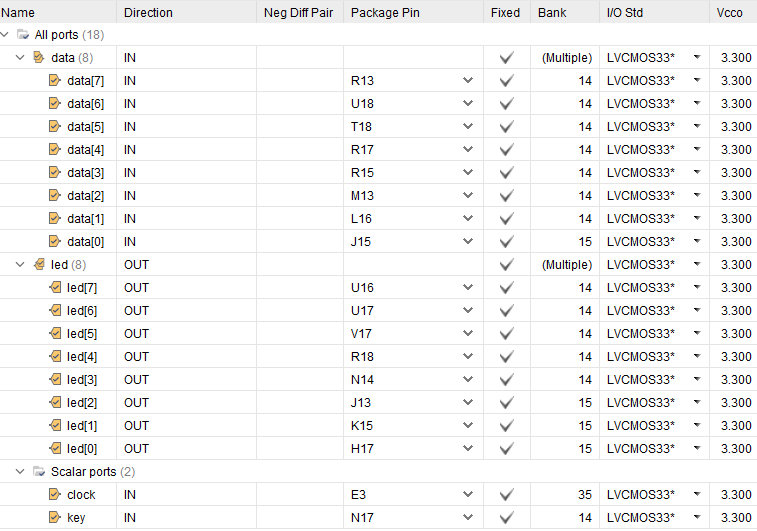


Рис. ‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

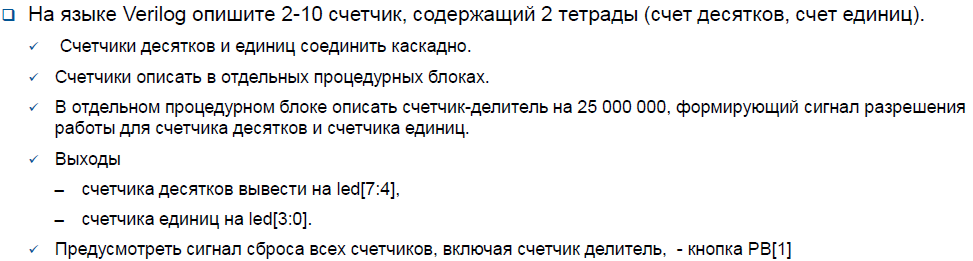
Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате был реализован счетчик-делитель со сдвигом регистра.

# Задание lab4\_3

## Задание



Так как тактовая частота на плате равна 100МГц, то при написании программы было решено использовать счетчик по модулю 100 000 000.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже листинге 5.

Листинг 5. lab4\_3.v

|  |
| --- |
| module lab4\_3(  input clock, aclr,  output reg [3:0] led\_d, led\_u  );  reg [26:0] temp;  reg ena, ena\_d;  wire cout;  integer val = 100000000;  //integer val = 6;  initial begin  led\_d = 4'h0;  led\_u = 4'h0;  temp = 4'h0;  end  always @ (posedge clock, posedge aclr) begin  if (aclr)  begin  temp <= 4'h0;  ena <= 1'b0;  end else begin  temp <= temp + 4'h1;  if (temp == val)  begin  temp <= 4'h0;  ena <= 1'b1;  end else  ena <= 1'b0;  end  end  always @ (posedge clock, posedge aclr) begin  if (aclr)  led\_u <= 4'h0;  else  if (ena)  if (led\_u == 4'h9) led\_u <= 4'h0;  else led\_u = led\_u + 4'h1;  end  assign cout = (led\_u == 4'h9);  always @ (posedge clock, posedge aclr) begin  if (aclr)  led\_d <= 4'h0;  else  if (ena && cout)  if (led\_d == 4'h9) led\_d <= 4'h0;  else led\_d = led\_d + 4'h1;  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 3‑1.

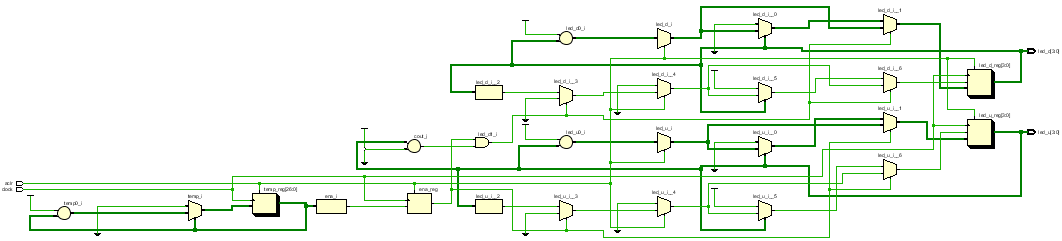


Рис. 3‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный в листинге 6:

Листинг 6. tb4\_3.v

|  |
| --- |
| module tb4\_3();  localparam period = 2;  reg clk, aclr;  wire [3:0] led\_u, led\_d;  integer i;  lab4\_3 Lab(.clock(clk), .aclr(aclr), .led\_d(led\_d), .led\_u(led\_u));  initial begin  clk = 1'b0;  aclr = 1'b0;    for(i = 0; i < 15; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  end  aclr = 1'b1;  for(i = 0; i < 1; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  end  aclr = 1'b0;  for(i = 0; i < 250; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  end  end |

Результаты моделирования приведены на Рис. 3-2.

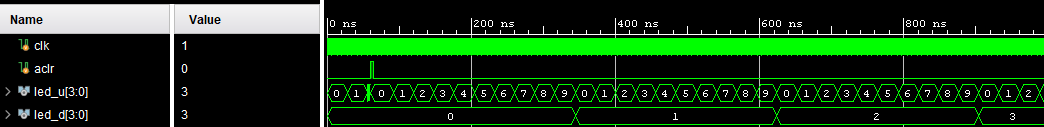


Рис. 3‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 3‑3.

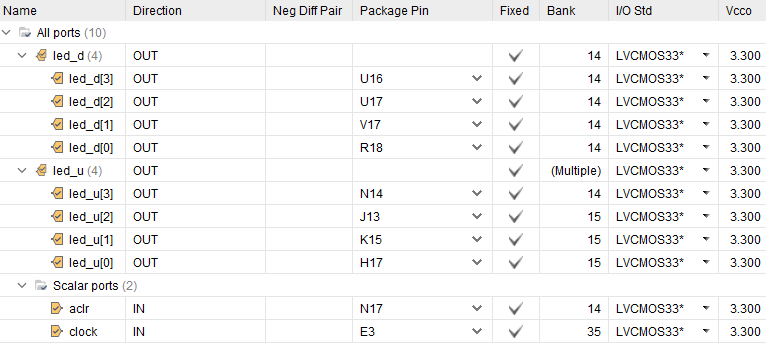


Рис. 3‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

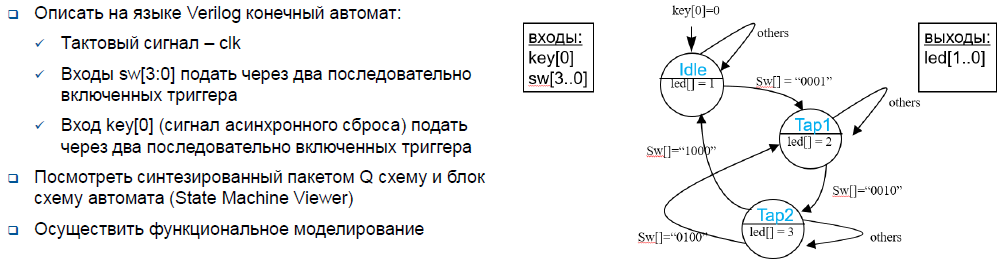
Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате было реализовано 2-10 содержащий две тетрады (счет десятков и счет единиц).

# Задание lab4\_4

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 7.

Листинг 7. lab4\_4.v

|  |
| --- |
| module lab4\_4 (  input clock,  input aclr,  input [3:0] sw,  output reg [1:0] led  );  reg [1:0] state;  parameter s0 = 0, s1 = 1, s2 = 2;  initial begin  state = s0;  end  always @ (posedge clock, posedge aclr) begin  if (aclr)  state <= s0;  else  case (state)  s0 : if (sw == 4'h1) state <= s1;  s1 : if (sw == 4'h2) state <= s2;  s2 : begin  if (sw == 4'h8) state <= s0;  else  if (sw == 4'h4) state <= s1;  end  endcase  end    always @ (state) begin  case (state)  s0: led = 2'b01;  s1: led = 2'b10;  s2: led = 2'b11;  endcase  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 4‑1.

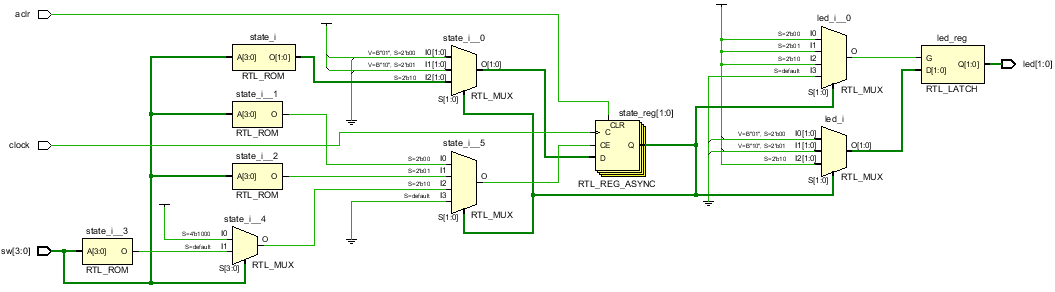


Рис. 4‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный на Рис. 4-3:

Листинг 8. tb4\_4.v

|  |
| --- |
| module tb();  localparam period = 10;  reg clk, aclr;  reg [3:0] sw;  wire [1:0] led;  lab4\_4 Lab(.clock(clk), .aclr(aclr), .sw(sw), .led(led));  initial begin  clk = 1'b0;  aclr = 1'b0;    clk = ~clk; #period; clk = ~clk; #period; clk = ~clk; #period; clk = ~clk; #period; clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b0001;    clk = ~clk; #period; clk = ~clk; #period; clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b0010;    clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b0100;    clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b1000;    clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b0010;    clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b1000;    clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b0001;  clk = ~clk; #period; clk = ~clk; #period;  aclr = 1'b1;      clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b0001;    clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b0010;    clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b0100;    clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b1000;    clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b0010;    clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b1000;    clk = ~clk; #period; clk = ~clk; #period;  sw = 4'b0010;  end  endmodule |

Результаты моделирования приведены на Рис. 4-2.

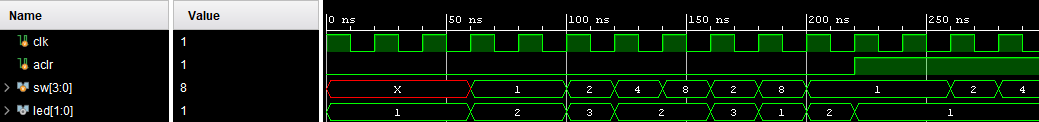


Рис. 4-2. Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 4‑3

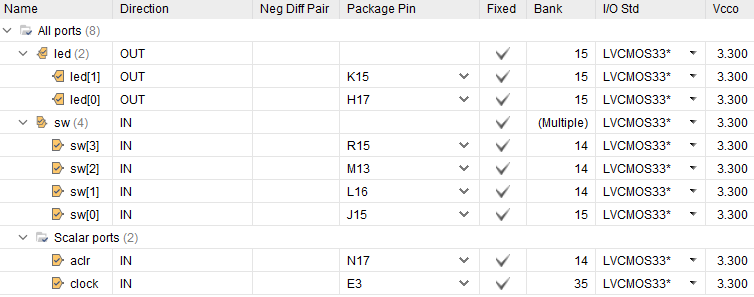


Рис. 4‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4.

Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате выполнения задания был реализован конечный автомат, описанный в задании.