САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab5

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил:

Курякин Д. А

группа: 3540901/12001

преподаватель:

Антонов А. П.

Санкт-Петербург

2021

Оглавление

[1 Задание lab5\_1 3](#_Toc88399891)

[1.1 Задание 3](#_Toc88399892)

[1.2 Описание на языке Verilog 3](#_Toc88399893)

[1.3 Результат синтеза 4](#_Toc88399894)

[1.4 Моделирование 5](#_Toc88399895)

[1.5 Назначение выводов СБИС 8](#_Toc88399896)

[1.6 Тестирование на плате Nexys4 DDR 8](#_Toc88399897)

[1.7 Выводы 9](#_Toc88399898)

[2 Задание lab5\_2 10](#_Toc88399899)

[2.1 Задание 10](#_Toc88399900)

[2.2 Описание на языке Verilog 10](#_Toc88399901)

[2.3 Результат синтеза 12](#_Toc88399902)

[2.4 Моделирование 12](#_Toc88399903)

[2.5 Назначение выводов СБИС 14](#_Toc88399904)

[2.6 Тестирование на плате Nexys4 DDR 15](#_Toc88399905)

[2.7 Выводы 15](#_Toc88399906)

[3 Задание lab5\_3 16](#_Toc88399907)

[3.1 Задание 16](#_Toc88399908)

[3.2 Описание на языке Verilog 16](#_Toc88399909)

[3.3 Результат синтеза 17](#_Toc88399910)

[3.4 Моделирование 17](#_Toc88399911)

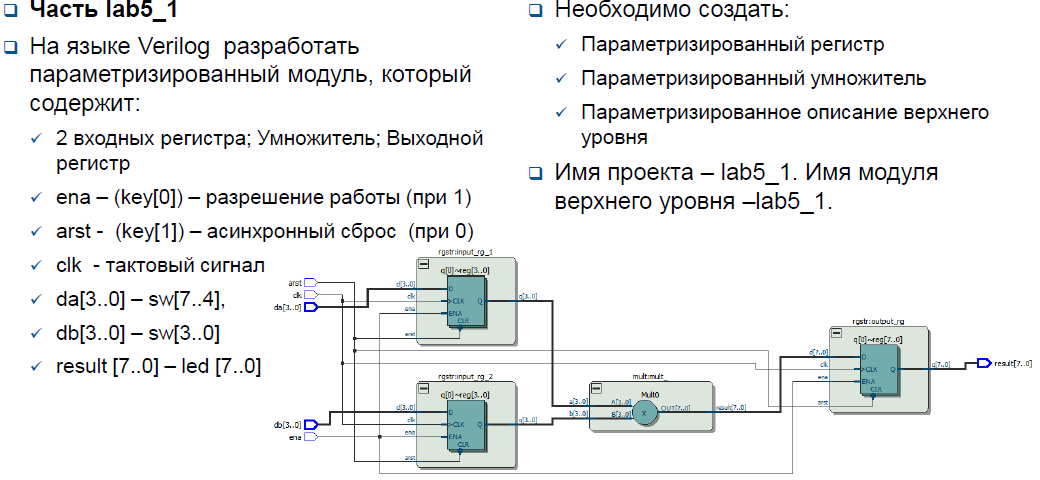
[3.5 Назначение выводов СБИС 19](#_Toc88399912)

[3.6 Тестирование на плате Nexys4 DDR 19](#_Toc88399913)

[3.7 Выводы 19](#_Toc88399914)

# Задание lab5\_1

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листингах 1-3.

Листинг 1. lab5\_1.v

|  |
| --- |
| module lab5\_1  #(parameter WIDTH = 8)  (  input arst,  input ena,  input clk,  input [WIDTH-1:0] da,  input [WIDTH-1:0] db,  output [2\*WIDTH-1:0] result);    wire [WIDTH-1:0] da\_int, db\_int;  wire [2\*WIDTH-1:0] mult\_res;    rgstr #WIDTH reg1 (arst, ena, clk, da, da\_int);  rgstr #WIDTH reg2 (arst, ena, clk, db, db\_int);    mult #WIDTH mult\_a\_b (da\_int, db\_int, mult\_res);  rgstr #(2\*WIDTH) out\_reg (arst, ena, clk, mult\_res, result);    endmodule |

Листинг 2. rgstr.v

|  |
| --- |
| module rgstr  #(parameter width\_rg = 8)  (  input arst, ena, clk,  input [width\_rg - 1:0] d,  output reg [width\_rg - 1:0] q  );  always @ (posedge clk, negedge arst)  begin  if ( arst ) q <= {width\_rg{1'b0}};  else if (ena) q <= d;  end  endmodule |

Листинг 3. mult.v

|  |
| --- |
| module mult  #(parameter widthm = 8)  (  input [widthm-1:0] a, b,  output [2\*widthm-1:0] result  );  assign result = a \* b;  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже, на Рис. 1‑1.

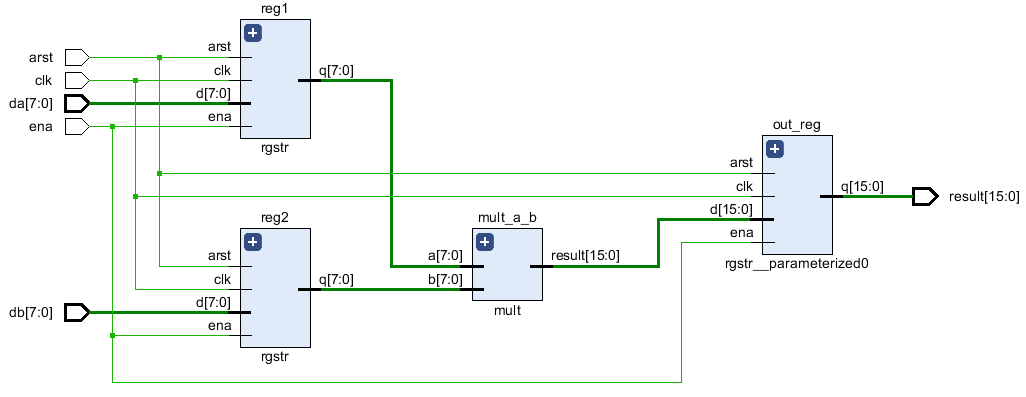


Рис. 1‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный в листинге 4-6:

Листинг 4. tb5\_1.v

|  |
| --- |
| module tb5\_1();  parameter width = 4;  localparam period = 10;  integer i;  reg arst, ena, clk;  reg [width-1:0] da, db;  wire [2\*width-1:0] result;  lab5\_1 #width LAB(.arst(arst), .ena(ena), .clk(clk), .da(da), .db(db), .result(result));  initial begin  clk = 1'b0;    arst = 1'h0;  ena = 1'h1;  da = 4'h0;  db = 4'h0;    for(i = 1; i < 5; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  da = i;  db = i;  end    arst = 1'h1;  for(i = 6; i < 10; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  da = i;  db = i;  end    ena = 1'h0;  arst = 1'h0;  for(i = 11; i < 15; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  da = i;  db = i;  end    ena = 1'h1;  arst = 1'h0;  for(i = 2; i < 7; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  da = i;  db = i;  end  clk = ~clk; #period; clk = ~clk; #period;  end  endmodule |

Результаты моделирования приведены на Рис. 1‑2

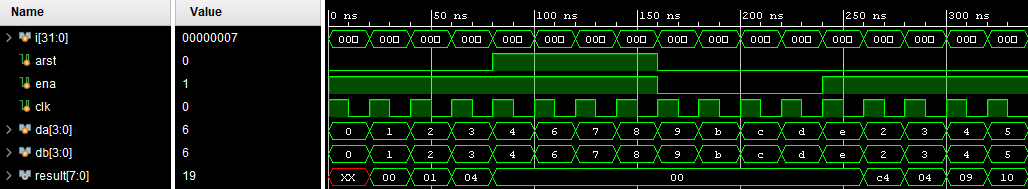


Рис. 1‑2 Результат моделирования

Листинг 5. tb\_ mult.v

|  |
| --- |
| module tb\_mult();  parameter width = 4;  localparam period = 10;  integer i;  reg [width-1:0] a, b;  wire [2\*width-1:0] result;  mult #width MULT( .a(a), .b(b), .result(result));  initial begin    for(i = 0; i < 16; i = i + 1) begin  a = i;  b = i;  #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 1‑3

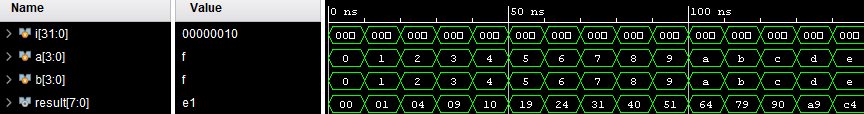


Рис. 1‑3 Результат моделирования

Листинг 6. tb\_rgstr.v

|  |
| --- |
| module tb\_rgstr();  parameter width = 8;  localparam period = 10;  integer i;  reg arst, ena, clk;  reg [width-1:0] d;  wire [width - 1:0] q;  rgstr #width RGSTR(.arst(arst), .ena(ena), .clk(clk), .d(d), .q(q));  initial begin  clk = 1'b0;  arst = 1'h0;  ena = 1'h1;  d = 1'h0;    for(i = 1; i < 5; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  d = i;  end    arst = 1'h1;  for(i = 6; i < 10; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  d = i;  end    ena = 1'h0;  arst = 1'h0;  for(i = 11; i < 16; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  d = i;  end  end  endmodule |

Результаты моделирования приведены на Рис. 1‑4

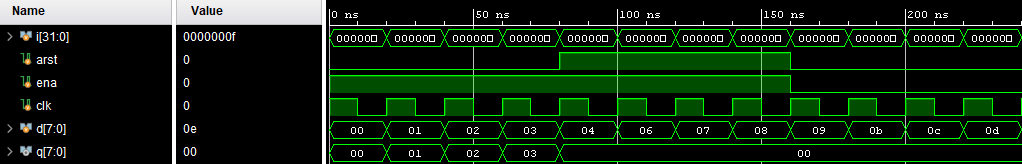


Рис. 1‑4 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 1‑5

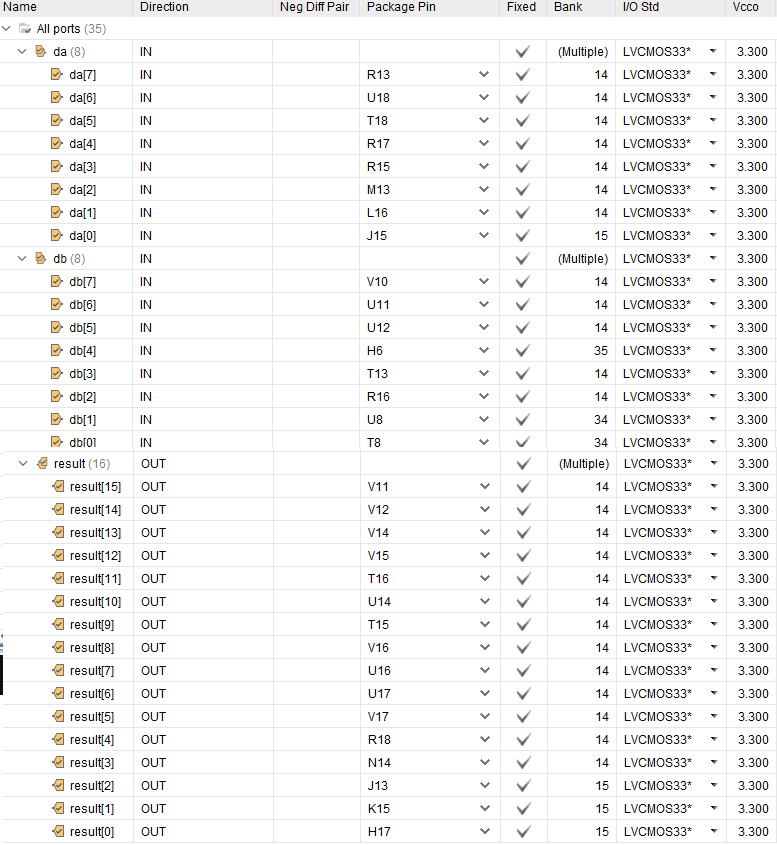


Рис. 1‑5 Назначение выводов

## Тестирование на плате Nexys4 DDR

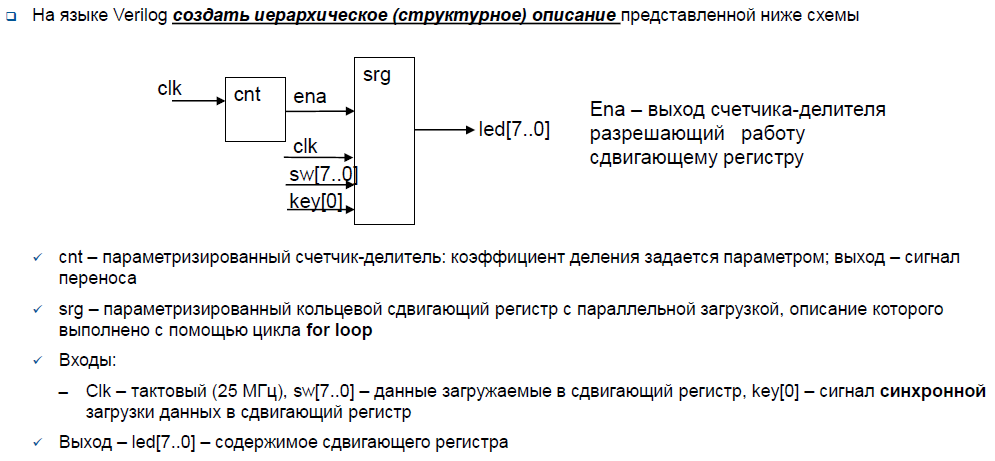
Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4. Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате был реализован параметризированный модуль, описанный в задании.

# Задание lab5\_2

## Задание



Так как тактовая частота на плате равна 100МГц, то при написании программы было решено использовать счетчик по модулю 100 000 000.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листингах 7-9.

Листинг 7. lab5\_2.v

|  |
| --- |
| module lab5\_2(  input clk,  input load,  input [WIDTH\_REG-1:0] data,  output [WIDTH\_REG-1:0] led  );  parameter COUNT = 100000000;  parameter WIDTH = 27;  parameter WIDTH\_REG = 8;  wire ena;    counter #(WIDTH, COUNT) cnt\_rg (clk, ena);  rgstr #(WIDTH\_REG) shift\_rg (.clk(clk), .ena(ena), .load(load), .data(data), .out(led));  endmodule |

Листинг 8. counter.v

|  |
| --- |
| module counter(  input clk,  output reg ena  );  parameter WIDTH = 3;  parameter COUNT = 4;  reg [WIDTH-1:0] tmp;  initial begin  tmp = #WIDTH'h0;  ena = 1'b0;  end  always @ (posedge clk)  begin  tmp <= tmp + 1'b1;  if (tmp == COUNT - 1)  begin  tmp <= 1'b0;  ena <= 1'b1;  end else  ena <= 1'b0;  end  endmodule |

Листинг 9. rgstr.v

|  |
| --- |
| module rgstr (  input load, ena, clk,  input [width\_rg - 1:0] data,  output reg [width\_rg - 1:0] out  );  parameter width\_rg = 8;  integer i;  initial begin  out = #width\_rg'h0;  end    always @ (posedge clk)  begin  if ( !load )  if (ena) begin  out[0] <= out[width\_rg - 1];  for(i = 0; i < width\_rg-2; i = i + 1) begin  out[i+1] <= out[i];  end  end else  out <= out;  else  out <= data;  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 2‑1.

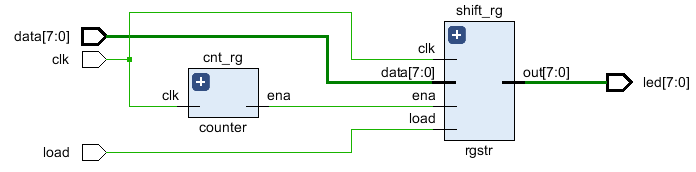


Рис. 2‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались тесты, представленный в листингах 10-12:

Листинг 10. tb5\_2.v

|  |
| --- |
| module tb5\_2();  parameter COUNT = 3;  parameter WIDTH = 4;  parameter WIDTH\_REG = 8;  localparam period = 10;  integer i;  reg clk, load;  reg [WIDTH\_REG-1:0] data;  wire [WIDTH\_REG-1:0] led;  lab5\_2 #(WIDTH, COUNT, WIDTH\_REG) cnt\_rg(.clk(clk), .load(load), .data(data), .led(led));  initial begin  clk = 1'b0;  load = 1'h0;  data = #WIDTH\_REG'h5;    clk = ~clk; #period; clk = ~clk; #period;  load = 1'h1;  clk = ~clk; #period; clk = ~clk; #period;  load = 1'h0;    for(i = 1; i < 15; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 2-2.

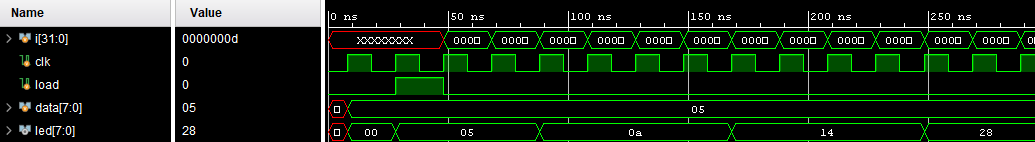


Рис. 2‑2 Результат моделирования

Листинг 11. tb\_counter.v

|  |
| --- |
| module tb\_counter();  parameter COUNT = 3;  parameter WIDTH = 4;  localparam period = 10;  integer i;  reg clk;  wire ena;  counter #(WIDTH, COUNT) cnt\_rg(clk, ena);  initial begin  clk = 1'b0;    for(i = 1; i < 15; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 2-3.

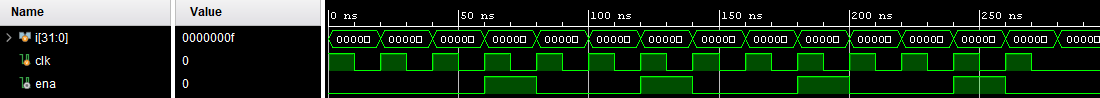


Рис. 2‑3 Результат моделирования

Листинг 12. tb\_rgstr.v

|  |
| --- |
| module tb\_rgstr();  parameter width = 8;  localparam period = 10;  integer i;  reg load, ena, clk;  reg [width-1:0] data;  wire [width - 1:0] out;  rgstr #width RGSTR(.load(load), .ena(ena), .clk(clk), .data(data), .out(out));  initial begin  clk = 1'b0;  load = 1'h0;  data = 2'h3;    ena = 1'h1;    clk = ~clk; #period; clk = ~clk; #period;  load = 1'h1;  clk = ~clk; #period; clk = ~clk; #period;  load = 1'h0;    for(i = 1; i < 7; i = i + 1) begin  clk = ~clk; #period; clk = ~clk; #period;  ena = ~ena;  end  end  endmodule |

Результаты моделирования приведены на Рис. 2-4.

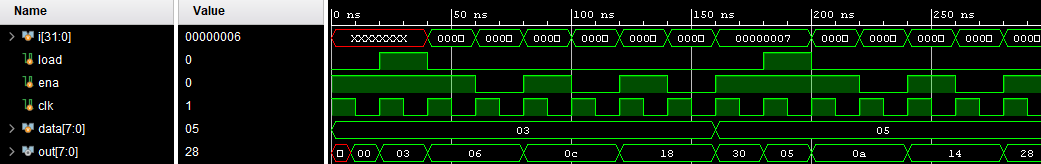


Рис. 2‑4 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 2‑5

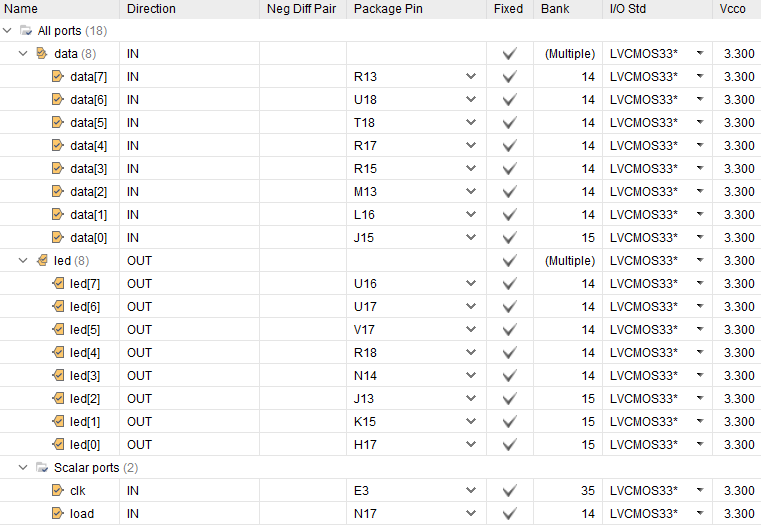


Рис. 2‑5 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

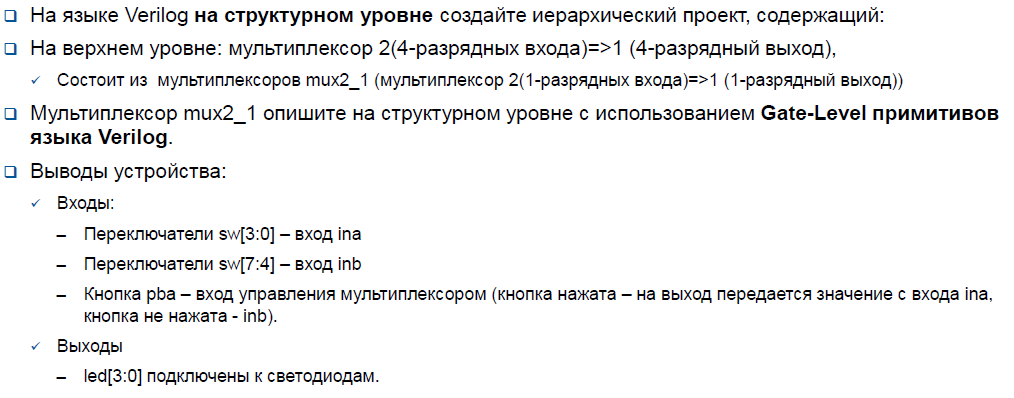
Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате было реализовано иерархическое (структурное) описание схемы счетчика-делителя и сдвигающего регистра.

# Задание lab5\_3

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листингах 13-14.

Листинг 13. lab5\_3.v

|  |
| --- |
| module lab5\_3(  input [3:0] sw1, sw2,  input key,  output [3:0] led  );  wire [1:0] ina1, inb1, ina2, inb2 ,out1, out2;  assign {inb1, ina1} = sw1;  assign {inb2, ina2} = sw2;  mux2 MUX1(.ina(ina1), .inb(inb1),.key(key),.out(out1));  mux2 MUX2(.ina(ina2), .inb(inb2),.key(key),.out(out2));  assign led = {out2, out1};  endmodule |

Листинг 14. mux2.v

|  |
| --- |
| module mux2(  input [1:0] ina,  input [1:0] inb,  input key,  output [1:0] out  );  assign out = (key) ? inb : ina;  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 3‑1.

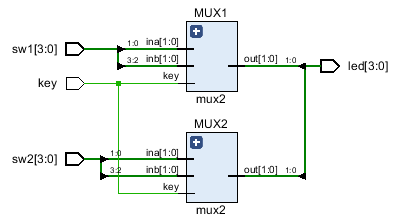


Рис. 3‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались тесты, представленные в листингах 15-16:

Листинг 15. tb5\_3.v

|  |
| --- |
| module tb5\_3();  localparam period = 10;  reg [3:0] sw1, sw2;  reg key;  wire [3:0] led;  integer i;  lab5\_3 LAB(.sw1(sw1), .sw2(sw2), .key(key), .led(led));  initial begin  key = 1'h0;  {sw2,sw1} = 8'b01010101;    for(i = 1; i < 15; i = i + 1) begin  #period;  key = 1'h1;  #period;  {sw2,sw1} = {sw2,sw1} + 8'h1;  key = 1'h0;  end  end  endmodule |

Результаты моделирования приведены на Рис. 3-2.

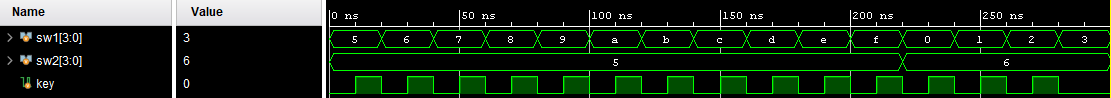


Рис. 3‑2 Результат моделирования

Листинг 16. max2\_tb.v

|  |
| --- |
| module max2\_tb();  localparam period = 10;  reg [1:0] ina, inb;  reg key;  wire [1:0] out;  integer i;  mux2 MAX(.ina(ina), .inb(inb), .key(key), .out(out));  initial begin  key = 1'h0;  ina = 2'b00;  inb = 2'b00;    for(i = 1; i < 15; i = i + 1) begin  #period;  key = 1'h1;  #period;  {ina, inb} = i;  key = 1'h0;  end  end  endmodule |

Результаты моделирования приведены на Рис. 3-3.

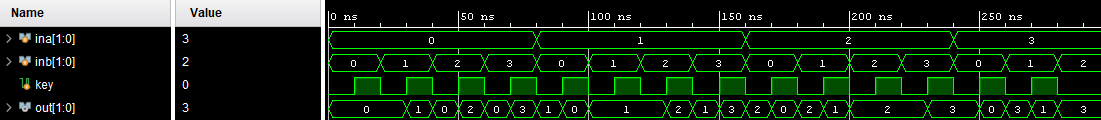


Рис. 3‑3 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 3‑4.

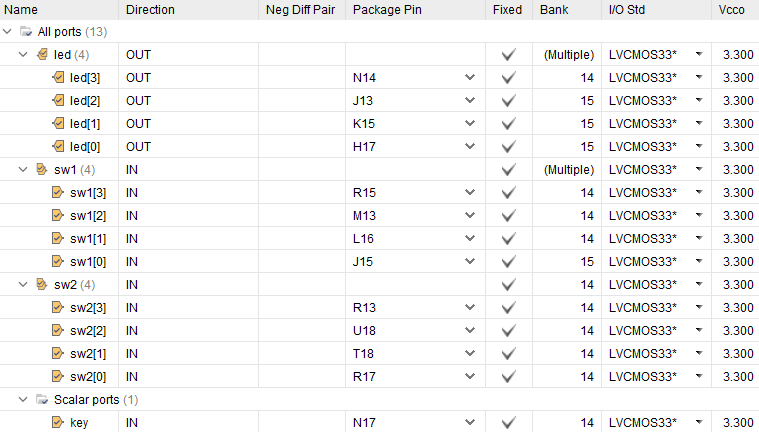


Рис. 3‑4 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате был реализован иерархический проект, содержащий мультиплексор с двумя 4-разрядными входами.