САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab6

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил:

Курякин Д. А

группа: 3540901/12001

преподаватель:

Антонов А. П.

Санкт-Петербург

2021

Оглавление

[1 Задание lab6\_1 3](#_Toc88467160)

[1.1 Задание 3](#_Toc88467161)

[1.2 Описание на языке Verilog 3](#_Toc88467162)

[1.3 Результат синтеза 4](#_Toc88467163)

[1.4 Моделирование 4](#_Toc88467164)

[1.5 Назначение выводов СБИС 5](#_Toc88467165)

[1.6 Тестирование на плате Nexys4 DDR 5](#_Toc88467166)

[1.7 Выводы 6](#_Toc88467167)

[2 Задание lab6\_2 7](#_Toc88467168)

[2.1 Задание 7](#_Toc88467169)

[2.2 Описание на языке Verilog 7](#_Toc88467170)

[2.3 Результат синтеза 8](#_Toc88467171)

[2.4 Моделирование 8](#_Toc88467172)

[2.5 Назначение выводов СБИС 9](#_Toc88467173)

[2.6 Тестирование на плате Nexys4 DDR 9](#_Toc88467174)

[2.7 Выводы 10](#_Toc88467175)

[3 Задание lab6\_3 11](#_Toc88467176)

[3.1 Задание 11](#_Toc88467177)

[3.2 Описание на языке Verilog 11](#_Toc88467178)

[3.3 Результат синтеза 12](#_Toc88467179)

[3.4 Моделирование 13](#_Toc88467180)

[3.5 Назначение выводов СБИС 14](#_Toc88467181)

[3.6 Тестирование на плате Nexys4 DDR 14](#_Toc88467182)

[3.7 Выводы 14](#_Toc88467183)

[4 Задание lab6\_4 15](#_Toc88467184)

[4.1 Задание 15](#_Toc88467185)

[4.2 Описание на языке Verilog 15](#_Toc88467186)

[4.3 Результат синтеза 15](#_Toc88467187)

[4.4 Моделирование 16](#_Toc88467188)

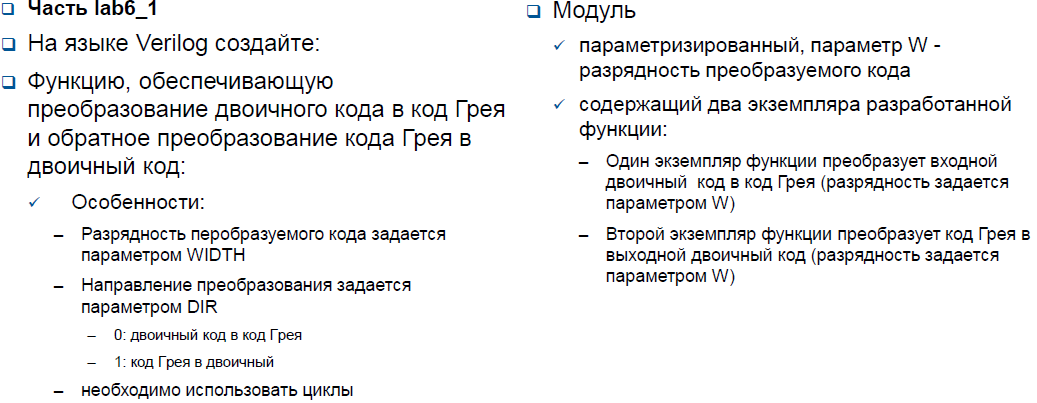
[4.5 Назначение выводов СБИС 17](#_Toc88467189)

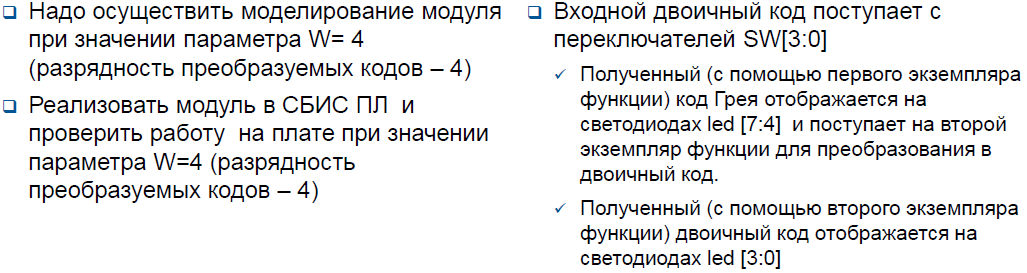
[4.6 Тестирование на плате Nexys4 DDR 17](#_Toc88467190)

[4.7 Выводы 17](#_Toc88467191)

# Задание lab6\_1

## Задание





## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 1.

Листинг 1. lab6\_1.v

|  |
| --- |
| module lab6\_1(  input [W-1:0] sw,  output [W\*2-1:0] led  );  parameter W = 4;  function [W-1:0] code;  input [W-1:0] inp;  input DIR;  integer i;  begin  if (DIR) begin  code[W-1] = inp[W-1];  for (i = W-2; i >= 0; i = i - 1)  begin  code[i] = code[i+1] ^ inp[i];  end  end else begin  code[W-1] = inp[W-1];  for (i = W-2; i >= 0; i = i - 1)  begin  code[i] = inp[i+1] ^ inp[i];  end  end  end  endfunction  assign led[7:4] = code(sw, 0);  assign led[3:0] = code(led[7:4], 1);  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑1.

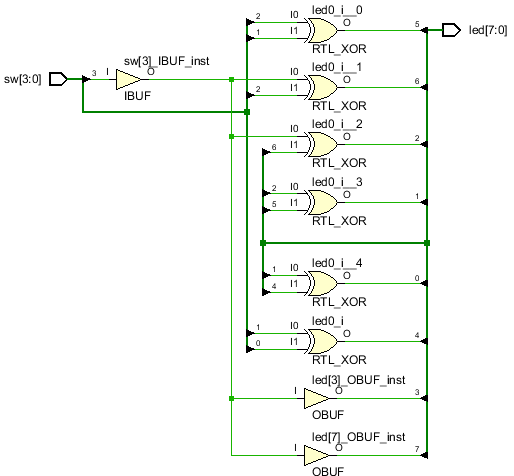


Рис. 1‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест представленный в листинге 2:

Листинг 2. tb6\_1.v

|  |
| --- |
| module tb6\_1();  localparam period = 10;  parameter W = 4;  integer i;  reg [W-1:0] sw;  wire [W\*2-1:0] led;  lab6\_1 #(W) LAB(.sw(sw), .led(led));  initial begin  sw = 1'h0;    for(i = 1; i < 15; i = i + 1) begin  #period;  sw = i;  end  end  endmodule |

Результаты моделирования приведены на Рис. 1‑2

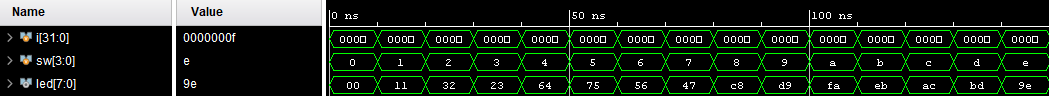


Рис. ‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 1‑3

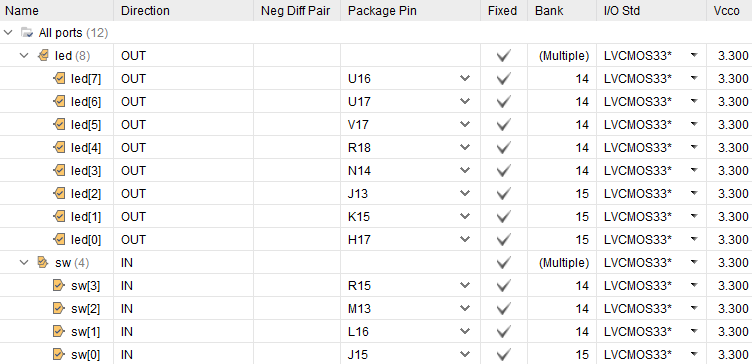


Рис. ‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

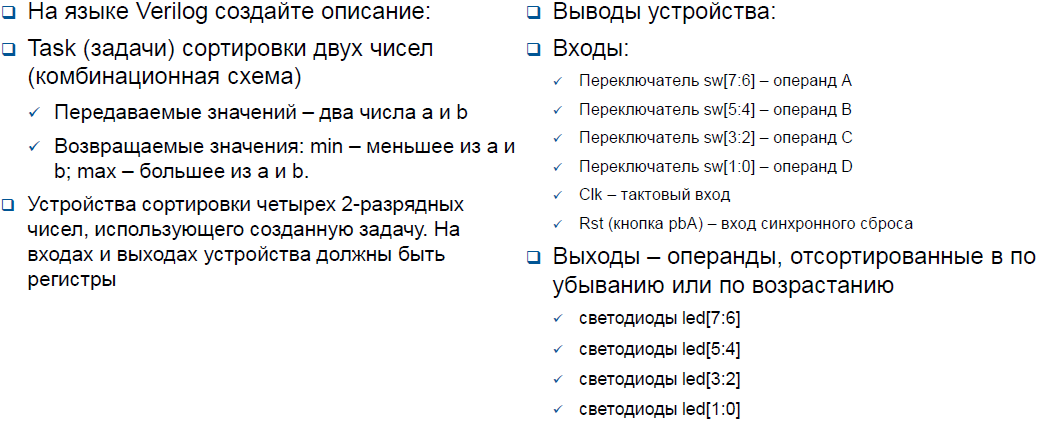
Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4. Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

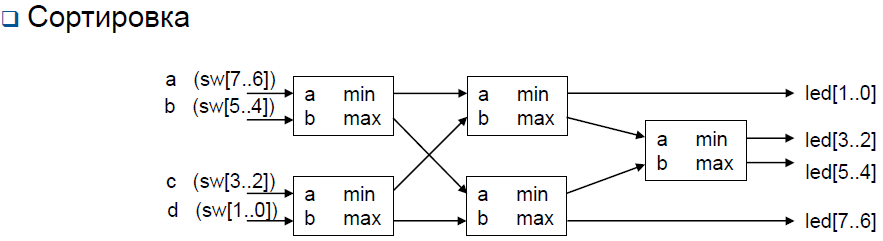
## Выводы

В результате было реализовано преобразование двоичного кода в код Грея и обратное преобразование кода Грея в двоичный код.

# Задание lab6\_2

## Задание





## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 3.

Листинг 3. lab6\_2.v

|  |
| --- |
| module lab6\_2(  input clk, bt,  input [1:0] a, b, c, d,  output reg [7:0] led  );  reg [1:0] min1\_1, max1\_1, min1\_2, max1\_2, max2\_1, min2\_2;    task sort;  input [1:0] a, b;  output [1:0] min, max;  begin  min = (a>b) ? b : a;  max = (a<b) ? b : a;  end  endtask  always @(posedge clk, posedge bt)  begin  if(bt) begin  {min1\_1, max1\_1, min1\_2, max1\_2, max2\_1, min2\_2, led} = 20'h0;  end else begin  sort(a, b, min1\_1, max1\_1);  sort(c, d, min1\_2, max1\_2);  sort(min1\_1, min1\_2, led[1:0], max2\_1);  sort(max1\_1, max1\_2, min2\_2, led[7:6]);  sort(max2\_1, min2\_2, led[3:2], led[5:4]);  end  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 2‑1.

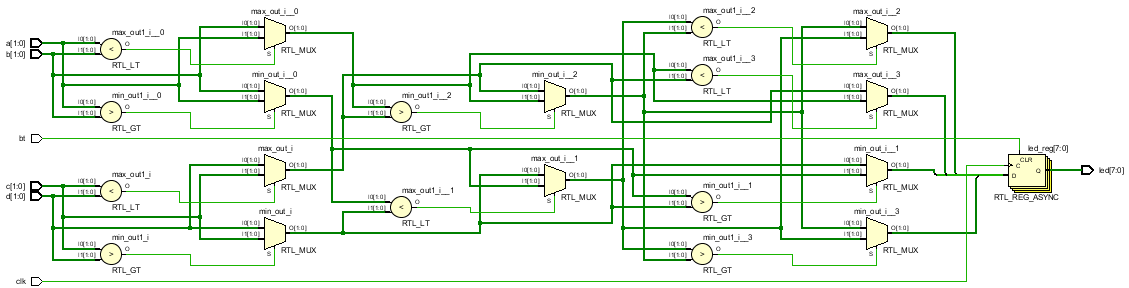


Рис. ‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный в листинге 4:

Листинг 4. tb6\_2.v

|  |
| --- |
| module tb6\_2();  localparam period = 10;  integer i;  reg clk, bt;  reg [1:0] a, b, c, d;  wire [7:0] led;  lab6\_2 LED(.clk(clk), .bt(bt), .a(a), .b(b), .c(c), .d(d), .led(led));  initial begin  clk = 1'b0;  bt = 1'h0;    for(i = 128; i < 192; i = i + 1) begin  {d, c, b, a} = i;  clk = ~clk; #period; clk = ~clk; #period;    end  end  endmodule |

Результаты моделирования приведены на Рис. 2-2.

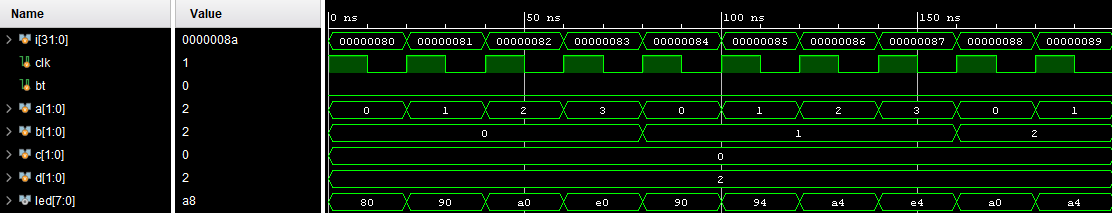


Рис. ‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 2‑3

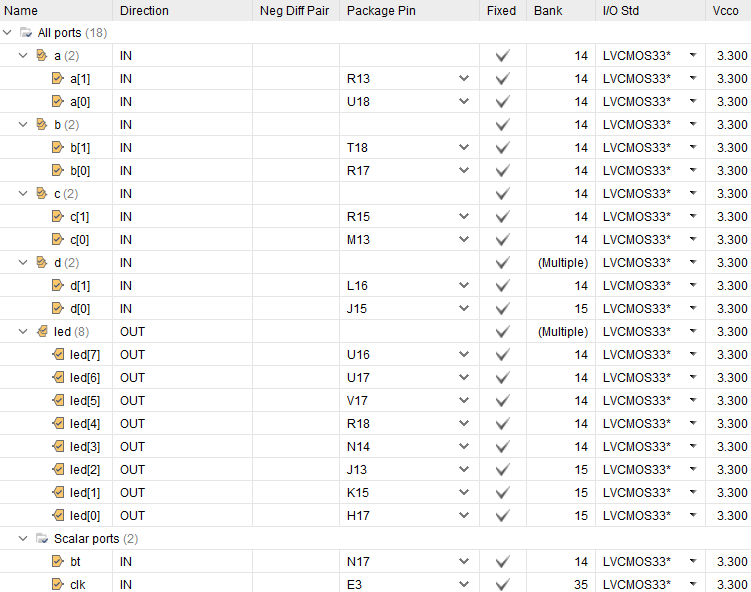


Рис. ‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

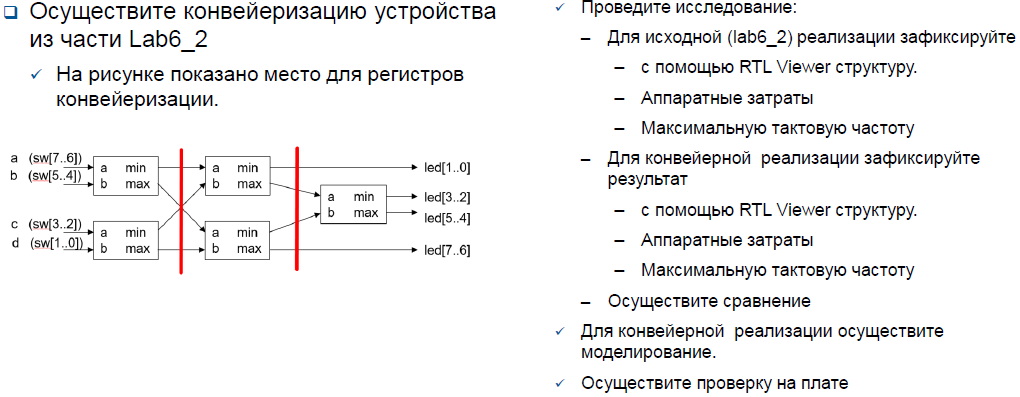
Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате было реализовано устройство сортировки 4-х чисел.

# Задание lab6\_3

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже листинге 5.

Листинг 5. Lab6\_3.v

|  |
| --- |
| module lab6\_3(  input clk, bt,  input [1:0] a, b, c, d,  output reg [7:0] led  );  reg [1:0] min1\_1, max1\_1, min1\_2, max1\_2, min2\_1, max2\_1, min2\_2, max2\_2;  reg [1:0] reg\_min1\_1, reg\_max1\_1, reg\_min1\_2, reg\_max1\_2;  reg [1:0] reg\_min2\_1, reg\_max2\_1, reg\_min2\_2, reg\_max2\_2;  task sort;  input [1:0] a, b;  output [1:0] min, max;  begin  min = (a>b) ? b : a;  max = (a<b) ? b : a;  end  endtask  initial begin  {reg\_min1\_1, reg\_max1\_1, reg\_min1\_2, reg\_max1\_2, reg\_max2\_1, reg\_min2\_2} = 12'h0;  end  always @(\*)  begin  sort(a, b, min1\_1, max1\_1);  sort(c, d, min1\_2, max1\_2);  sort(reg\_min1\_1, reg\_min1\_2, min2\_1, max2\_1);  sort(reg\_max1\_1, reg\_max1\_2, min2\_2, max2\_2);  led[1:0] = reg\_min2\_1;  led[7:6] = reg\_max2\_2;  sort(reg\_max2\_1, reg\_min2\_2, led[3:2], led[5:4]);  end  always @(posedge clk, posedge bt)  begin  if(bt) begin  {reg\_min1\_1, reg\_max1\_1, reg\_min1\_2, reg\_max1\_2, reg\_max2\_1, reg\_min2\_2} = 12'h0;  end else begin  reg\_min1\_1 = min1\_1;  reg\_min1\_2 = min1\_2;  reg\_max1\_1 = max1\_1;  reg\_max1\_2 = max1\_2;    reg\_min2\_1 = min2\_1;  reg\_max2\_1 = max2\_1;  reg\_min2\_2 = min2\_2;  reg\_max2\_2 = max2\_2;  end  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 3‑1.

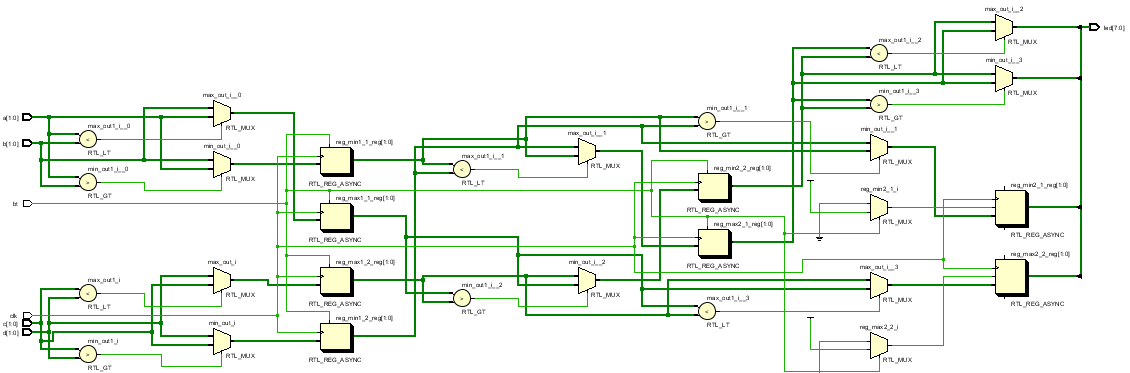


Рис. 3‑1 Синтезированная схема

Количество логических элементов.

|  |  |  |
| --- | --- | --- |
| Recourses | Utilization lab6\_2 | Utilization lab6\_3 |
| LUT | 15 | 10 |
| FF | 8 | 16 |
| IO | 18 | 18 |
| BUFG | 1 | 1 |

WNS lab6\_2 7.03 ns

WNS lab6\_3 8.452 ns

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный в листинге 6:

Листинг 6. tb6\_3.v

|  |
| --- |
| module tb6\_3();  localparam period = 10;  integer i;  reg clk, bt;  reg [1:0] a, b, c, d;  wire [7:0] led;  lab6\_3 LED(.clk(clk), .bt(bt), .a(a), .b(b), .c(c), .d(d), .led(led));  initial begin  clk = 1'b0;  bt = 1'h0;    for(i = 128; i < 192; i = i + 1) begin  {d, c, b, a} = i;  clk = ~clk; #period; clk = ~clk; #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 3-2.

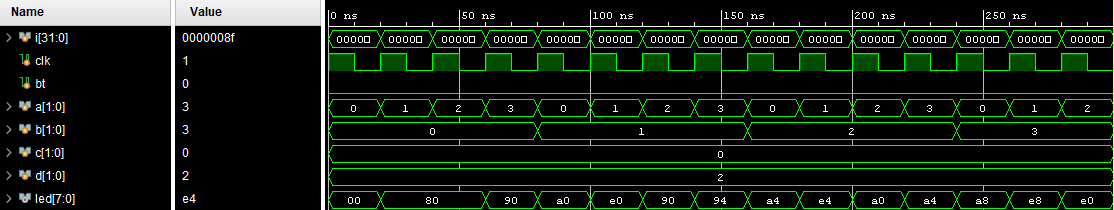


Рис. 3‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 3‑3.

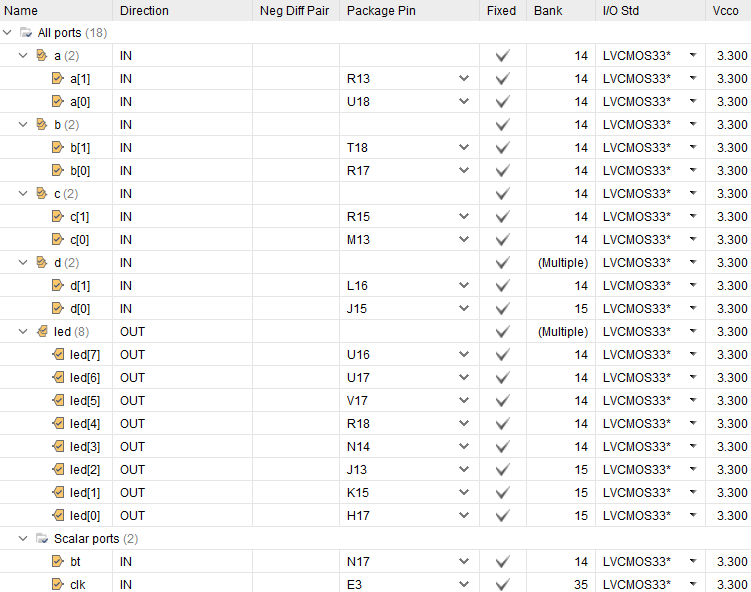


Рис. 3‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

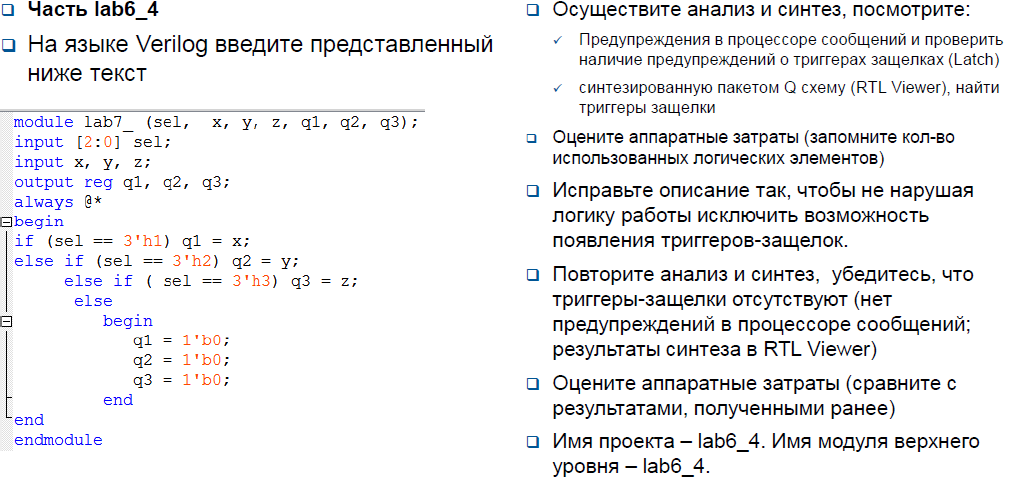
Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате устройство сортировки из задания 3.2 было дополнено конвейером. На RTL схеме видно, что появились регистры.

# Задание lab6\_4

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже в листинге 7.

Листинг 7. lab6\_4.v

|  |
| --- |
| module lab6\_4(  input [1:0] sel,  input x, y, z,  output reg q1, q2, q3  );  always @\* begin  q1 = 1'b0;  q2 = 1'b0;  q3 = 1'b0;  if (sel == 3'h1) q1 = x;  if (sel == 3'h2) q2 = y;  if (sel == 3'h3) q3 = z;  end  endmodule |

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 4‑1.

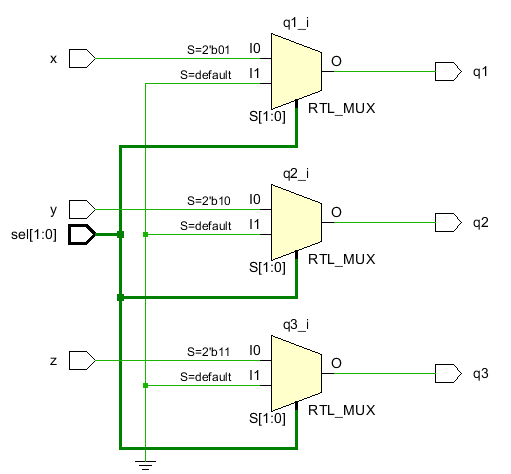


Рис. 4‑1 Синтезированная схема

Количество логических элементов.

|  |  |  |
| --- | --- | --- |
| Recourses | Utilization c триг. | Utilization без |
| LUT | 2 | 2 |
| IO | 8 | 8 |
| BUFG | 2 | 0 |

## Моделирование

Для проверки правильности работы созданного Verilog описания использовался тест, представленный на Рис. 4-3:

Листинг 8. tb6\_4.v

|  |
| --- |
| module tb6\_4();  localparam period = 10;  integer i;  reg [1:0] sel;  reg x, y, z;  wire q1, q2, q3;  lab6\_4 LAB(.sel(sel), .x(x), .y(y), .z(z), .q1(q1), .q2(q2), .q3(q3));  initial begin  for(i = 1; i < 9; i = i + 1) begin  {x, y, z} = i;  sel = 2'h0;  #period;  sel = 2'h1;  #period;  sel = 2'h2;  #period;  sel = 2'h3;  #period;  end  end  endmodule |

Результаты моделирования приведены на Рис. 4-2.

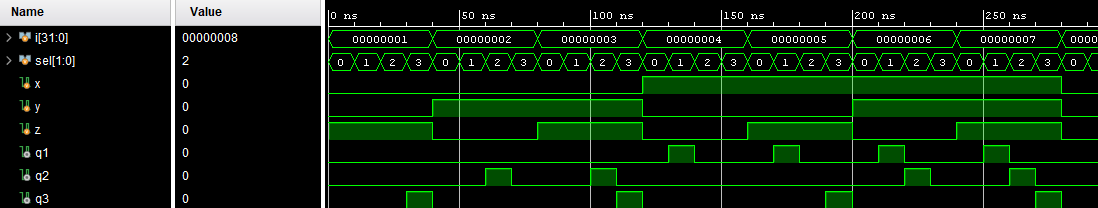


Рис. 4-2. Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 4‑3

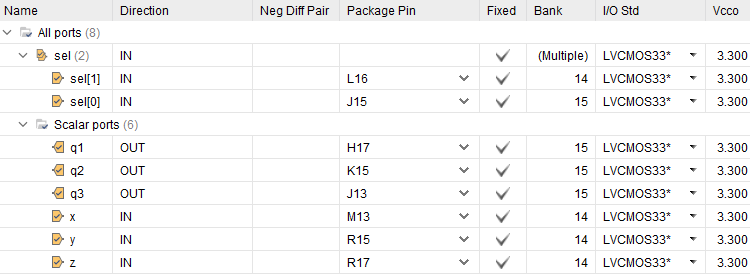


Рис. 4‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4.

Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате выполнения задания была введена схема из слайда, а затем изменена так что бы убрать регистры защелки.