САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию xilinx\_lab6

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Курякин Д. А

группа: 3540901/12001

преподаватель:

Антонов А. П.

Санкт-Петербург

2021

Оглавление

[1 Задание lab6 3](#_Toc104145206)

[1.1 Задание 3](#_Toc104145207)

[1.2 Описание на языке Verilog 3](#_Toc104145208)

[1.3 Результат синтеза 3](#_Toc104145209)

[1.4 Назначение выводов СБИС 4](#_Toc104145210)

[1.5 Отладка 4](#_Toc104145211)

[1.6 Выводы 5](#_Toc104145212)

# Задание lab6

## Задание

Пройти пошаговую ознакомительную инструкцию в Vivado.

## Описание на языке Verilog

Были добавлены прилагаемые с лабораторной работой файлы. После чего был создан ILA элемент из IP ядра.

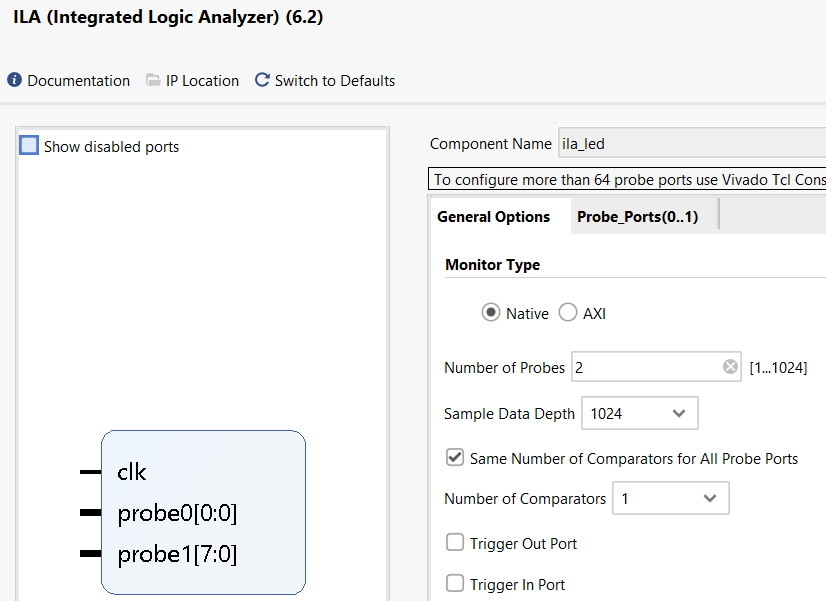


Рис. 1‑1 Создание ILA

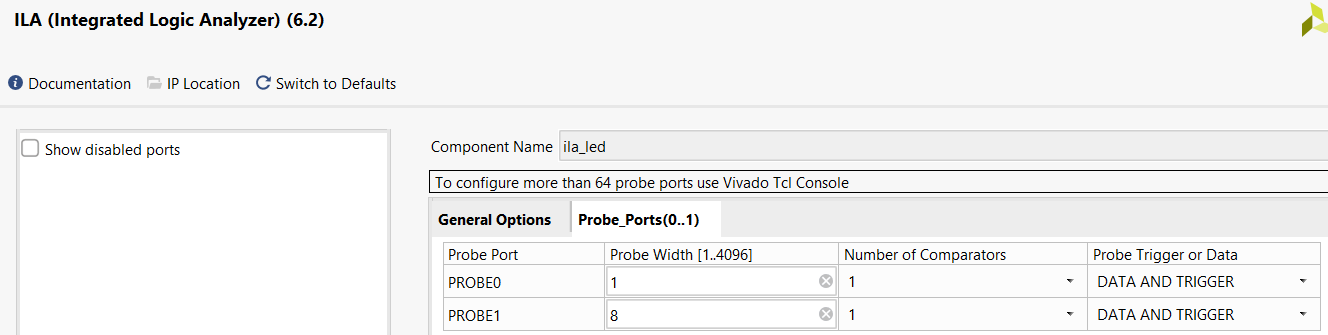


Рис. 1-2 Создание ILA

## Результат синтеза

Результат синтеза описания на языке Verilog приведен ниже на Рис. 1-3.

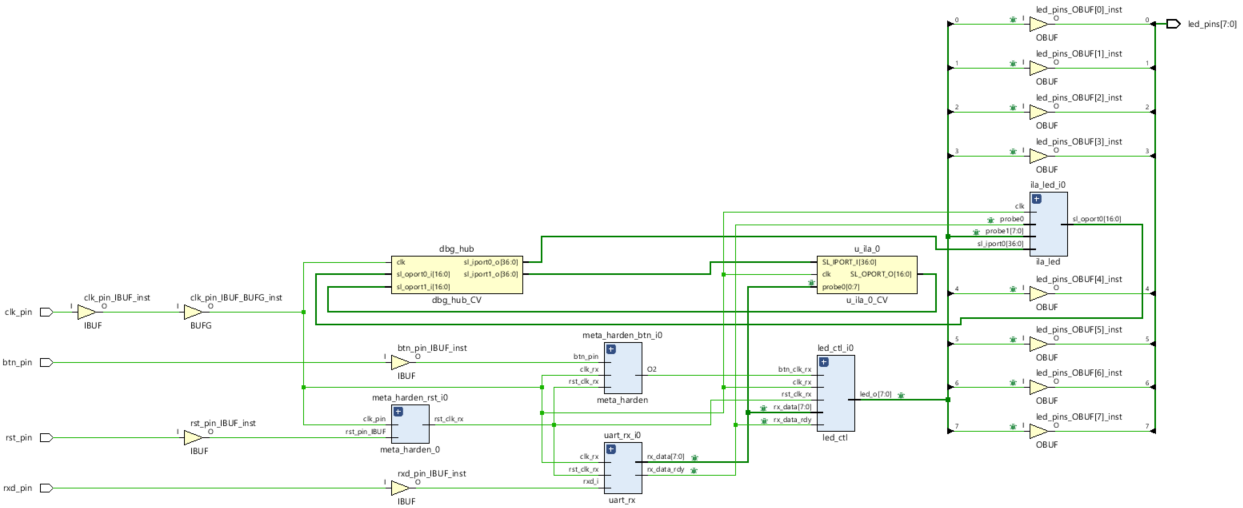


Рис. 1-3 Синтезированная схема

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 2‑4

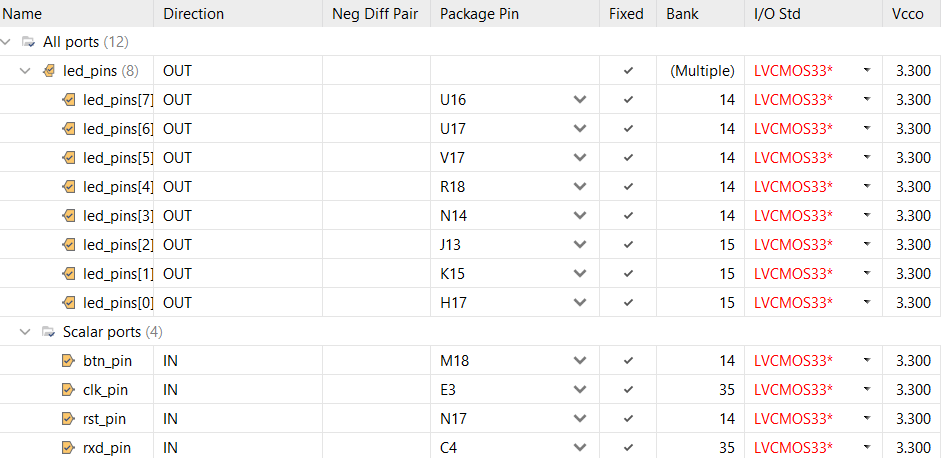
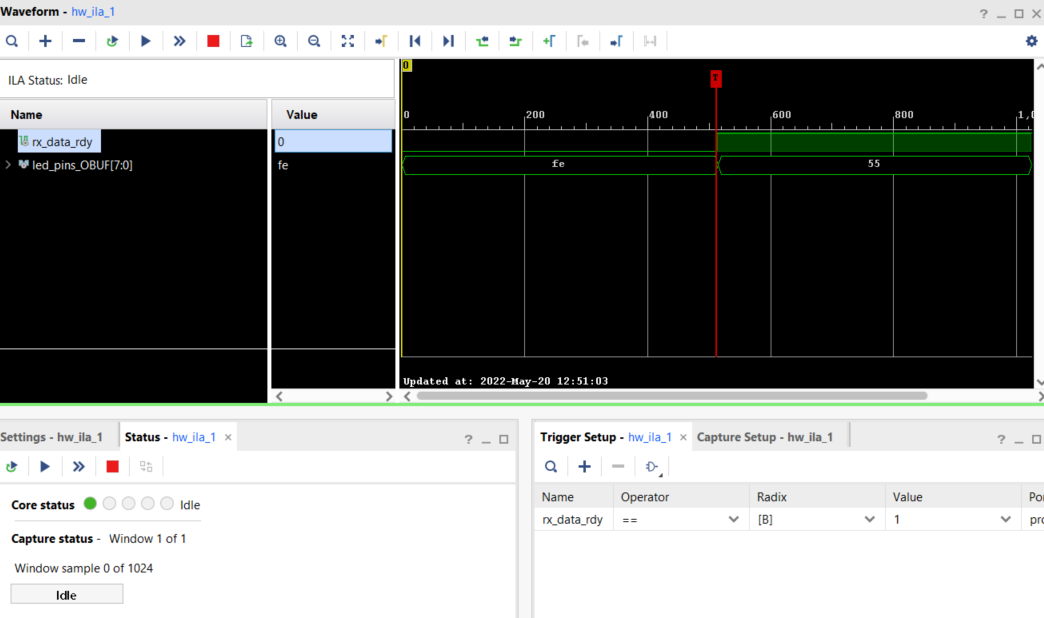


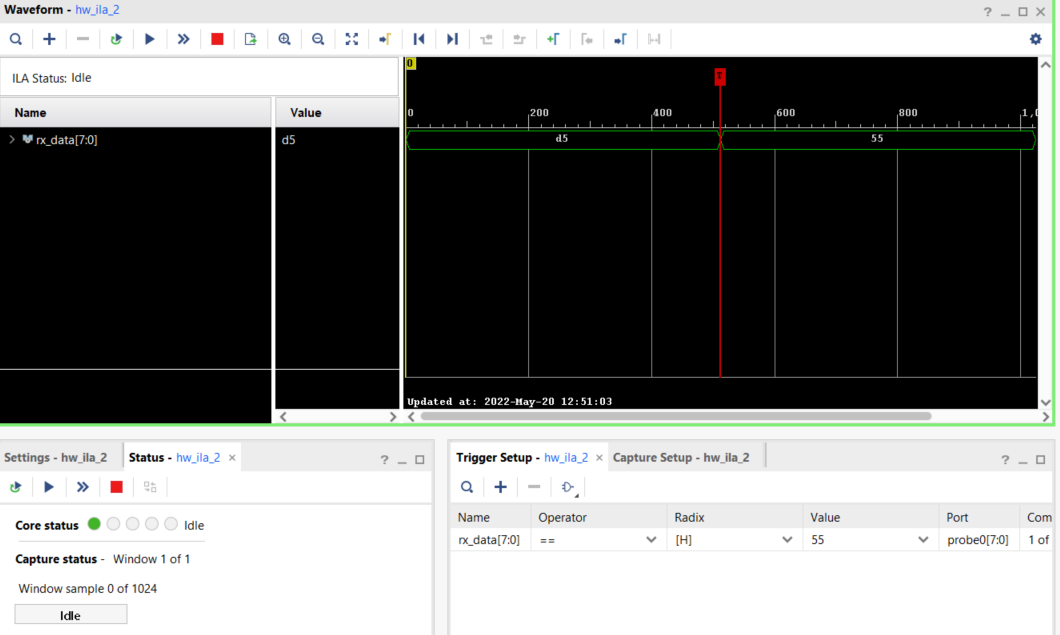
Рис. 1-4 Назначение выводов

## Отладка

Для отладки была запущена программа Tera Ter и подключена к UART через который подключена плата. Были настроены триггеры. После нажатия «Shift+U» триггер анализатора защелкнулся. На Рис 1-5 и 1-6 получены графики.



*Рис. 1-5 Монитор ILA 1*



*Рис. 1-5 Монитор ILA 2*

## Выводы

В результате были выполнены все шаги из методических указаний по лабораторной работе.