САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab6

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Курякин Д. А

группа:

преподаватель:

Антонов А. П.

Санкт-Петербург

2022

Оглавление

[1 Задание lab10 3](#_Toc104488110)

[1.1 Задание 3](#_Toc104488111)

[1.2 Создание макета в Platform Designer 3](#_Toc104488112)

[1.3 Анализ системы 5](#_Toc104488113)

[1.4 Выводы 7](#_Toc104488114)

[2 Задание lab11 7](#_Toc104488115)

[2.1 Задание 7](#_Toc104488116)

[2.2 Создание макета в Platform Designer 7](#_Toc104488117)

[2.3 Анализ системы 9](#_Toc104488118)

[2.1 Описание на языке System Verilog 10](#_Toc104488119)

[2.2 Результат синтеза (RTL) 11](#_Toc104488120)

[2.3 Моделирование 11](#_Toc104488121)

[2.4 Выводы 12](#_Toc104488122)

[3 Задание lab12 12](#_Toc104488123)

[3.1 Задание 12](#_Toc104488124)

[3.2 Создание макета в Platform Designer 12](#_Toc104488125)

[3.3 Анализ системы 13](#_Toc104488126)

[3.4 Описание на языке System Verilog 14](#_Toc104488127)

[3.5 Результат синтеза (RTL) 14](#_Toc104488128)

[3.6 Моделирование 15](#_Toc104488129)

[3.7 Выводы 16](#_Toc104488130)

[4 Задание lab13 16](#_Toc104488131)

[4.1 Задание 16](#_Toc104488132)

[4.2 Создание макета в Platform Designer 16](#_Toc104488133)

[4.3 Анализ системы 17](#_Toc104488134)

[4.4 Описание на языке System Verilog 18](#_Toc104488135)

[4.5 Результат синтеза (RTL) 19](#_Toc104488136)

[4.6 Моделирование 19](#_Toc104488137)

[4.7 Выводы 20](#_Toc104488138)

# Задание lab10

## Задание

Выполнить шаги из примера в презентации.

## Создание макета в Platform Designer

Созданный макет приведен на рис. 1-1.

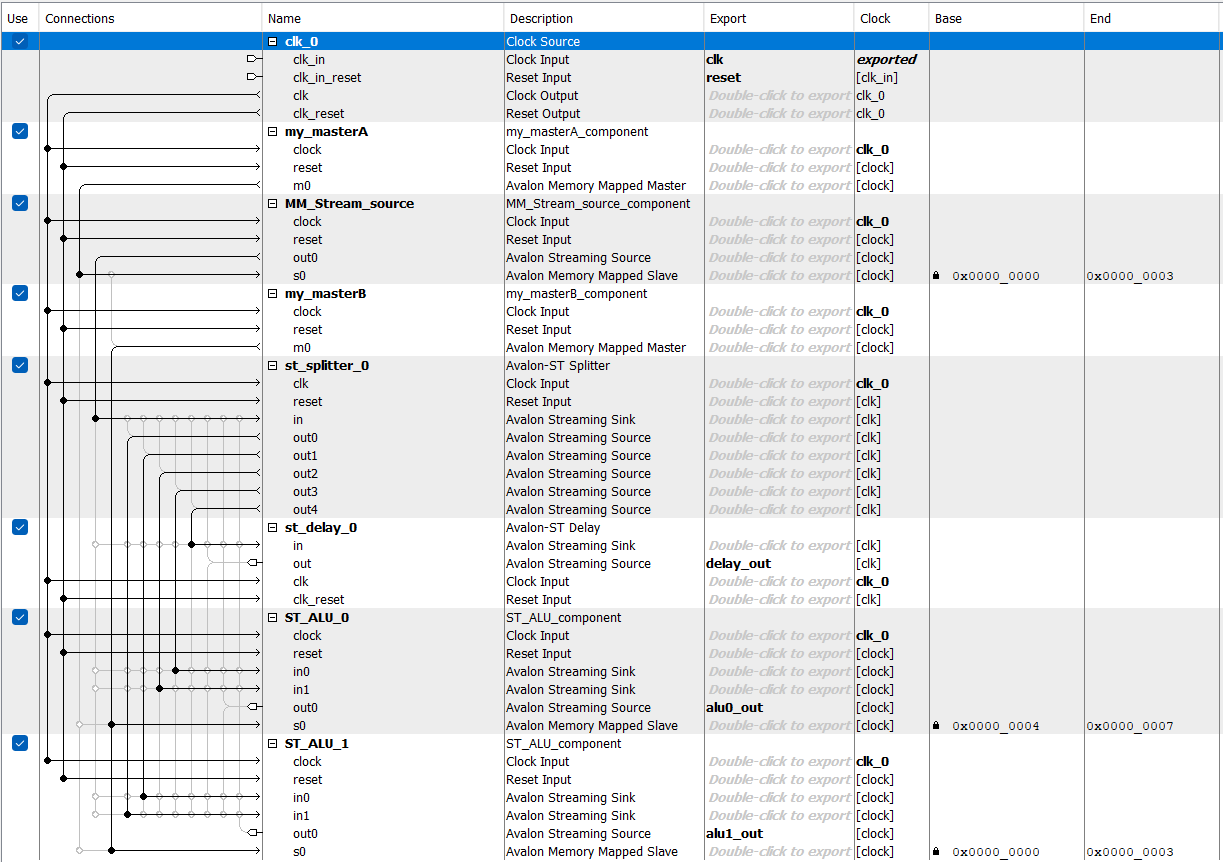


Рис. 1-1. Макет в Platform Designer

Настройки компанентов приведены на рис. 1-2 – 1-5.

Изображение выглядит как текст

Автоматически созданное описание

Рис.1-2. Настройка компонента my\_masterA

Изображение выглядит как текст

Автоматически созданное описание

Рис.1-3. Настройка компонента my\_masterB

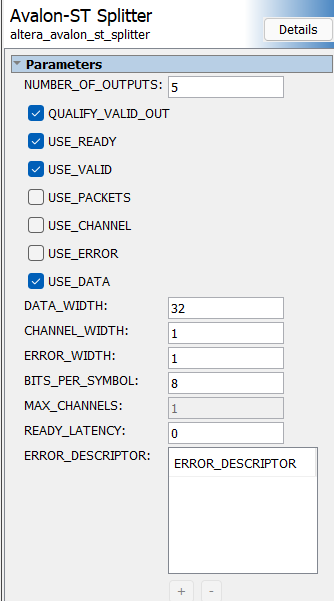


Рис.1-4. Настройка компонента st\_splitter

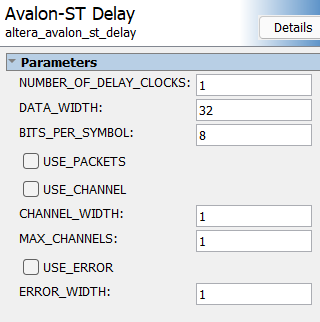


Рис.1-5. Настройка компонента st\_delay

## Анализ системы

На рис. 1-6 – 1-9 приведен анализ системы созданной в Platform Designer.

Изображение выглядит как текст

Автоматически созданное описание

Рис.1-6. Block Symbol

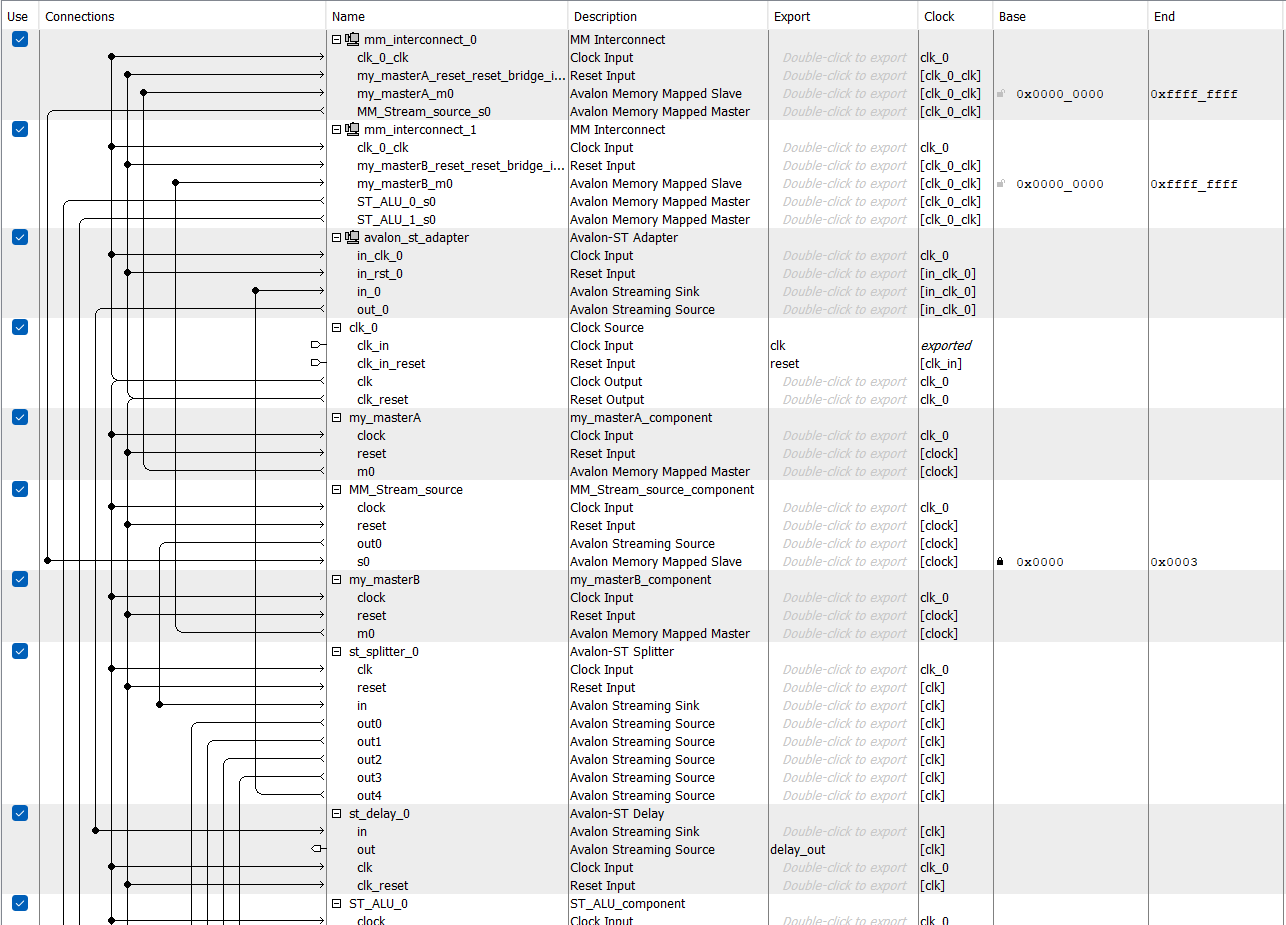


Рис.1-7. Show System with Platform Designer Interconnect

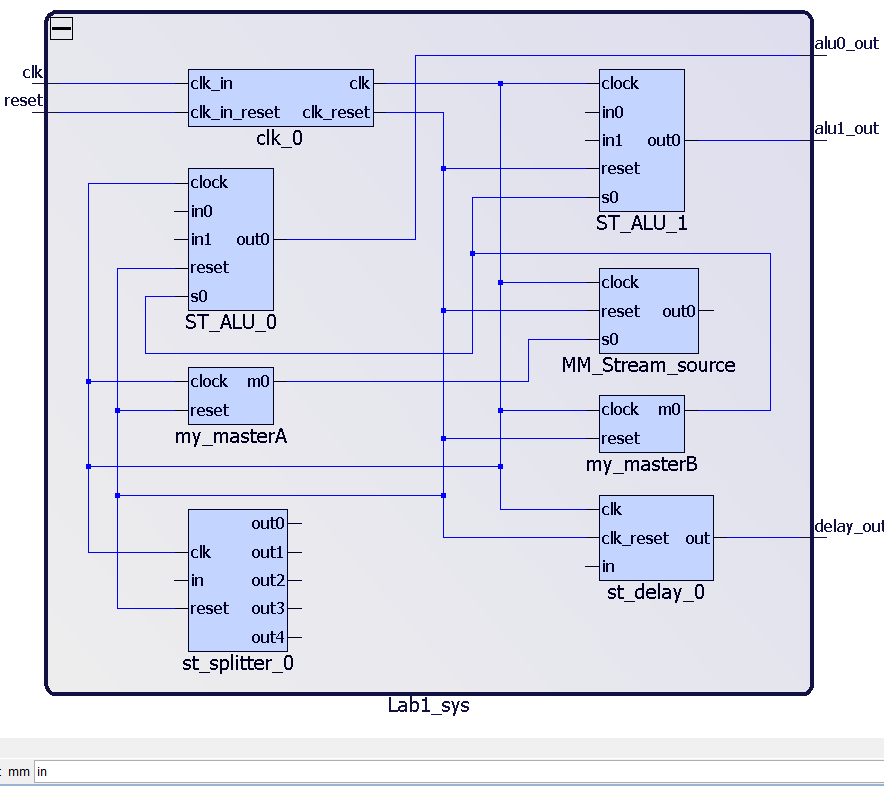


Рис.1-8. Schematic. In

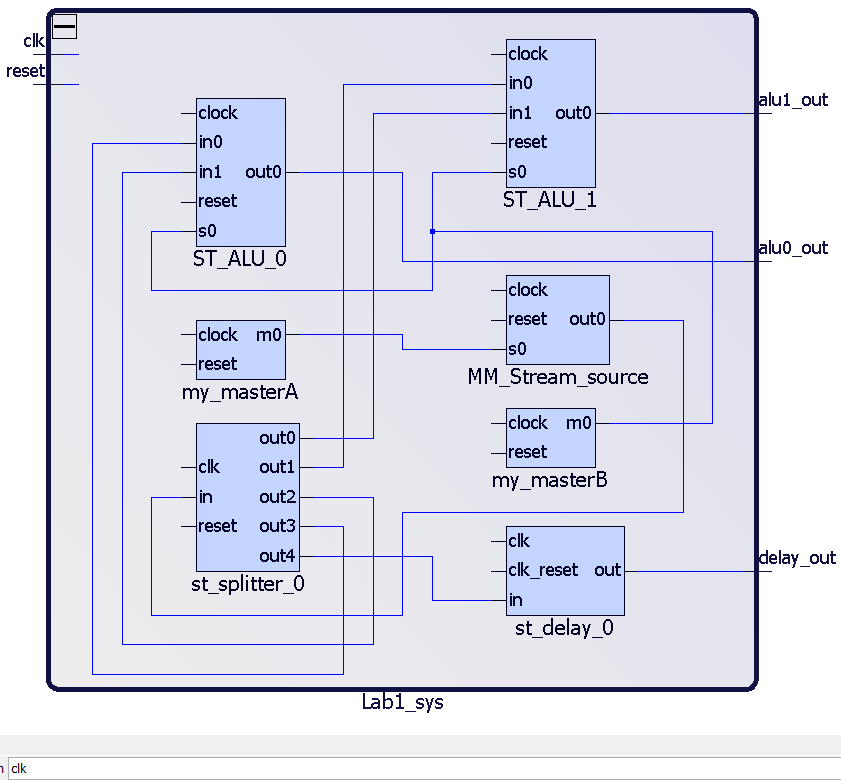


Рис.1-9. Schematic. clk

## Выводы

В результате были пройдены шаги из презентации для создания макета в Platform Designer.

# Задание lab11

## Задание

Выполнить шаги из примера в презентации.

## Создание макета в Platform Designer

Созданный макет приведен на рис. 2-1.

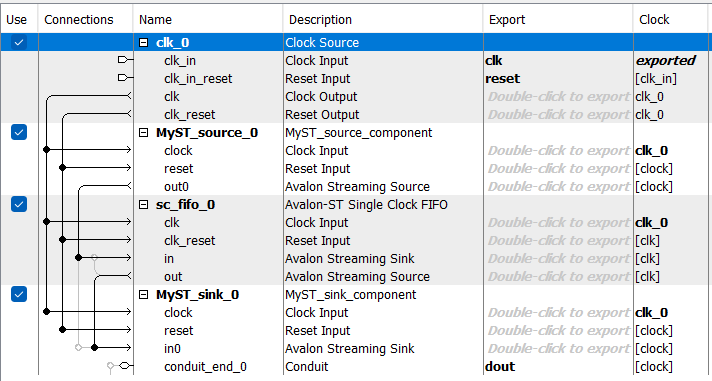


Рис. 2-1. Макет в Platform Designer

Настройки компонентов приведены на рис. 2-2 – 2-3.

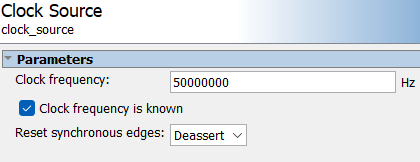


Рис.2-2. Настройка компонента clk\_0

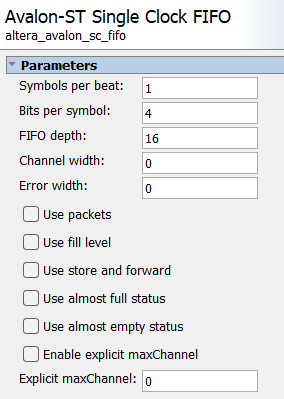


Рис.2-3. Настройка компонента sc\_fifo\_0

## Анализ системы

На рис. 2-4 – 2-6 приведен анализ системы созданной в Platform Designer.

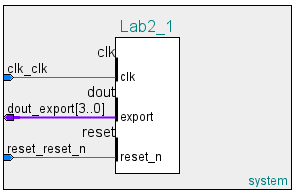


Рис.2-4. Block Symbol

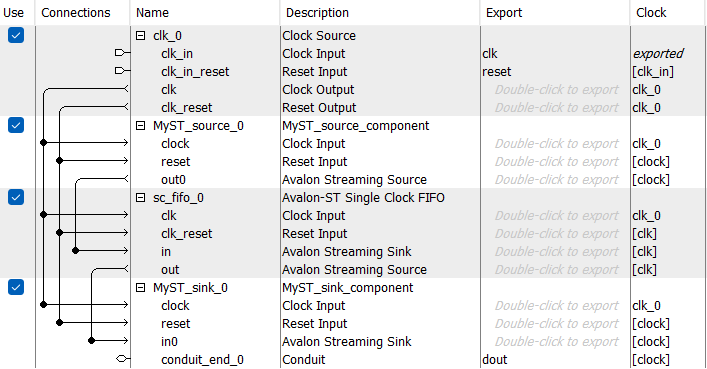


Рис.2-5. Show System with Platform Designer Interconnect

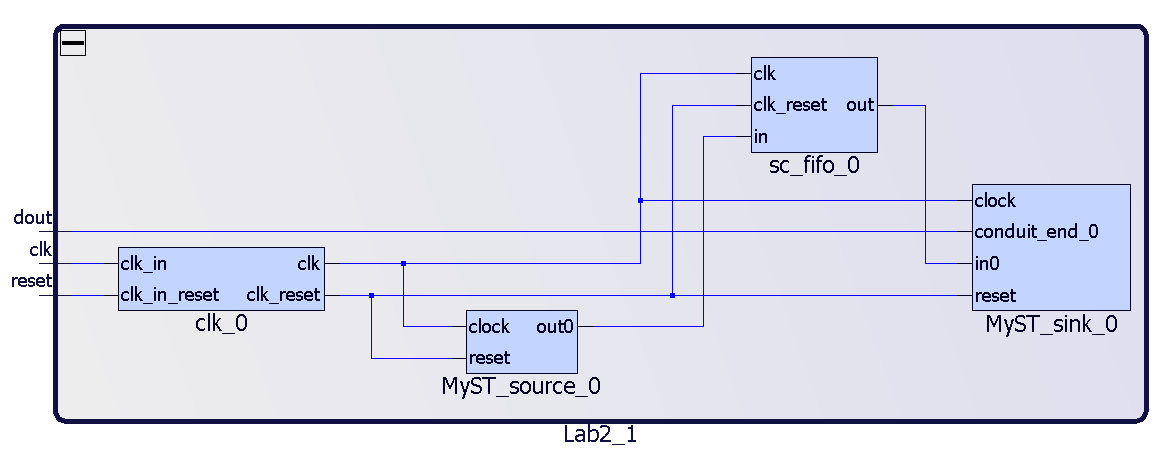


Рис.2-6. Schematic

## Описание на языке System Verilog

Файл описания верхнего уровня приведен в листинге 2-1.

Листинг 2-1. Lab2\_top.sv

|  |
| --- |
| `timescale 1 ns / 1 ns  module Lab2\_top (  input bit clk,  input bit reset,  output bit [3:0] dout  );  Lab2\_1 Lab2\_1\_inst (  .clk\_clk (clk),  .reset\_reset\_n (reset),  .dout\_export (dout)  );  endmodule |

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑7.

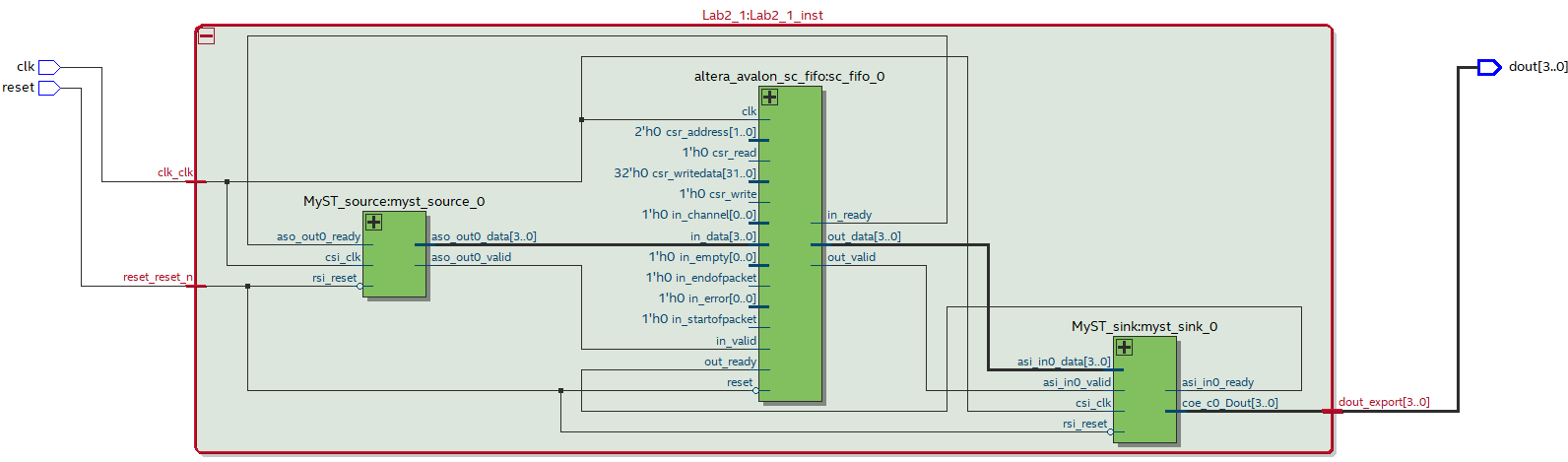


Рис.2-7. Анализ RTL Viewer

## Моделирование

Для проверки правильности работы созданного System Verilog описания использовались тесты представленные в листингах 2-2:

Листинг 2-2. tb\_Lab2\_top.sv

|  |
| --- |
| `timescale 1 ns / 1 ns  module tb\_Lab2\_top ();  bit clk;  bit reset ;  bit[3:0] dout;  always  #50 clk = ~ clk;  initial  begin  clk = 1'b0;  reset = 1'b0;  #500;  reset = 1'b1;  #4000;  $stop;  end  Lab2\_top Lab2\_top\_inst (.\*);  endmodule |

На рис. 2-8 представлено моделирование теста.

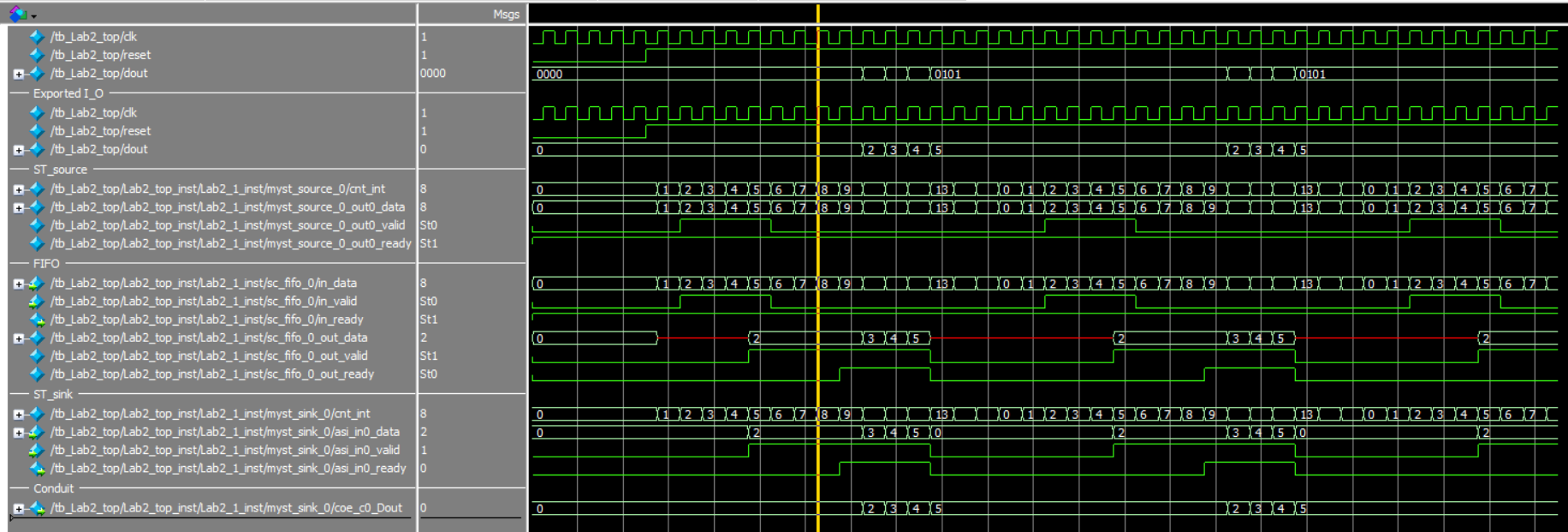


Рис.2-8. Моделирование

## Выводы

В результате были пройдены шаги из презентации для создания макета в Platform Designer.

# Задание lab12

## Задание

Выполнить шаги из примера в презентации.

## Создание макета в Platform Designer

Созданный макет приведен на рис. 3-1.

Изображение выглядит как текст

Автоматически созданное описание

Рис. 3-1. Макет в Platform Designer

Настройки компонентов приведены на рис. 3-2.

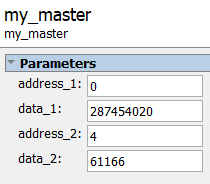


Рис.3-2. Настройка компонента my\_master\_0

## Анализ системы

На рис. 3-3 – 3-5 приведен анализ системы созданной в Platform Designer.

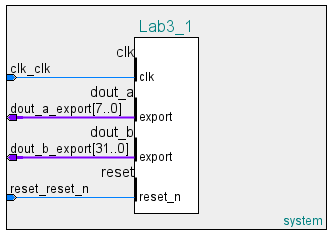


Рис.3-3. Block Symbol

Изображение выглядит как текст

Автоматически созданное описание

Рис.3-4. Show System with Platform Designer Interconnect

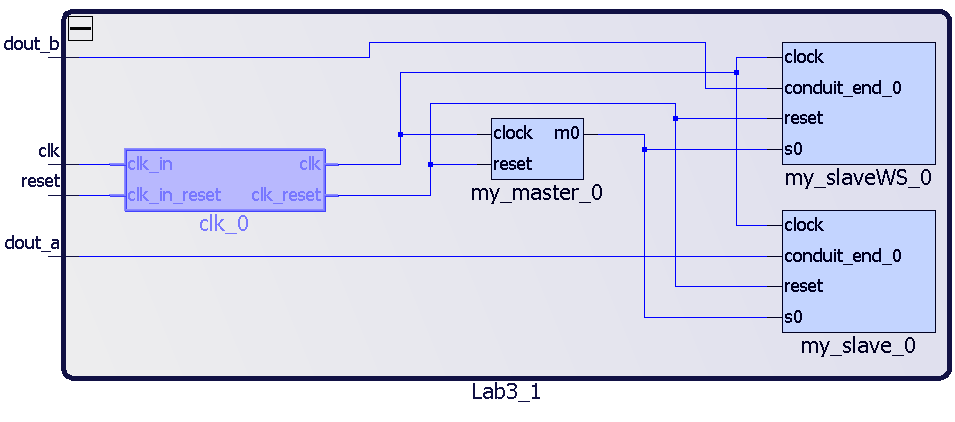


Рис.3-5. Schematic

## Описание на языке System Verilog

Файл описания верхнего уровня приведен в листинге 3-1.

Листинг 3-1. Lab3\_top.sv

|  |
| --- |
| `timescale 1 ns / 1 ns  module Lab3\_top (  input bit clk,  input bit reset,  output bit [7:0] ledA,  output bit [31:0] ledB  );  Lab3\_1 Lab3\_1\_inst (  .clk\_clk (clk),  .reset\_reset\_n (reset),  .dout\_a\_export (ledA),  .dout\_b\_export (ledB)  );  endmodule |

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑6.

Изображение выглядит как стол

Автоматически созданное описание

Рис.3-6. Анализ RTL Viewer

## Моделирование

Для проверки правильности работы созданного System Verilog описания использовались тесты представленные в листингах 3-2:

Листинг 3-2. tb\_Lab2\_top.sv

|  |
| --- |
| `timescale 1 ns / 1 ns  module tb\_Lab3\_top ();  bit clk;  bit reset;  bit[7:0] ledA;  bit[31:0] ledB;  always #50 clk = ~ clk;  initial  begin  clk = 1'b0;  reset = 1'b0;  #200;  reset = 1'b1;  #1000;  $stop;  end  Lab3\_top Lab3\_top\_inst (.\*);  endmodule |

На рис. 3-7 представлено моделирование теста.

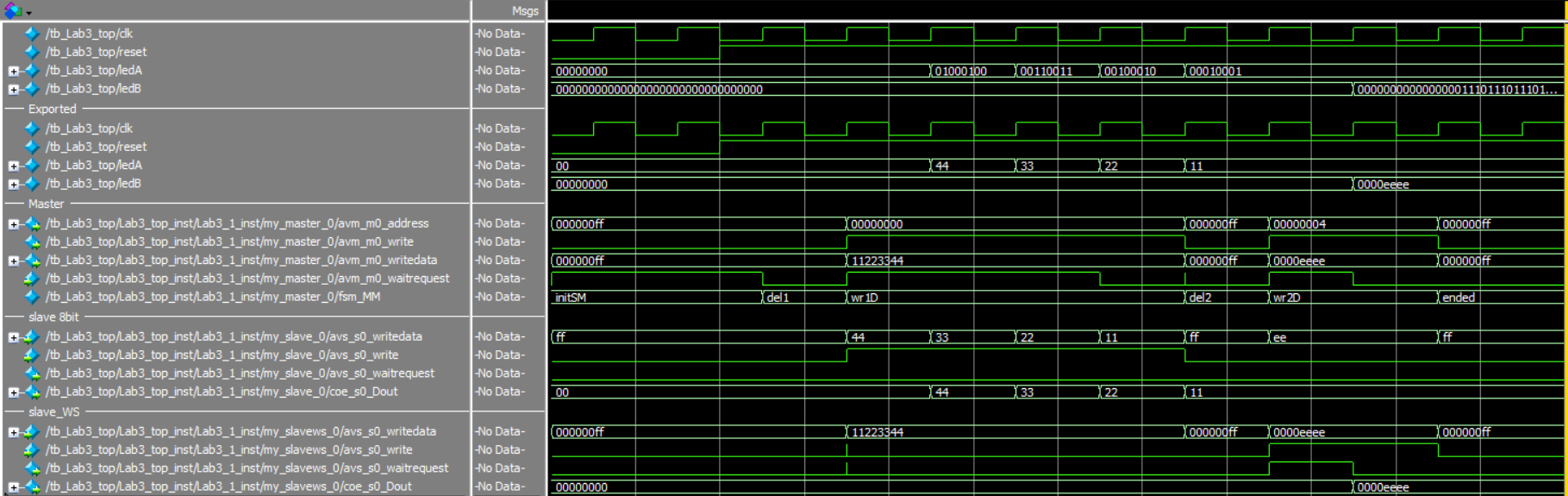


Рис.3-7. Моделирование

## Выводы

В результате были пройдены шаги из презентации для создания макета в Platform Designer.

# Задание lab13

## Задание

Выполнить шаги из примера в презентации.

## Создание макета в Platform Designer

Созданный макет приведен на рис. 4-1.

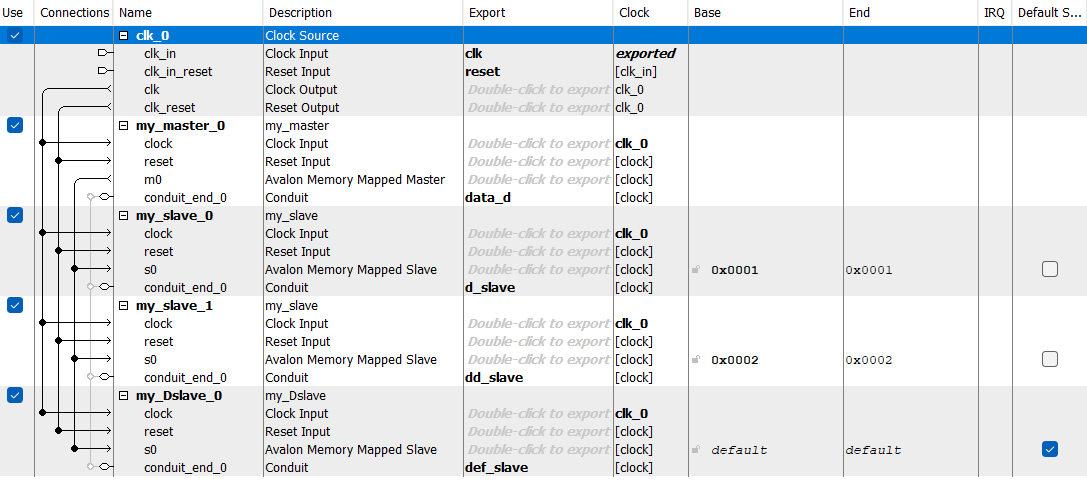


Рис. 4-1. Макет в Platform Designer

## Анализ системы

На рис. 4-3 – 4-5 приведен анализ системы созданной в Platform Designer.

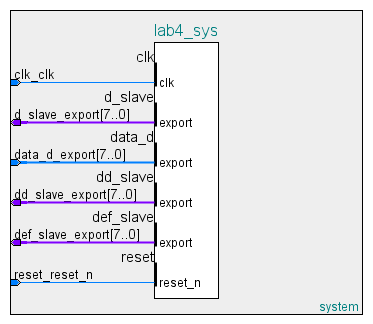


Рис.4-3. Block Symbol

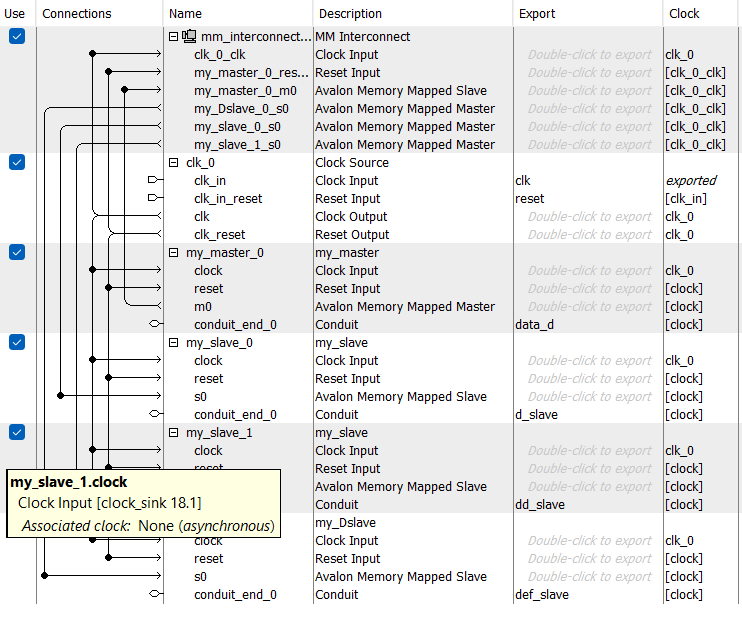


Рис.4-4. Show System with Platform Designer Interconnect

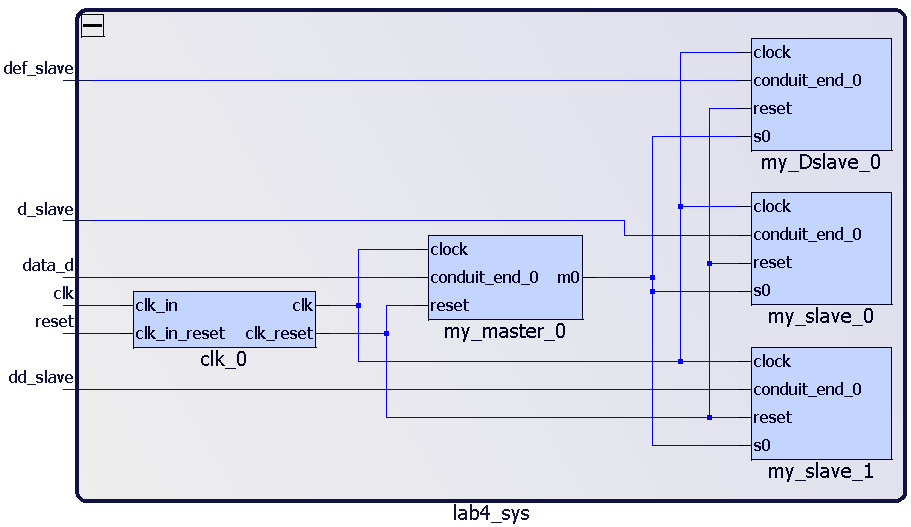


Рис.4-5. Schematic

## Описание на языке System Verilog

Файл описания верхнего уровня приведен в листинге 4-1.

Листинг 4-1. Lab3\_top.sv

|  |
| --- |
| `timescale 1 ns / 1 ns  module Lab4\_sys\_top (  input bit clk,  input bit reset,  input bit [7:0] data\_d,  output bit [7:0] dd\_slave,  output bit [7:0] d\_slave,  output bit [7:0] def\_slave  );  lab4\_sys Lab4\_sys\_inst (  .clk\_clk (clk),  .reset\_reset\_n (reset),  .def\_slave\_export (def\_slave),  .dd\_slave\_export (dd\_slave),  .d\_slave\_export (d\_slave),  .data\_d\_export (data\_d)  );  endmodule |

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 4‑6.

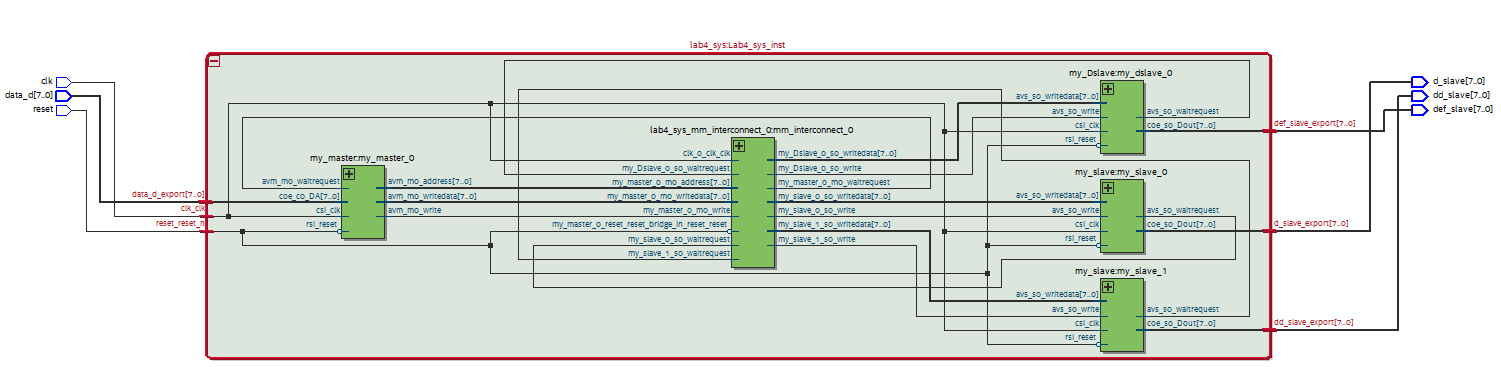


Рис.4-6. Анализ RTL Viewer

## Моделирование

Для проверки правильности работы созданного System Verilog описания использовались тесты представленные в листингах 4-2:

Листинг 4-2. tb\_Lab2\_top.sv

|  |
| --- |
| `timescale 1 ns / 1 ns  module tb\_Lab4\_sys\_top ();  bit clk;  bit reset ;  bit [7:0] data\_d;  bit [7:0] dd\_slave;  bit [7:0] d\_slave;  bit [7:0] def\_slave;  assign data\_d = 8'd1;  always #50 clk = ~ clk;  initial  begin  clk = 1'b0;  reset = 1'b0;  #200;  reset = 1'b1;  #4000;  $stop;  end  Lab4\_sys\_top Lab4\_sys\_top\_inst (.\*);  endmodule |

На рис. 4-7 представлено моделирование теста.

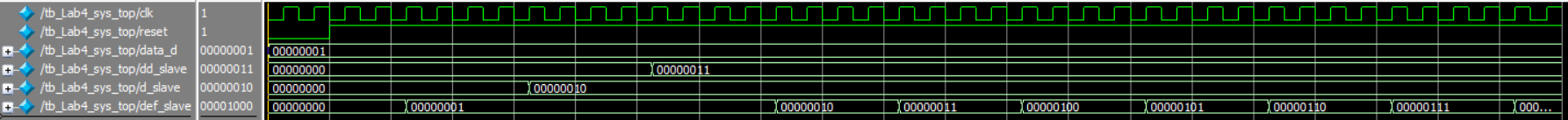


Рис.4-7. Моделирование

## Выводы

В результате были пройдены шаги из презентации для создания макета в Platform Designer.