САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

По Курсовой работе

задание lab4

Дисциплина

«Средства проектирования аппаратуры цифровой обработки сигналов»

выполнил:

Курякин Д. А

группа:

преподаватель:

Антонов А. П.

Санкт-Петербург

2022

Оглавление

[1 Задание lab4\_1 3](#_Toc106722110)

[1.1 Задание 3](#_Toc106722111)

[1.2 Описание на языке Verilog 4](#_Toc106722112)

[1.3. Моделирование 5](#_Toc106722113)

[1.3 Описание модуля верхнего уровня 8](#_Toc106722114)

[1.4 Результат синтеза (RTL) 11](#_Toc106722115)

[1.5 Назначение выводов СБИС 12](#_Toc106722116)

[1.6 Результаты работы на плате 12](#_Toc106722117)

[1.7 Выводы 13](#_Toc106722118)

[2 Задание lab4\_2 14](#_Toc106722119)

[2.1 Задание 14](#_Toc106722120)

[2.2 Описание на языке Verilog 14](#_Toc106722121)

[1.3. Моделирование 16](#_Toc106722122)

[2.1 Описание модуля верхнего уровня 19](#_Toc106722123)

[2.2 Результат синтеза (RTL) 22](#_Toc106722124)

[2.3 Моделирование 23](#_Toc106722125)

[2.4 Назначение выводов СБИС 26](#_Toc106722126)

[2.5 Отладка 26](#_Toc106722127)

[2.6 Выводы 27](#_Toc106722128)

# Задание lab4\_1

## Задание

На языке Verilog опишите без знаковый делитель с повышенной точностью (4 знака после запятой). Разрядность чисел – параметр N.

**Выводы модуля:**

Входы

* CLK – тактовый вход
* ENA – вход разрешения работы
* RST – вход асинхронного сброса всех регистров проекта.
* [N-1:0] D - Делимое
* [N-1:0] DD - Делитель

Выходы

* [N-1:0] RES
* [3:0] REM

**Требования к модулю.**

* На входах и выходах данных должны быть использованы регистры с входами сброса и разрешения работы.
* Входы ENA и RST должны быть синхронизированы (использовать два последовательно включенных триггера).

**Моделирование:**

* Значение параметра N = 8
* Разработать тест класса 1 (tb1\_Lab4\_1.v) и провести моделирование.
* значения входов, выходов и время записывать в файл используя любую команду, данные должны быть отформатированы для удобного чтения. Имя файла – tb1\_lab4\_1.dat
* Разработать тест класса 2 – входные и ожидаемые данные хранятся во внешних файлах (tb2\_Lab4\_1.v) и провести моделирование.

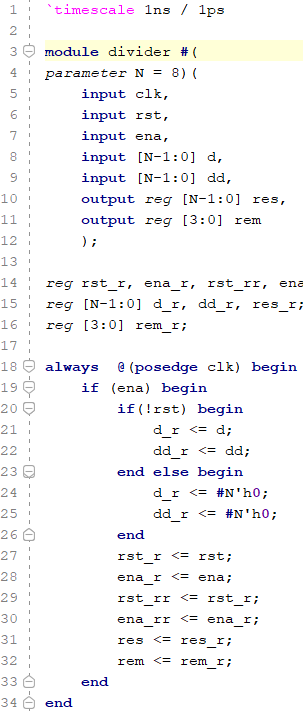
**Отладка**

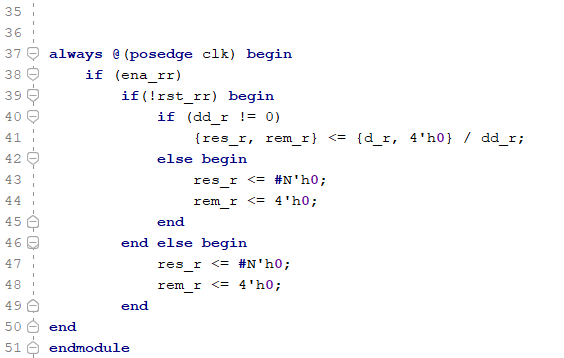
* Значение параметра N = 8
* С помощью In System Source and Probe и Signal Tap II провести отладку на плате, зафиксировать результаты, продемонстрировать преподавателю. Для синхронизации Signal Tap II использовать удвоенную частоту CLK.

## Описание на языке Verilog

Опишем без знаковый делитель с повышенной точностью. Описание устройства на языке Verilog приведено ниже на листинге 1-1. В строках 5-11 обвялены входные и выходные значения; в строках 18-34 задана присвоение в регистры; в строках 37-50 заданно деление.

Листинг 1-1. divider.v

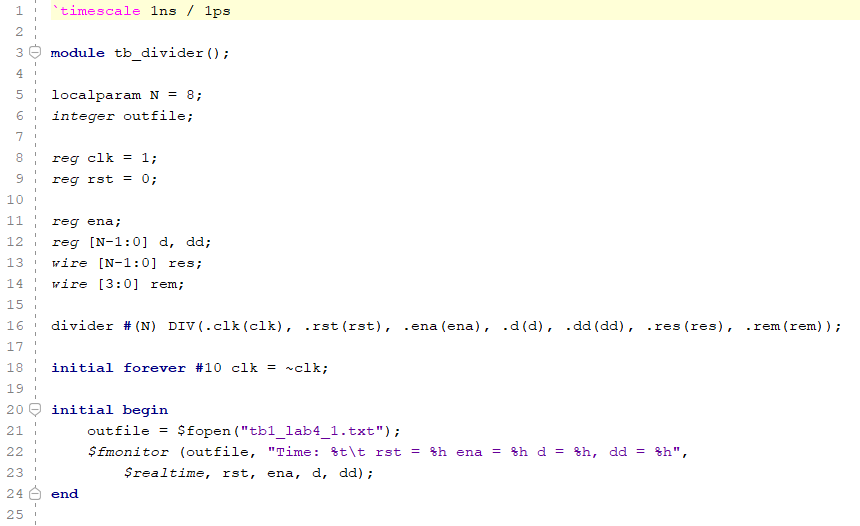


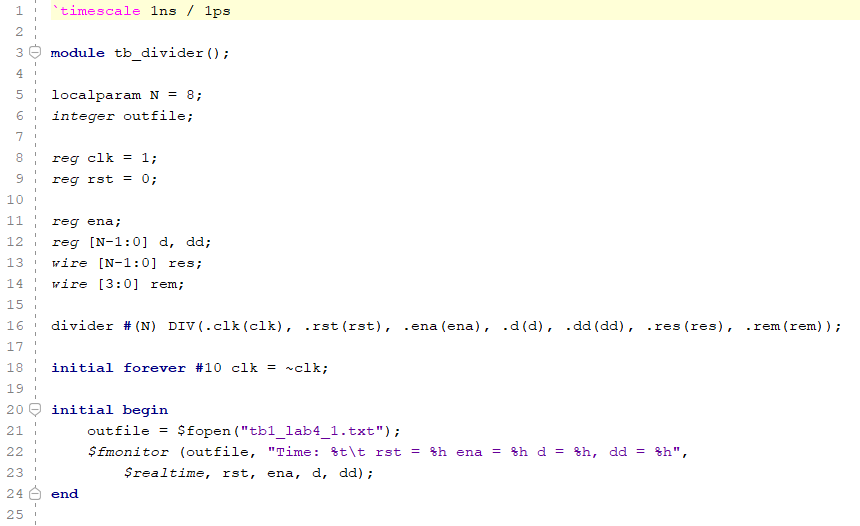


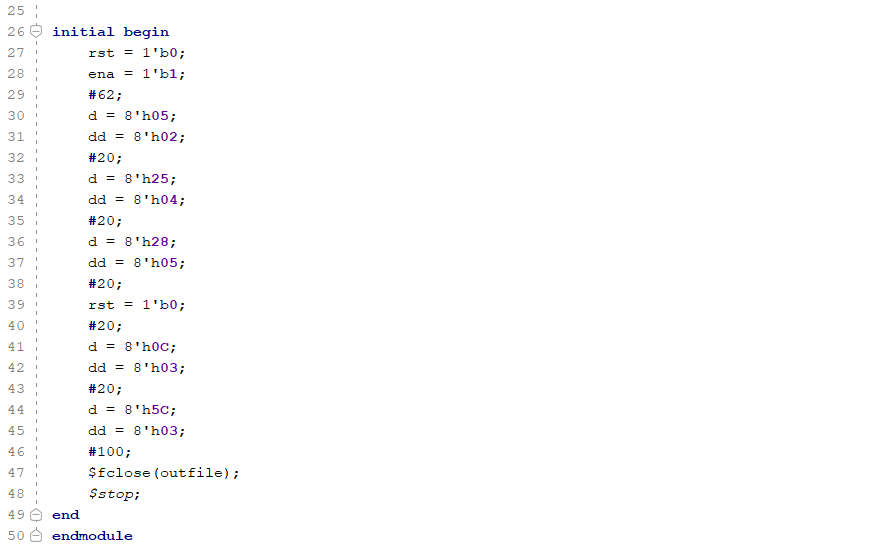
## Моделирование

Для проверки правильности работы созданного Verilog описания напишем тесты первого и второго уровня с проверкой из файла. В строках 5-14 обвялены входные и выходные значения; в строке 16 задана инициализация моделируемого модуля генератора данных; в строках 20-24 задано открытие файла для записи; в строках 26-49 создание данных для проверки устройства. Используемый тест первого уровня представлен в листинге 1-3. Результаты моделирования представлены на рис. 1-1.

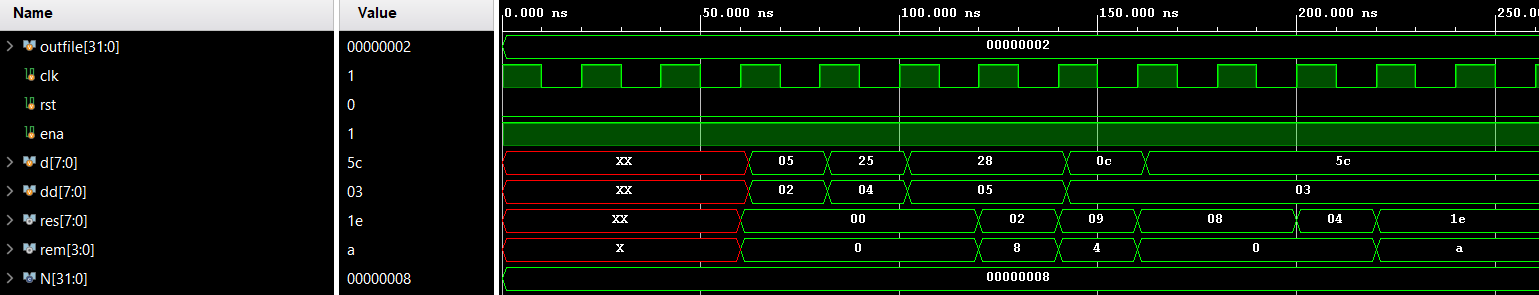
Листинг 1-3. tb\_divider.v







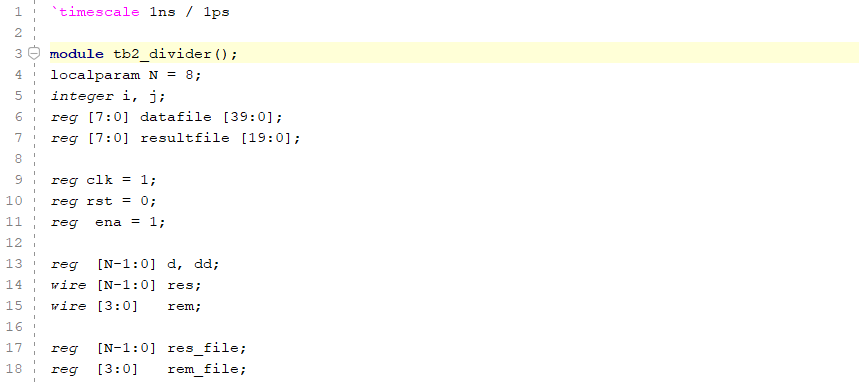
После запуска теста были получены результаты. Результаты моделирования представлены на рис. 1-1.

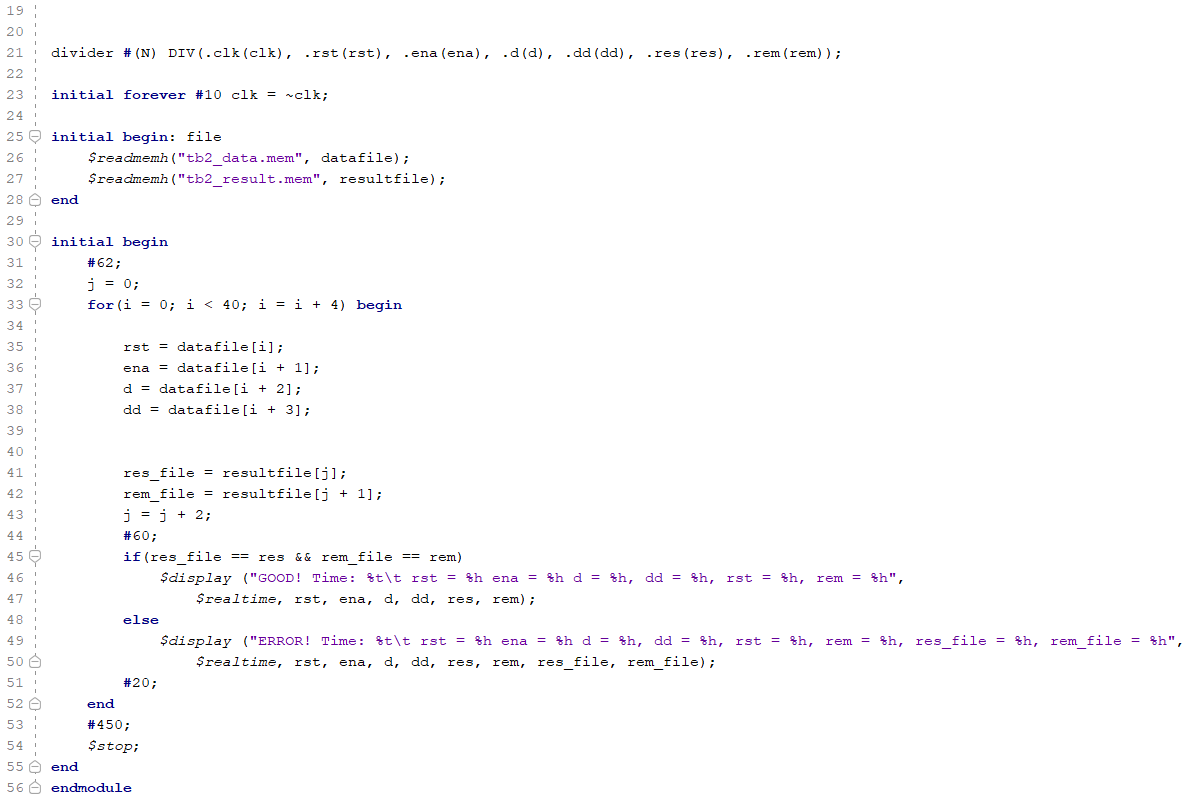


*Рис. 1-1. Результаты моделирования tb\_divider*

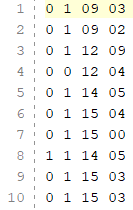
Используемый тест второго уровня представлен в листинге 1-4. В строках 5-18 обвялены входные и выходные значения; в строке 21 задана инициализация моделируемого модуля генератора данных; в строках 25-28 задана чтение файлов инициализации; в строках 30-55 создание данных для проверки устройства. Результаты моделирования представлены на рис. 1-4.

Листинг 1-4. tb2\_divider.v





Файлы инициализации входных данных и результата представлены на рис. 1-2 – 1-3

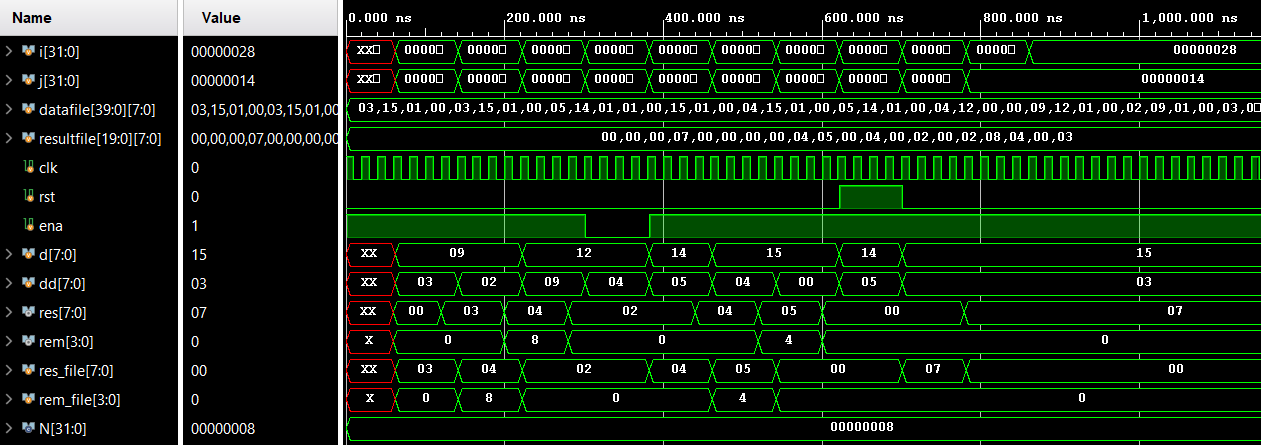


*Рис. 1-2. Инициализация файла data.mem*



*Рис. 1-3. Инициализация файла result.mem*

После запуска теста были получены результаты. Результаты моделирования представлены на рис. 1-4.



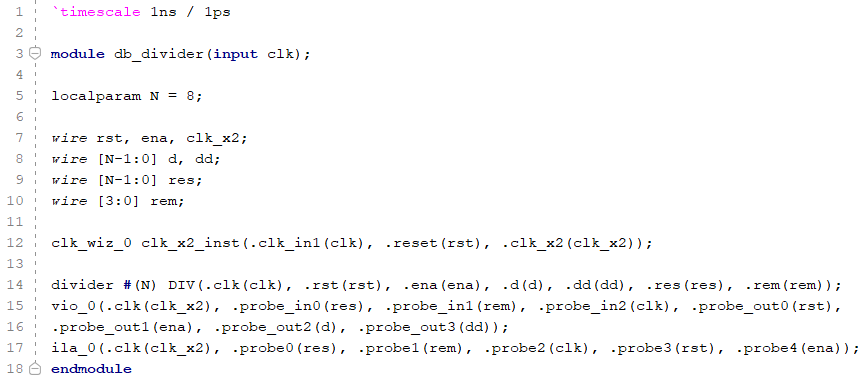
*Рис. 1-4. Результаты моделирования tb2\_divider*

В результате было доказанна работоспособность системы.

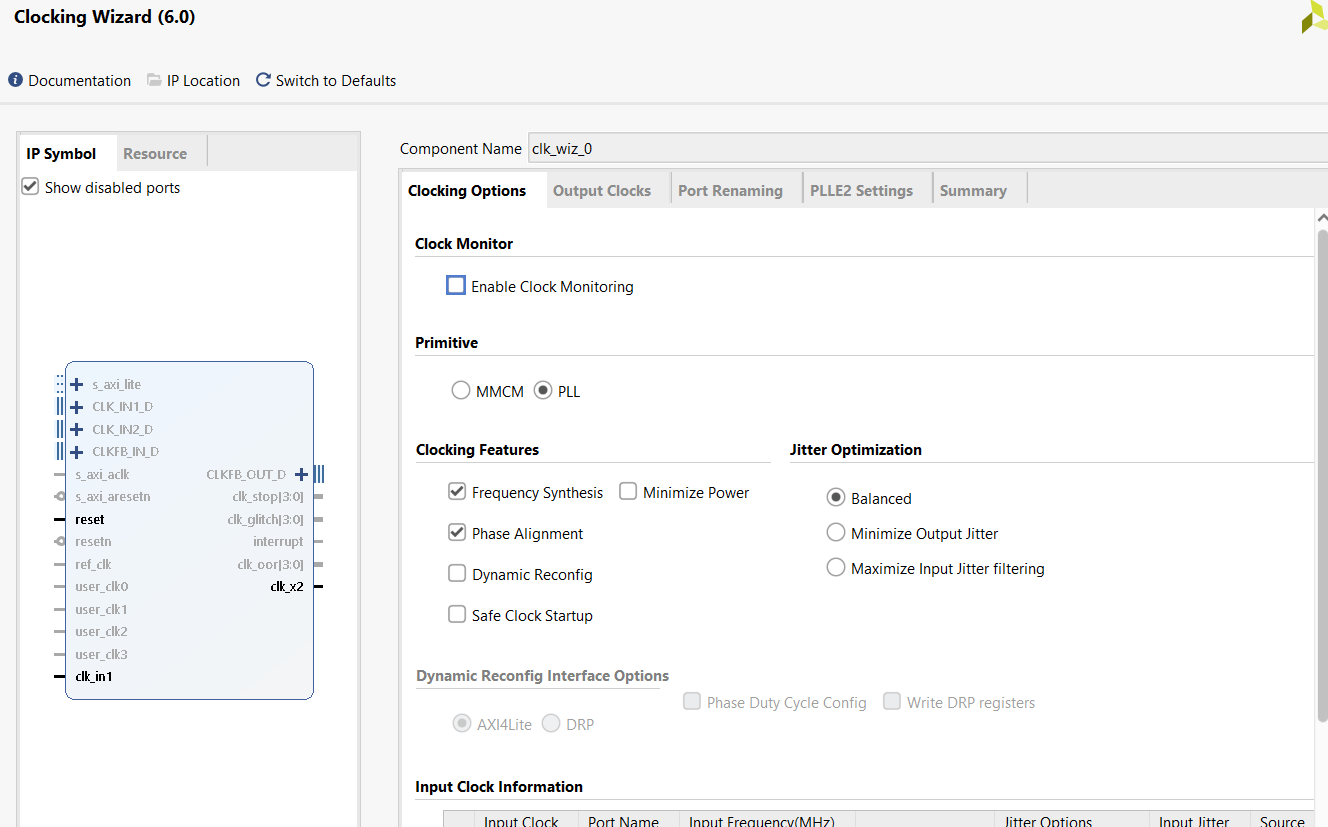
## Проверка работы на плате

В листинге 1-5 показан модуль верхнего уровня для проверки на плате.

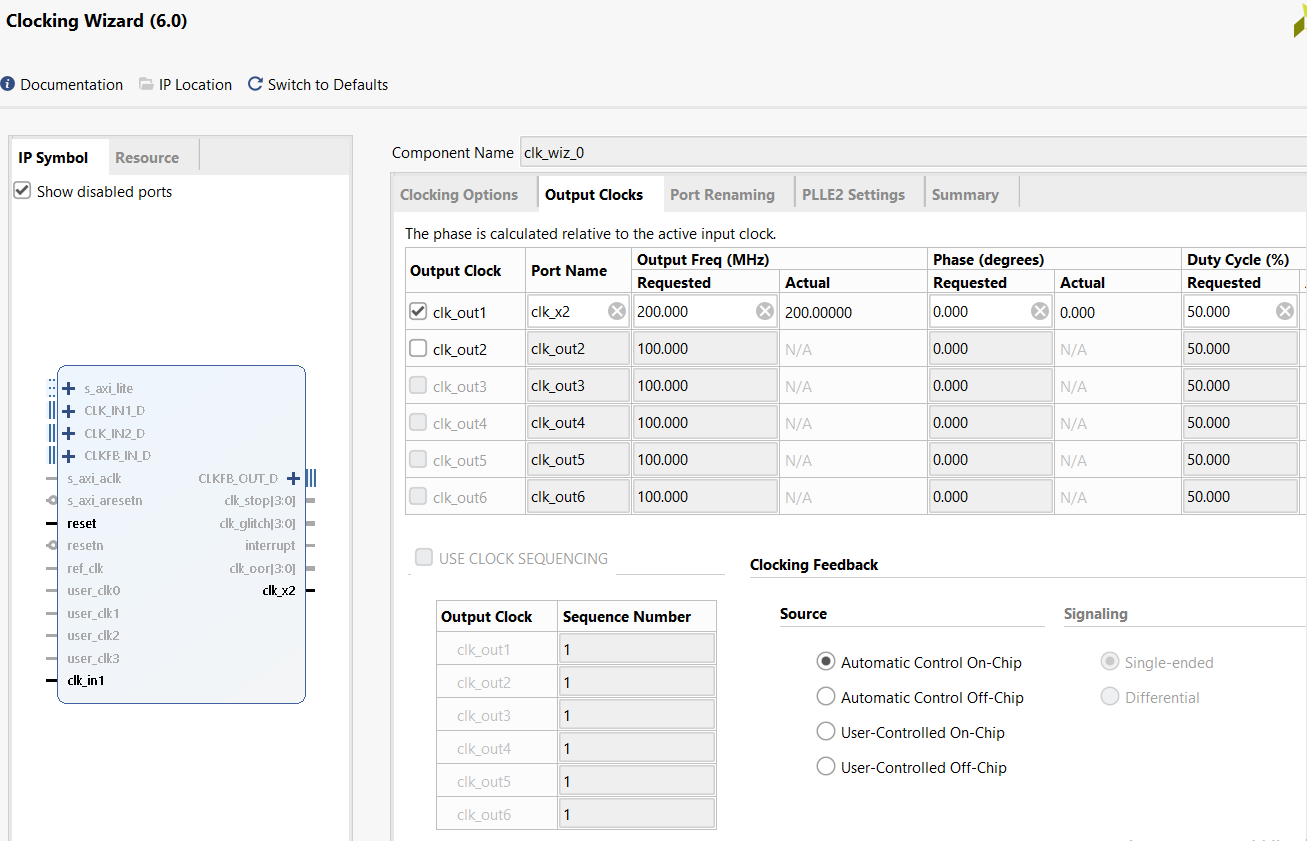
Листинг 1-5. db\_divider.v



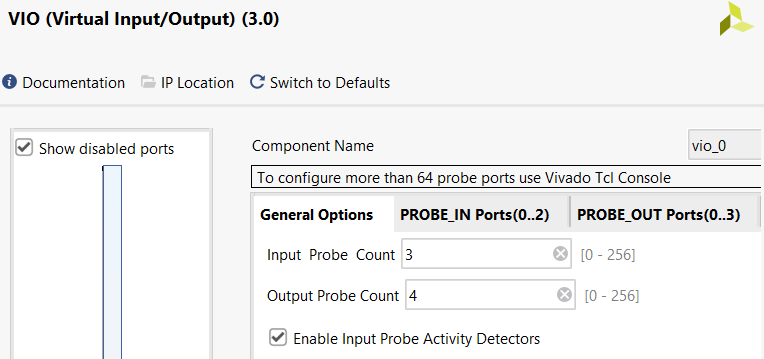
На рис. 1-5 – 1-11 приведены настройки ip ядер.



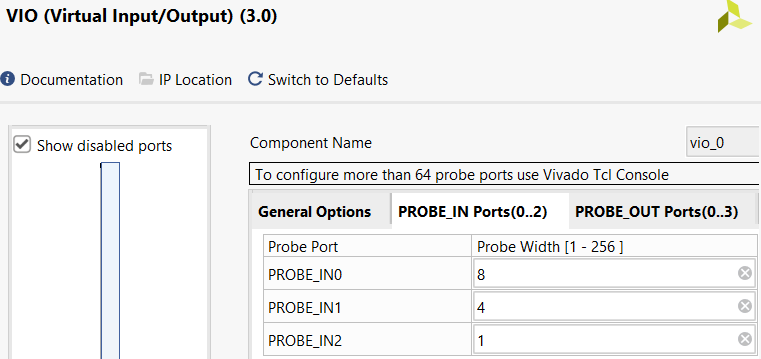
*Рис. 1-5. Настройка clocking wizard. Clocking Options*



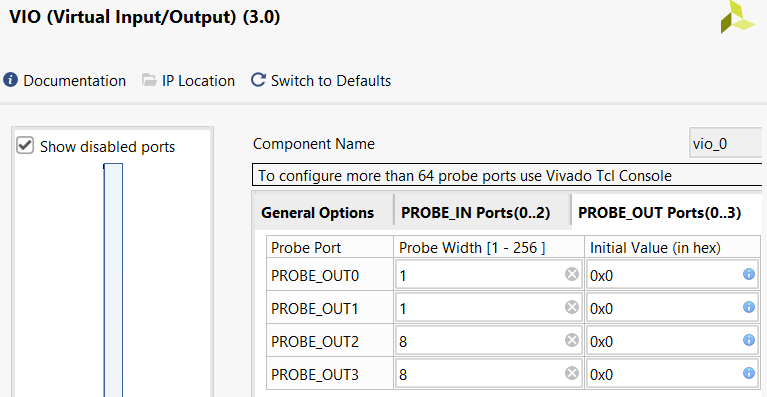
*Рис. 1-6. Настройка clocking wizard. Output Clocks*



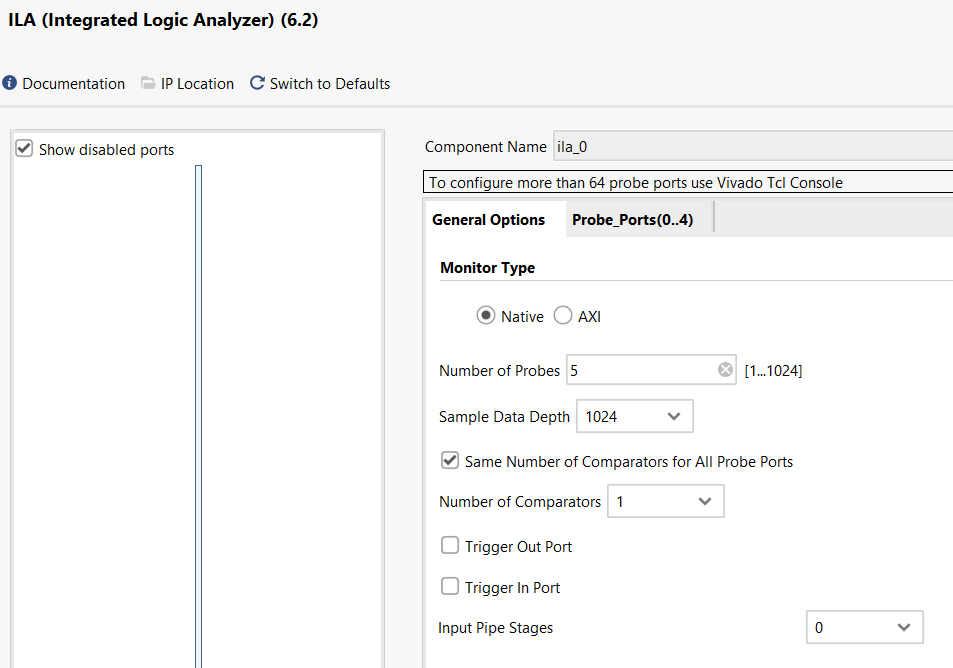
*Рис. 1-7. Настройка VIO. General*



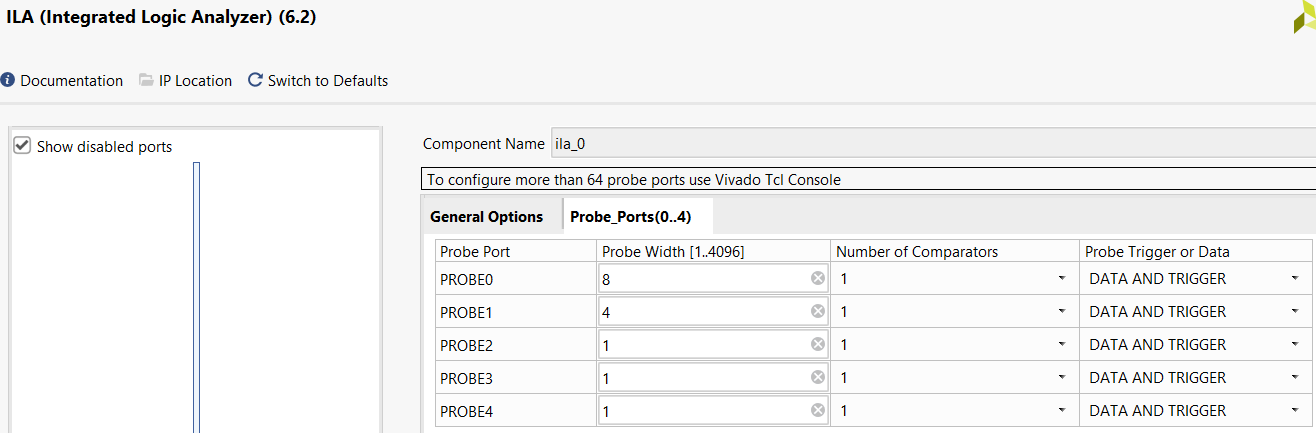
*Рис. 1-8. Настройка VIO. Inputs*



*Рис. 1-9. Настройка VIO. Output*



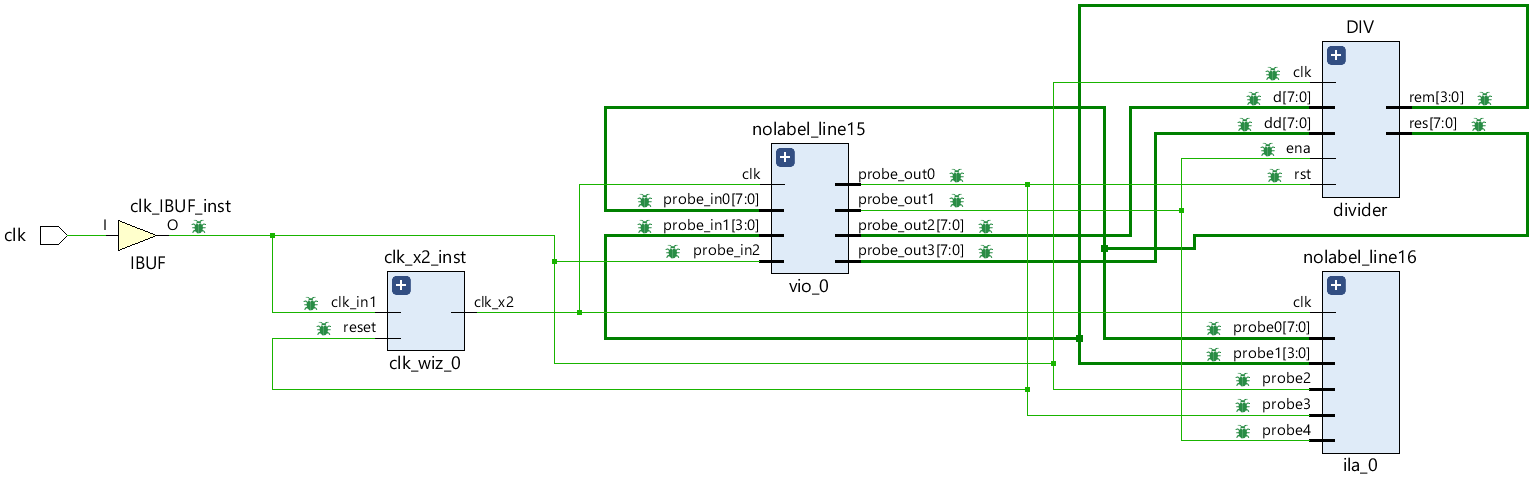
*Рис. 1-10. Настройка ILA. General*



*Рис. 1-11. Настройка ILA. Inputs*

## Результат синтеза (RTL)

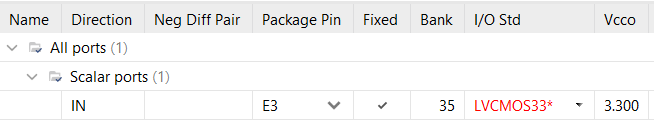
Результат синтеза описания на языке Verilog приведен ниже, на Рис. 1‑12.



*Рис. 1-12. RTL схема*

## Назначение выводов СБИС

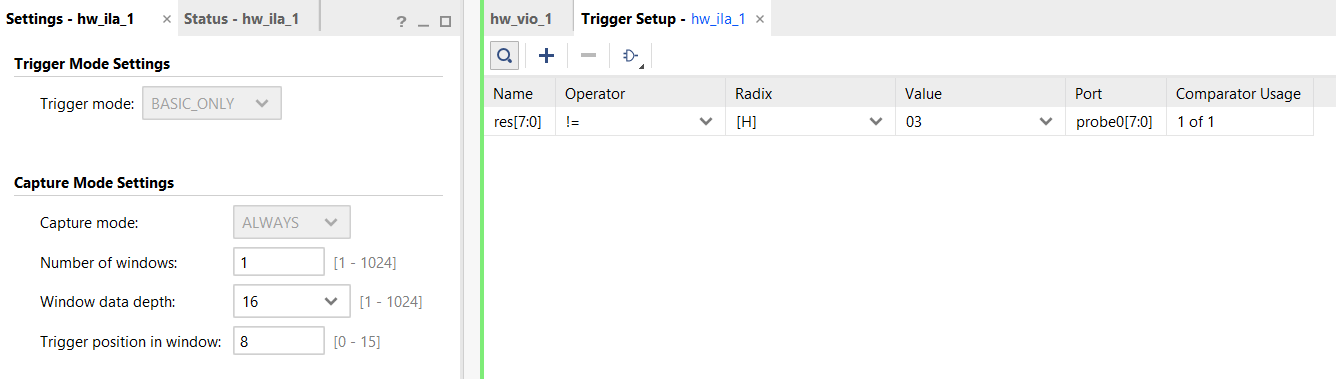
Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 1‑13



*Рис. 1‑13 Назначение выводов*

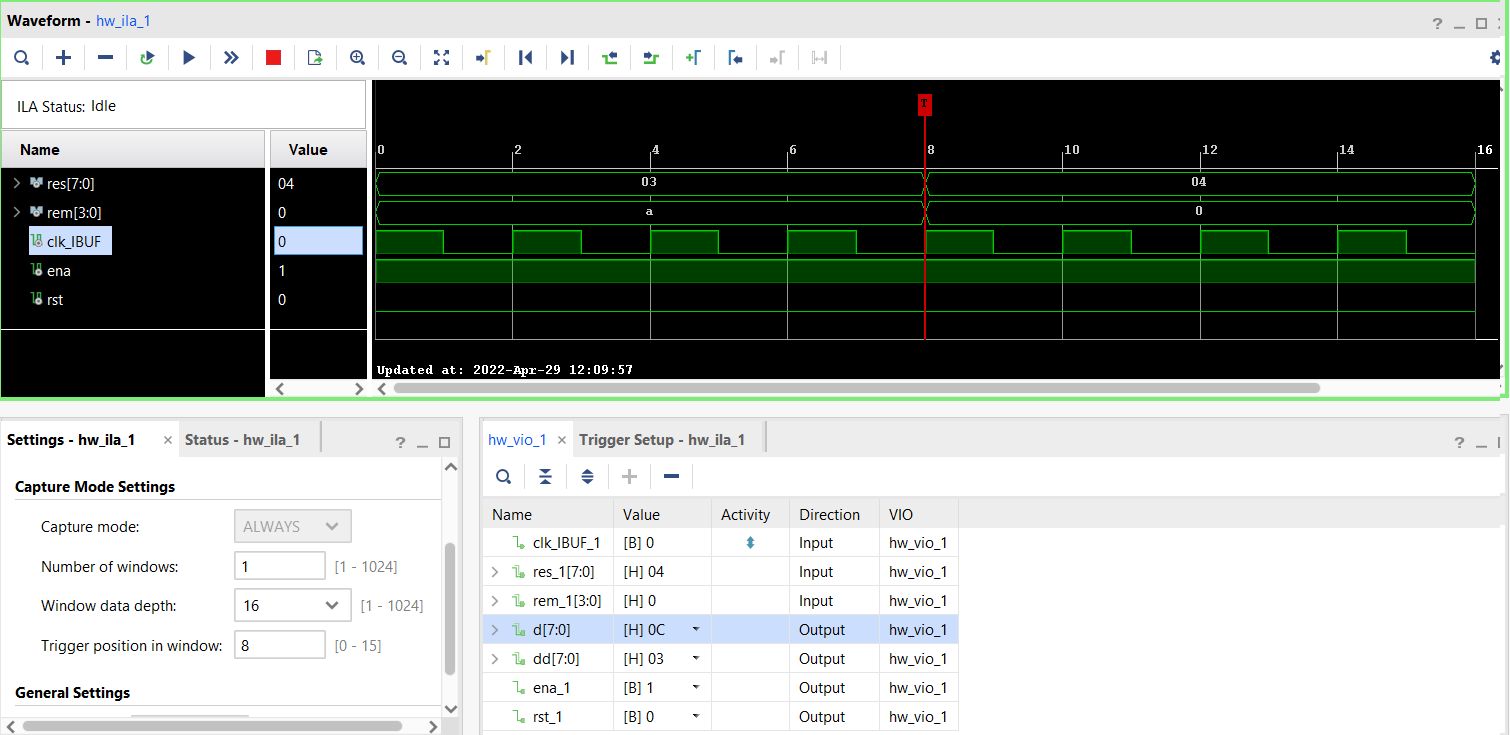
## Результаты работы на плате

Для проверки на плате установим в настройках размер окна 16 и установим триггер на res равный 3.



*Рис. 1-14. Настройки проекта*

На рис 1-15 приведена отладка проекта.



*Рис. 1-15. Отладка проекта.*

## Выводы

В результате был создан проект по требуемому заданию.

# Задание lab4\_2

## Задание

На языке Verilog опишите устройство сортировки 4-х чисел (числа N-разрядные, знаковые). Разрядность чисел N – параметр.

**Выводы модуля:**

Входы

* CLK – тактовый вход
* ENA – вход разрешения работы
* RST – вход асинхронного сброса регистров проекта.
* [N:0] D [3:0] - входные данные

Выходы

* [N:0] RES [3:0] - входные данные (большее число в слове [N:0] RES [3])

**Требования к модулю.**

На входах и выходах данных должны быть использованы регистры с входами сброса и разрешения работы.

Входы ENA и RST должны быть синхронизированы (использовать два последовательно включенных триггера).

**Моделирование:**

* Значение параметра N = 16
* Разработать тест класса 1 (tb1\_Lab4\_2.v) и провести моделирование. Значения входов, выходов и время записывать в файл используя любую команду, данные должны быть отформатированы для удобного чтения. имя файла – tb1\_lab4\_2.dat
* Разработать тест класса 2 – входные и ожидаемые данные хранятся во внешних файлах (tb2\_Lab4\_2.v) и провести моделирование.

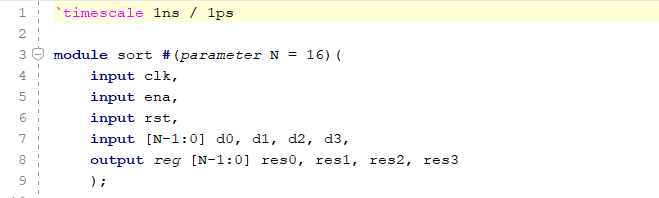
**Отладка**

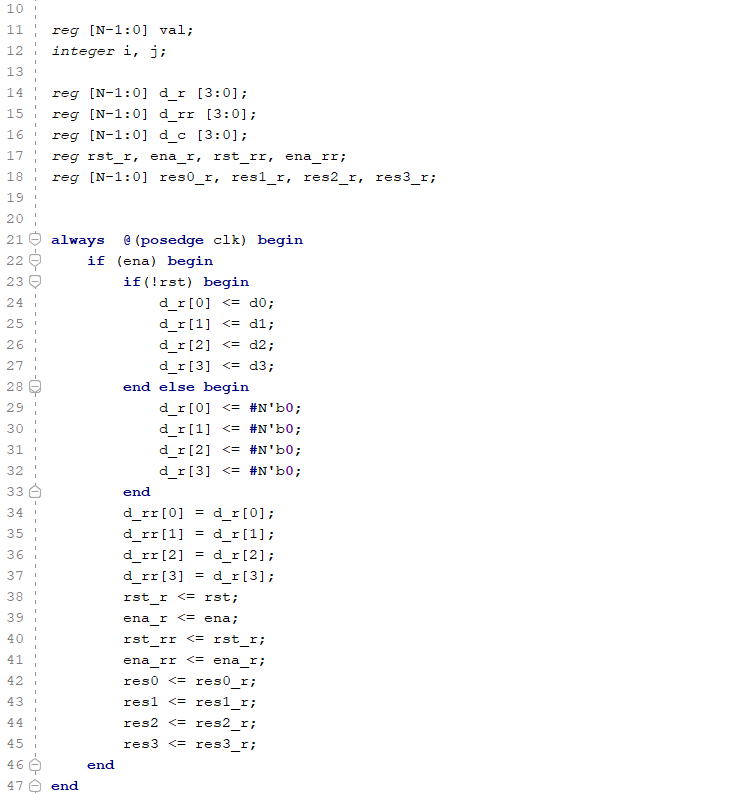
* Значение параметра N = 16
* С помощью In System Source and Probe и Signal Tap II провести отладку на плате, зафиксировать результаты, продемонстрировать преподавателю. Для синхронизации Signal Tap II использовать удвоенную частоту CLK.

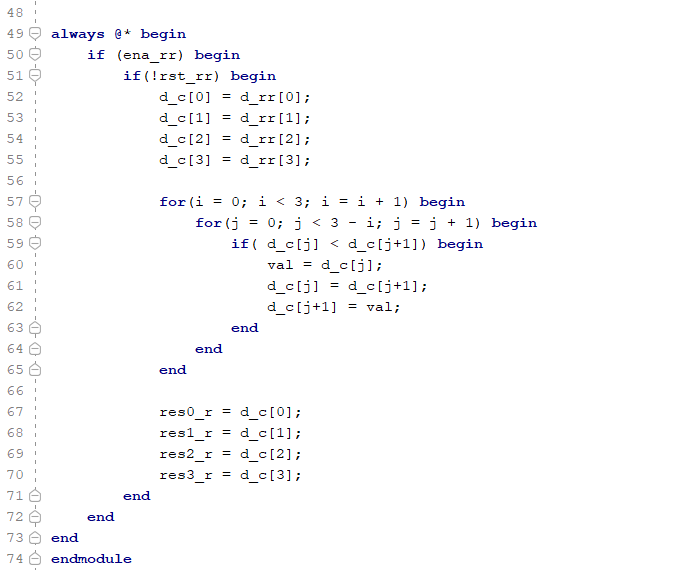
## Описание на языке Verilog

Опишем устройство сортировки 4-х чисел. Описание устройства на языке Verilog приведено ниже на листинге 2-1. В строках 4-8 обвялены входные и выходные значения; в строках 21-46 задана присвоение в регистры; в строках 49-73 задана сортировка.

Листинг 2-1. sort.v



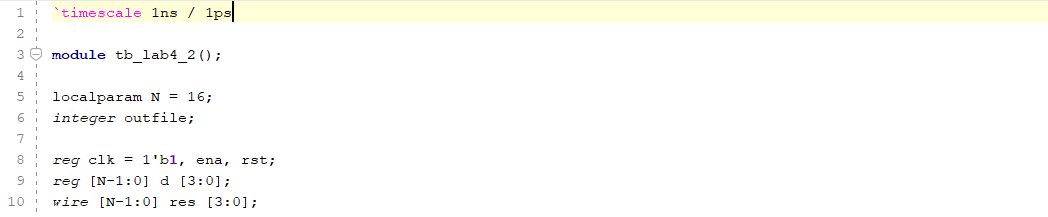


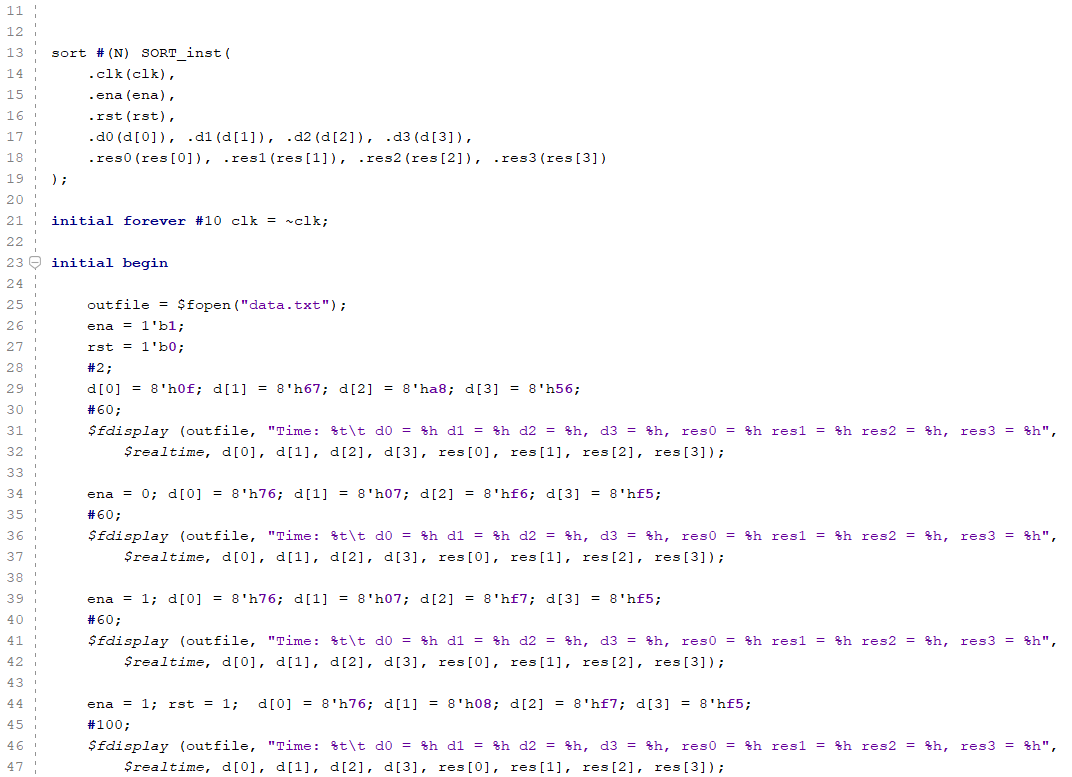


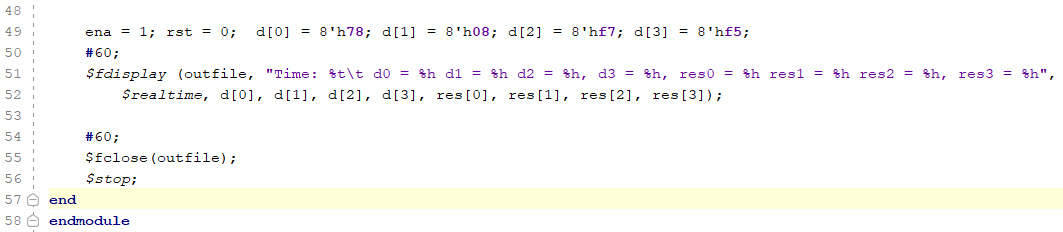
## Моделирование

Для проверки правильности работы созданного Verilog описания напишем тесты первого и второго уровня с проверкой из файла. В строках 5-10 обвялены входные и выходные значения; в строке 13 задана инициализация моделируемого модуля генератора данных; в строках 23-57 создание данных для проверки устройства. Используемый тест первого уровня представлен в листинге 2-3. Результаты моделирования представлены на рис. 2-1.

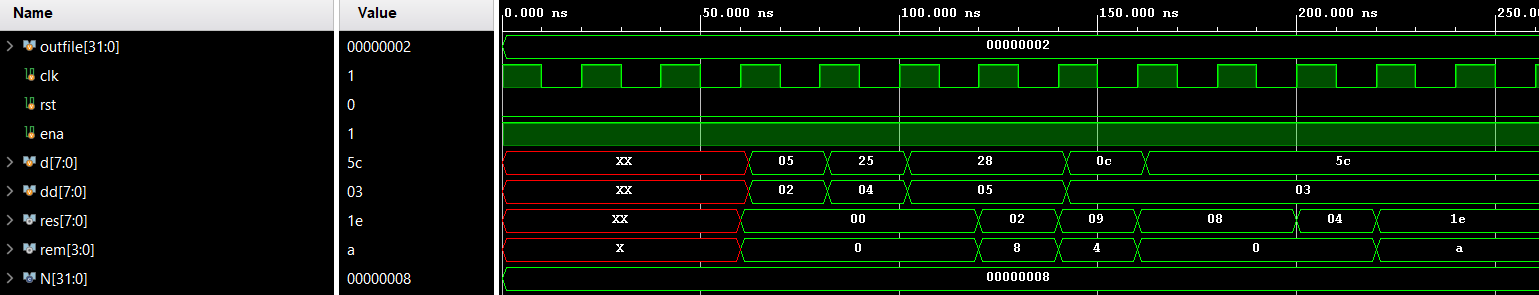
Листинг 2-3. tb\_lab4\_2.v







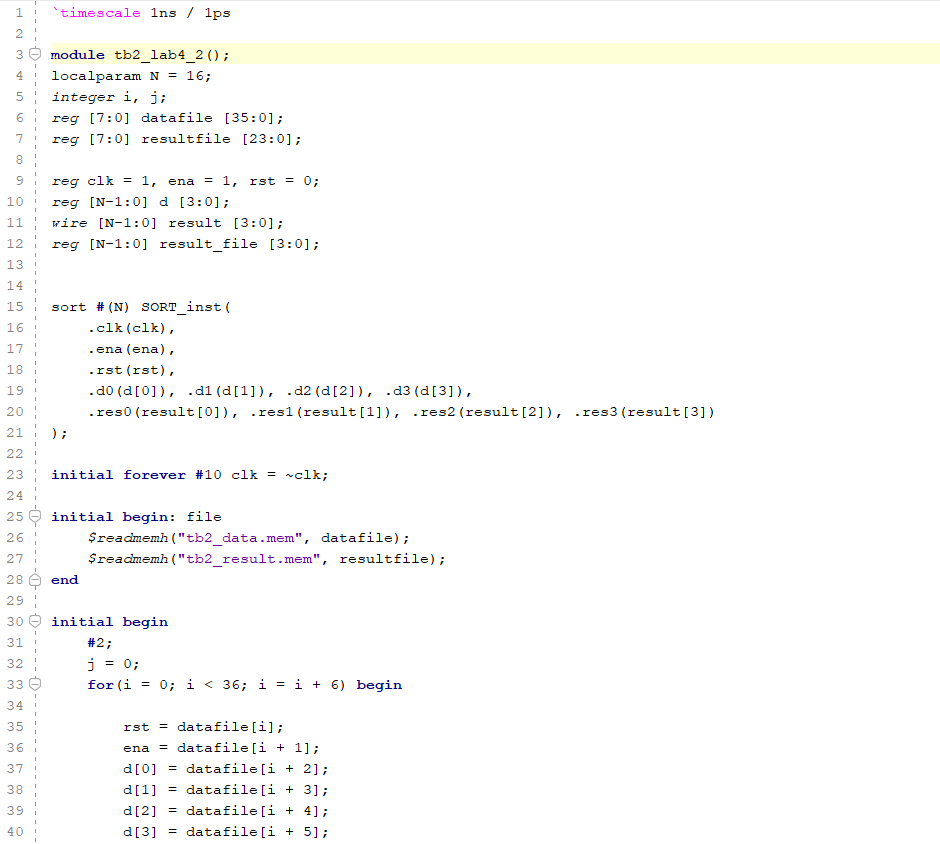
После запуска теста были получены результаты. Результаты моделирования представлены на рис. 2-1.

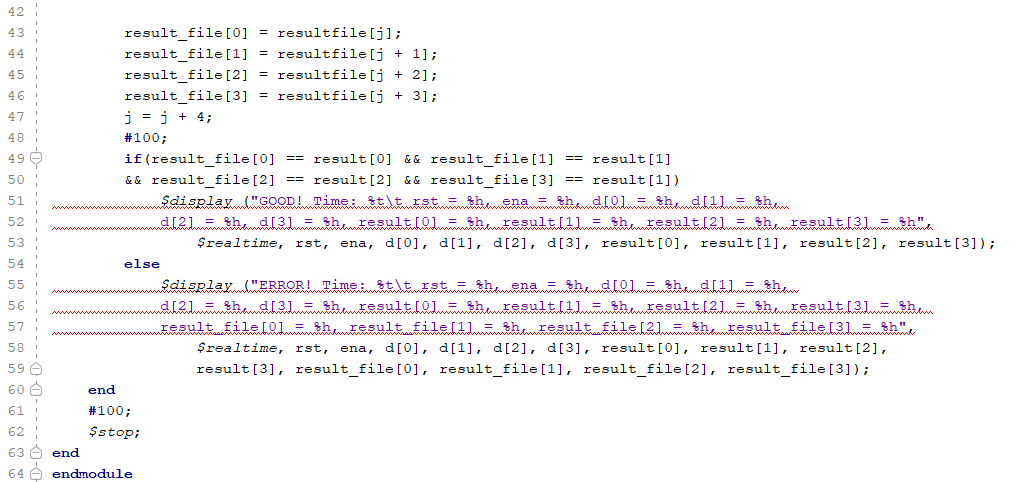


*Рис. 2-1. Результаты моделирования tb\_lab4\_2*

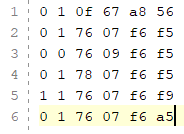
Используемый тест первого уровня представлен в листинге 2-4. В строках 5-12 обвялены входные и выходные значения; в строке 15-21 задана инициализация моделируемого модуля генератора данных; в строках 25-28 задана чтение файлов инициализации; в строках 30-64 создание данных для проверки устройства. Результаты моделирования представлены на рис. 2-4.

Листинг 2-4. tb2\_lab4\_2.v

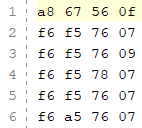




Файлы инициализации входных данных и результата представлены на рис. 2-2 – 2-3

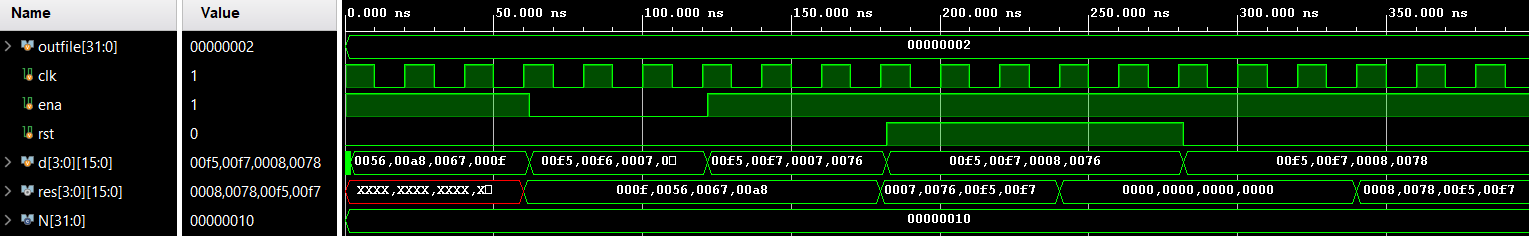


*Рис. 2-2. Инициализация файла data.mem*



*Рис. 2-3. Инициализация файла result.mem*

После запуска теста были получены результаты. Результаты моделирования представлены на рис. 2-4.

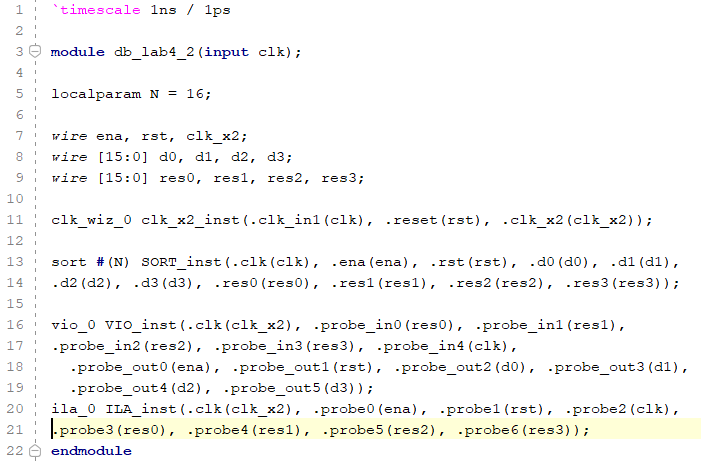


*Рис. 2-4. Результаты моделирования tb\_divider*

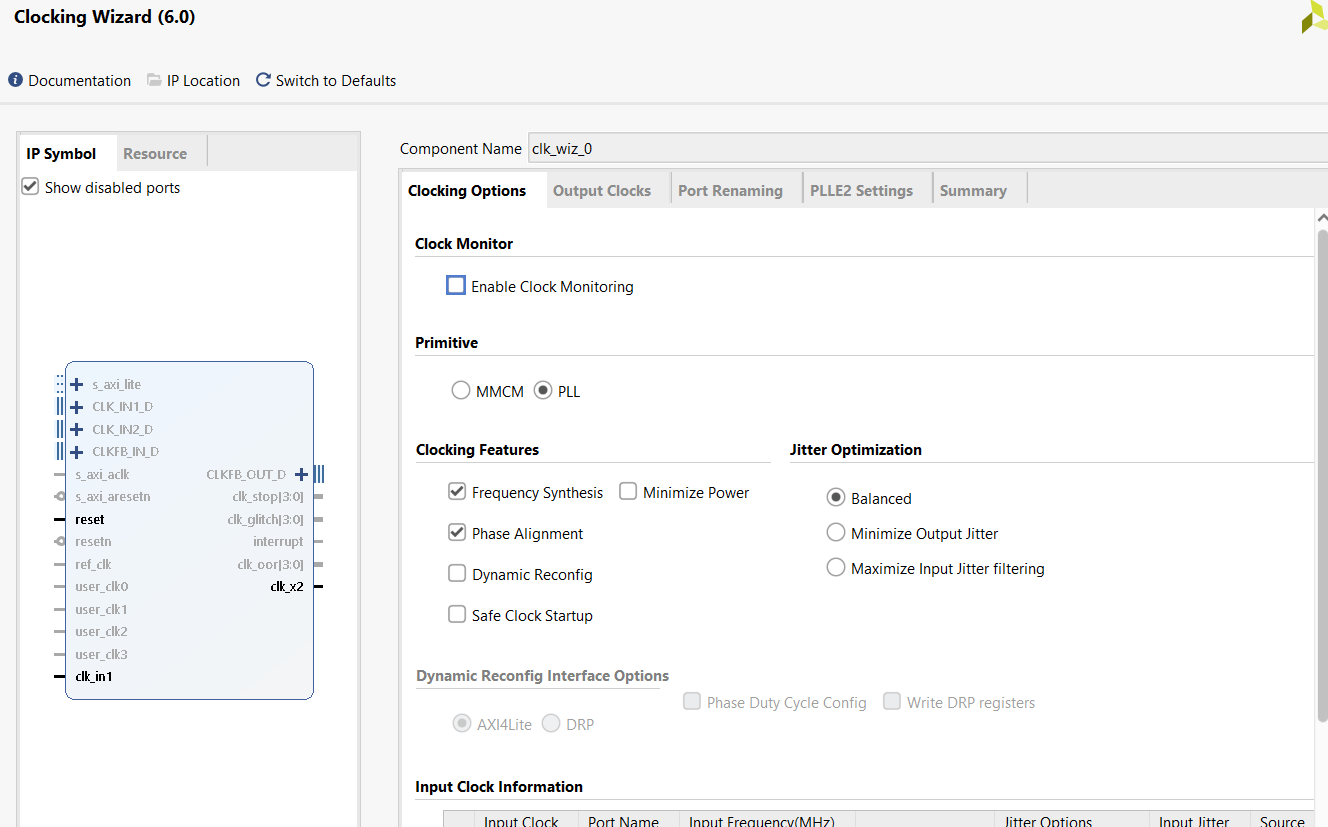
## Проверка работы на плате

В листинге 1-2 показан модуль верхнего уровня для проверки на плате.

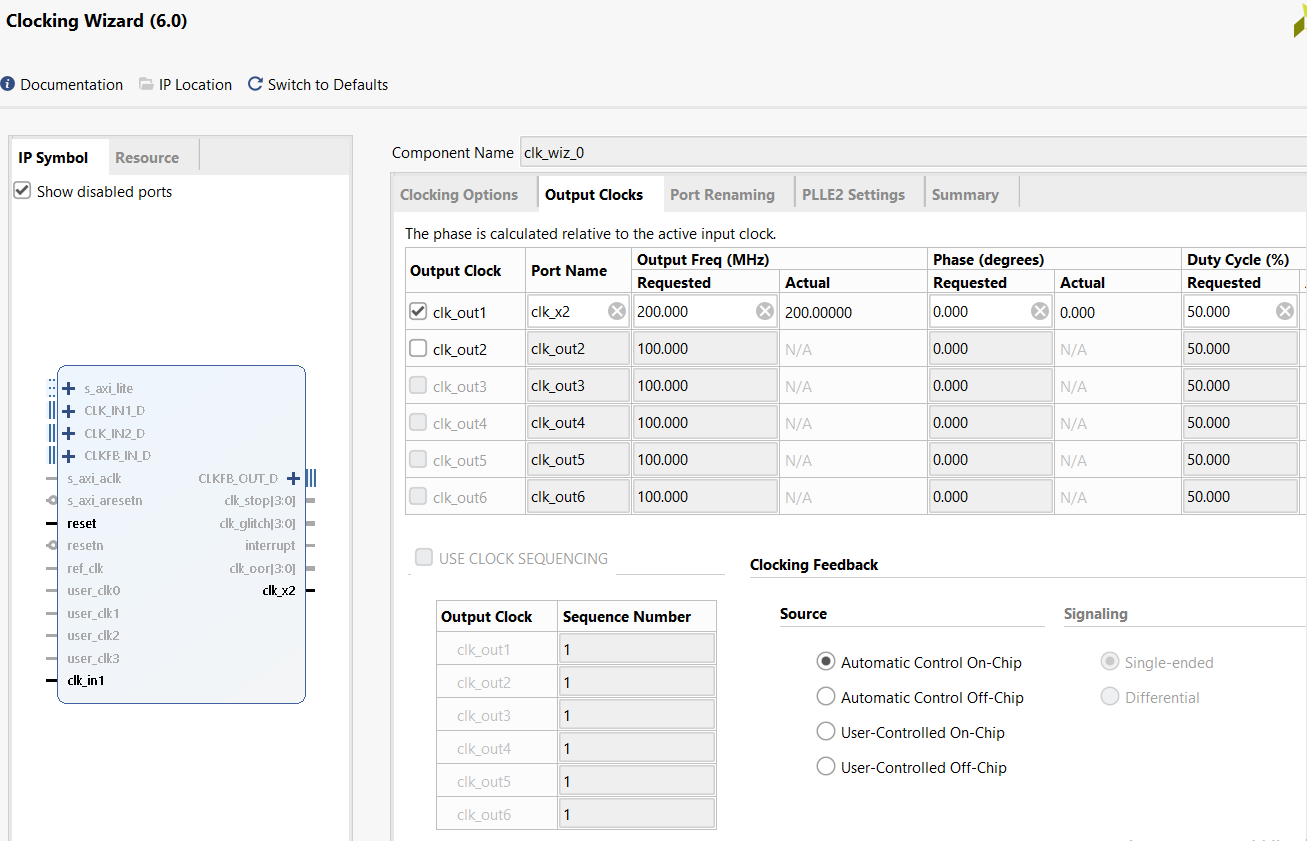
Листинг 2-5. db\_lab4\_2.v



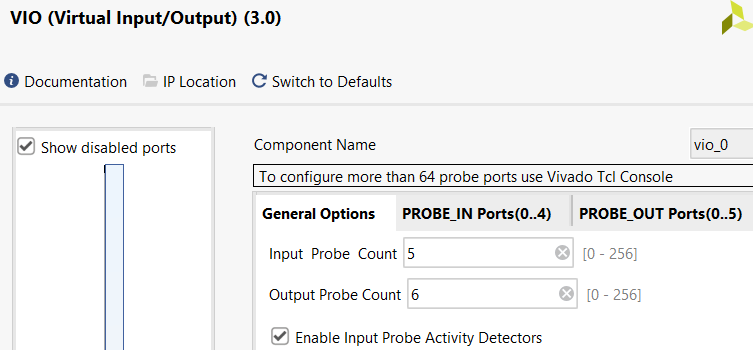
На рис. 2-5 – 1-9 приведены настройки ip ядер.



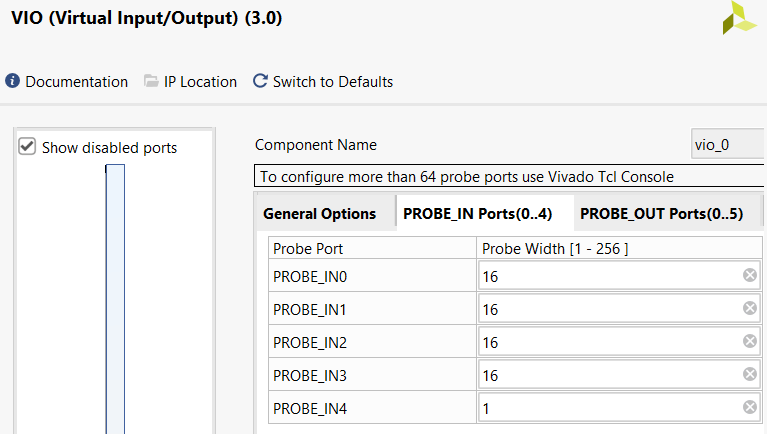
*Рис. 2-5. Настройка clocking wizard. Clocking Options*



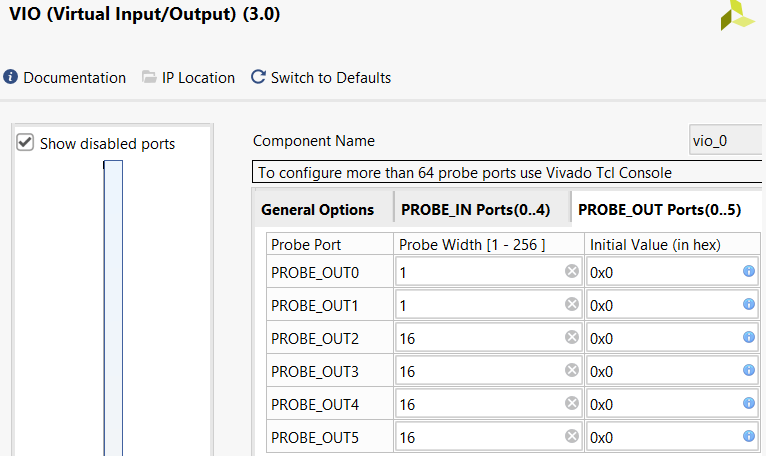
*Рис. 2-6. Настройка clocking wizard. Output Clocks*



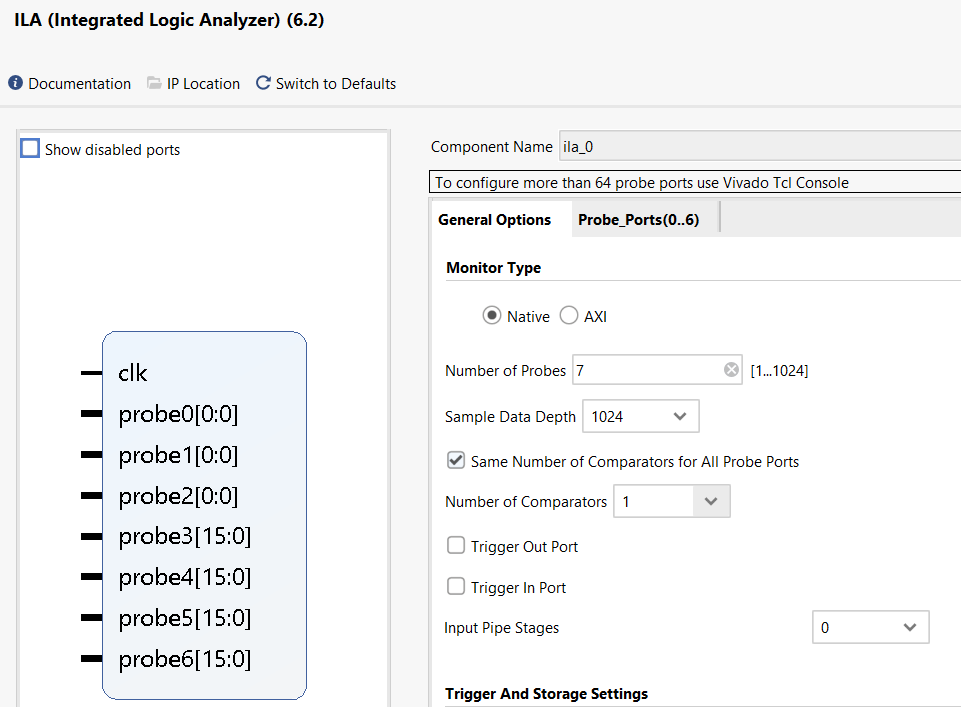
*Рис. 2-7. Настройка VIO. General*



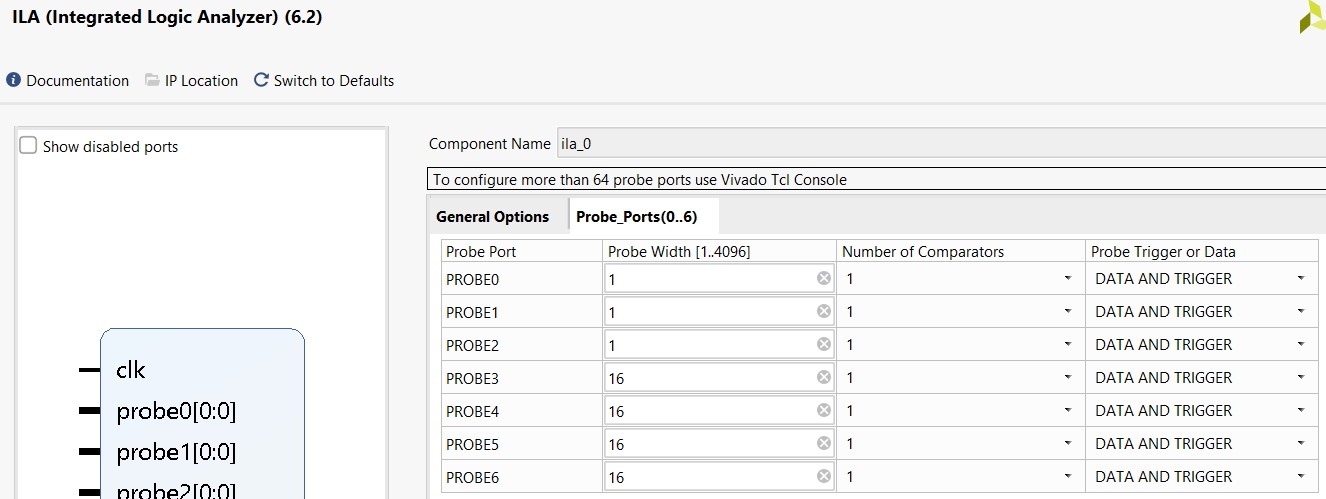
*Рис. 2-8 Настройка VIO. Inputs*



*Рис. 2-9. Настройка VIO. Output*



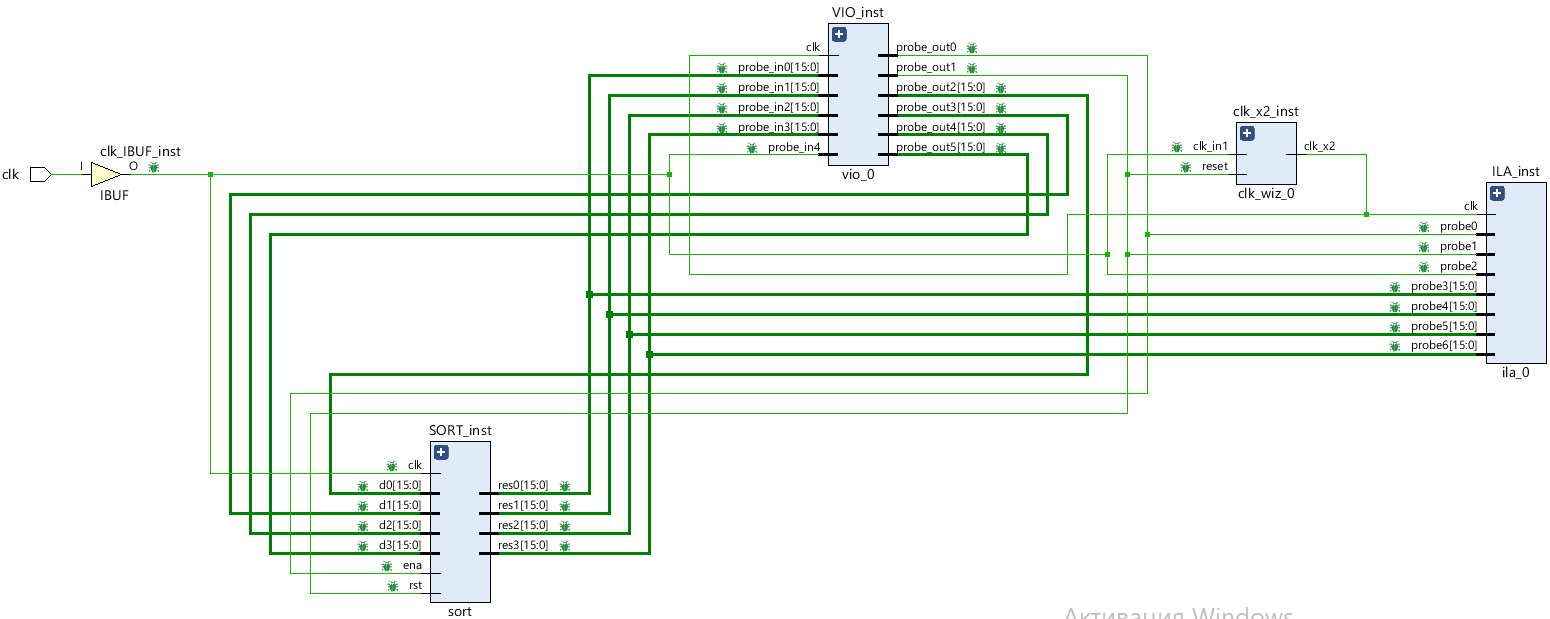
*Рис. 2-10. Настройка ILA. General*



*Рис. 2-11. Настройка ILA. Inputs*

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже, на Рис. 2‑7.

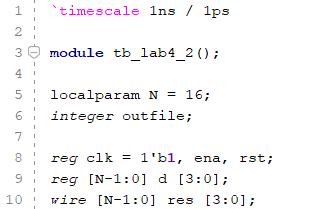


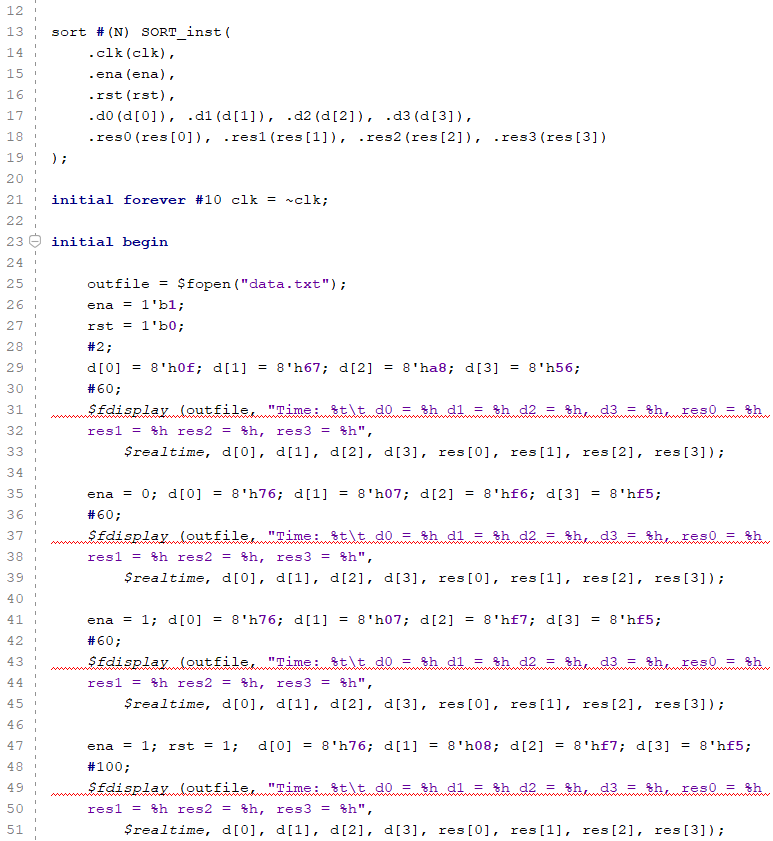
*Рис. 2-7. RTL схема*

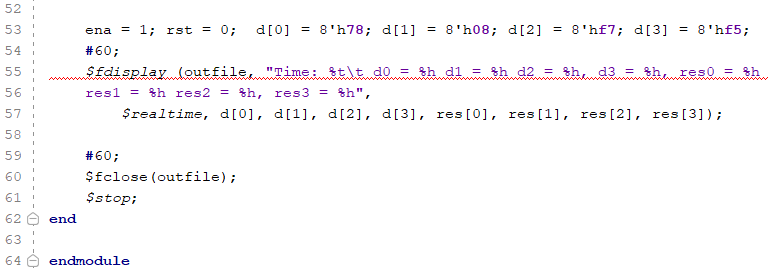
## Моделирование

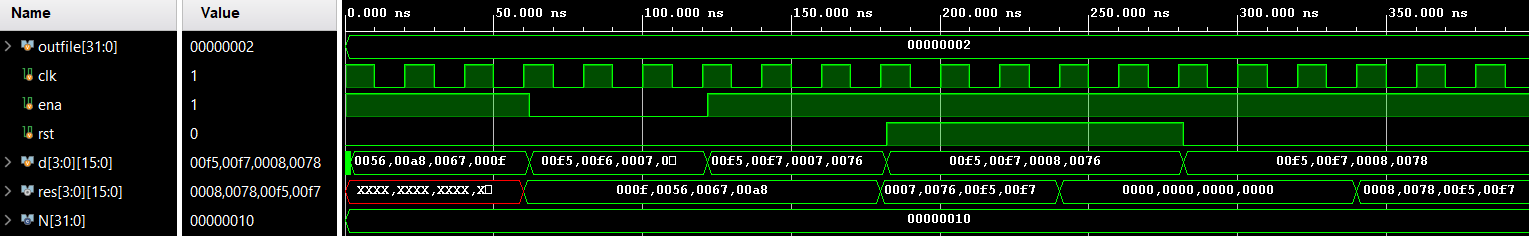
Для проверки правильности работы созданного Verilog описания использовались тесты представленные в листингах 2-3 и 2-4. Результаты моделирования представленны на рис. 2-8 – 2-9.

Листинг 2-3. tb\_lab4\_2.v



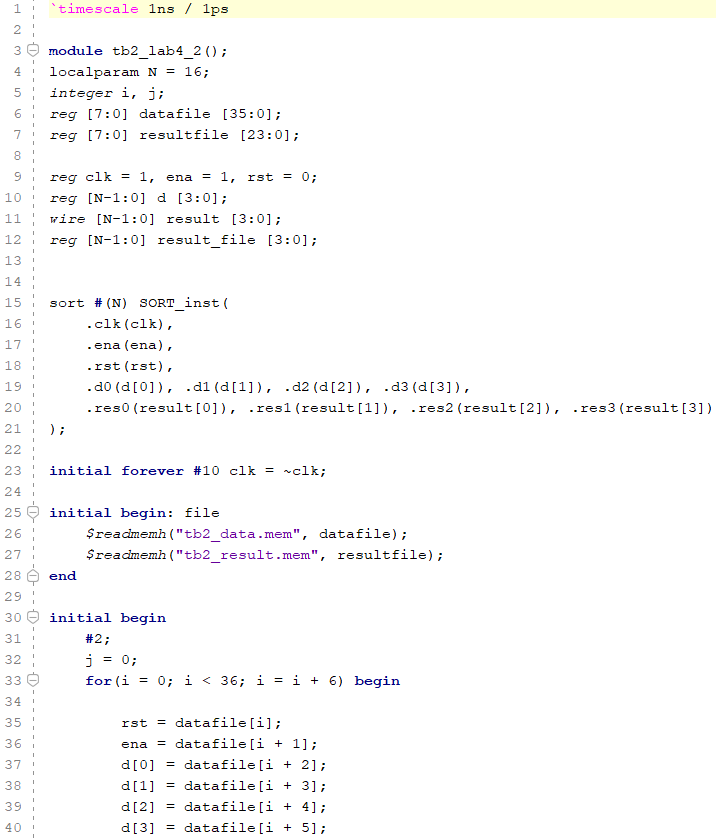


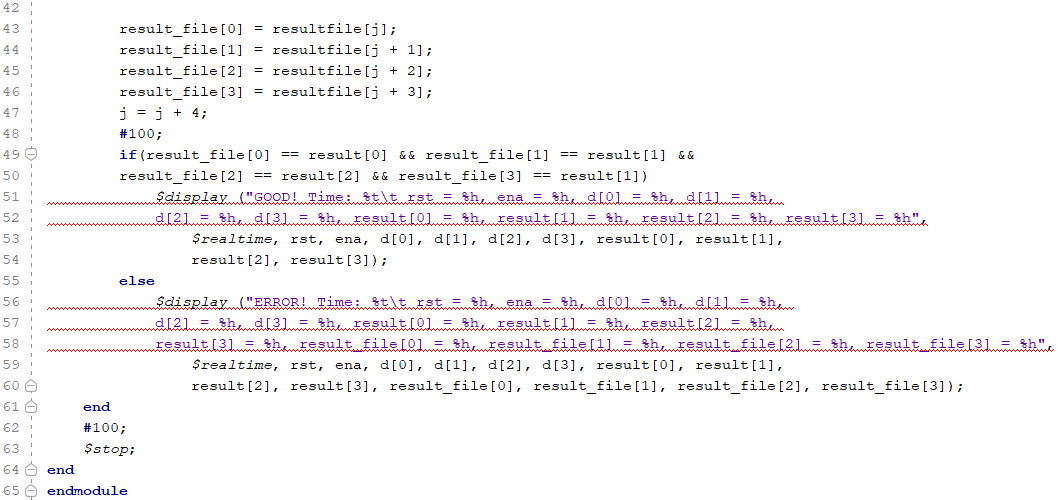


После запуска теста получены результаты. Результаты моделированияприведены на рис. 2-8.

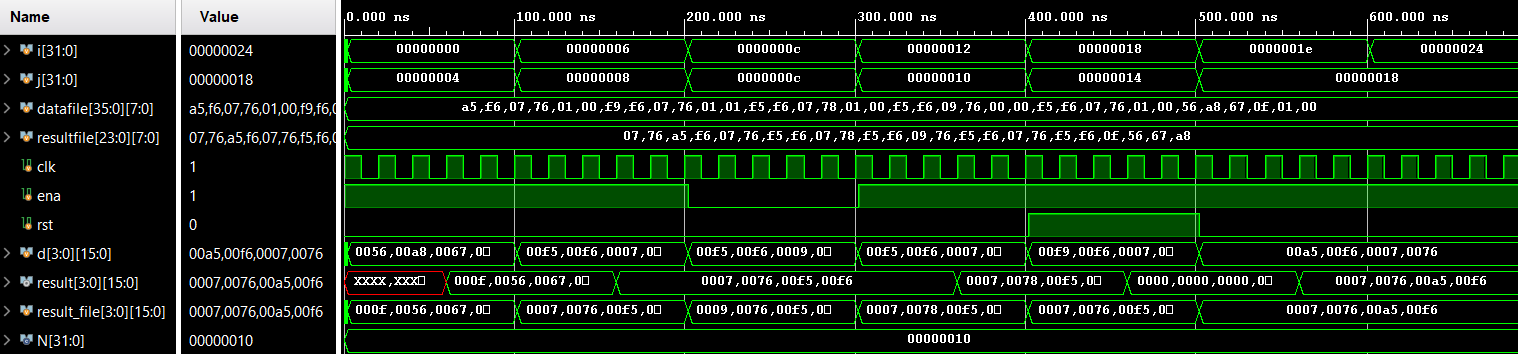
*Рис. 2-8. Результаты моделирования tb\_divider*

Листинг 2-4. tb2\_divider.v





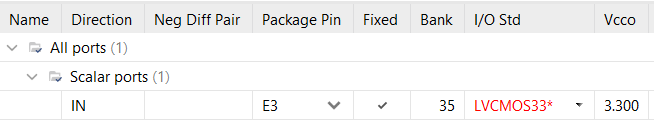
Результаты моделирования:



*Рис. 2-9. Результаты моделирования tb2\_divider*

## Назначение выводов СБИС

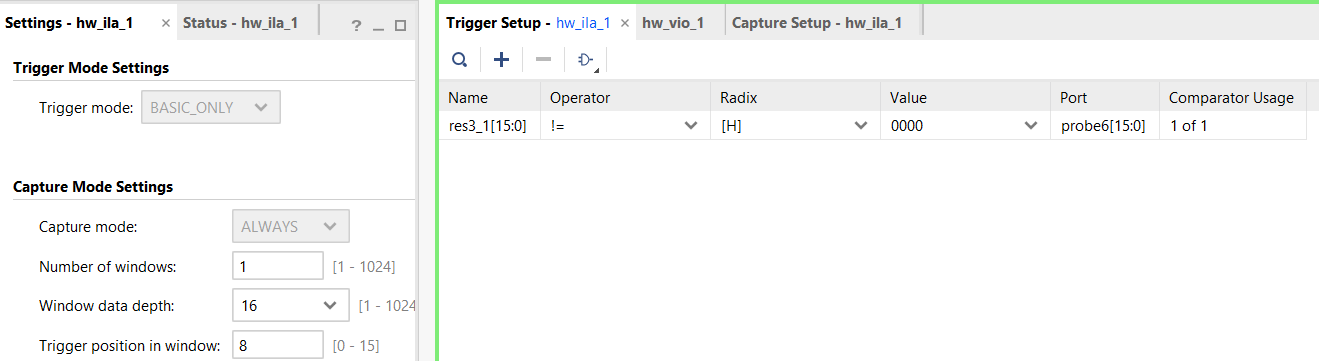
Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 2‑10



*Рис. 2‑10 Назначение выводов*

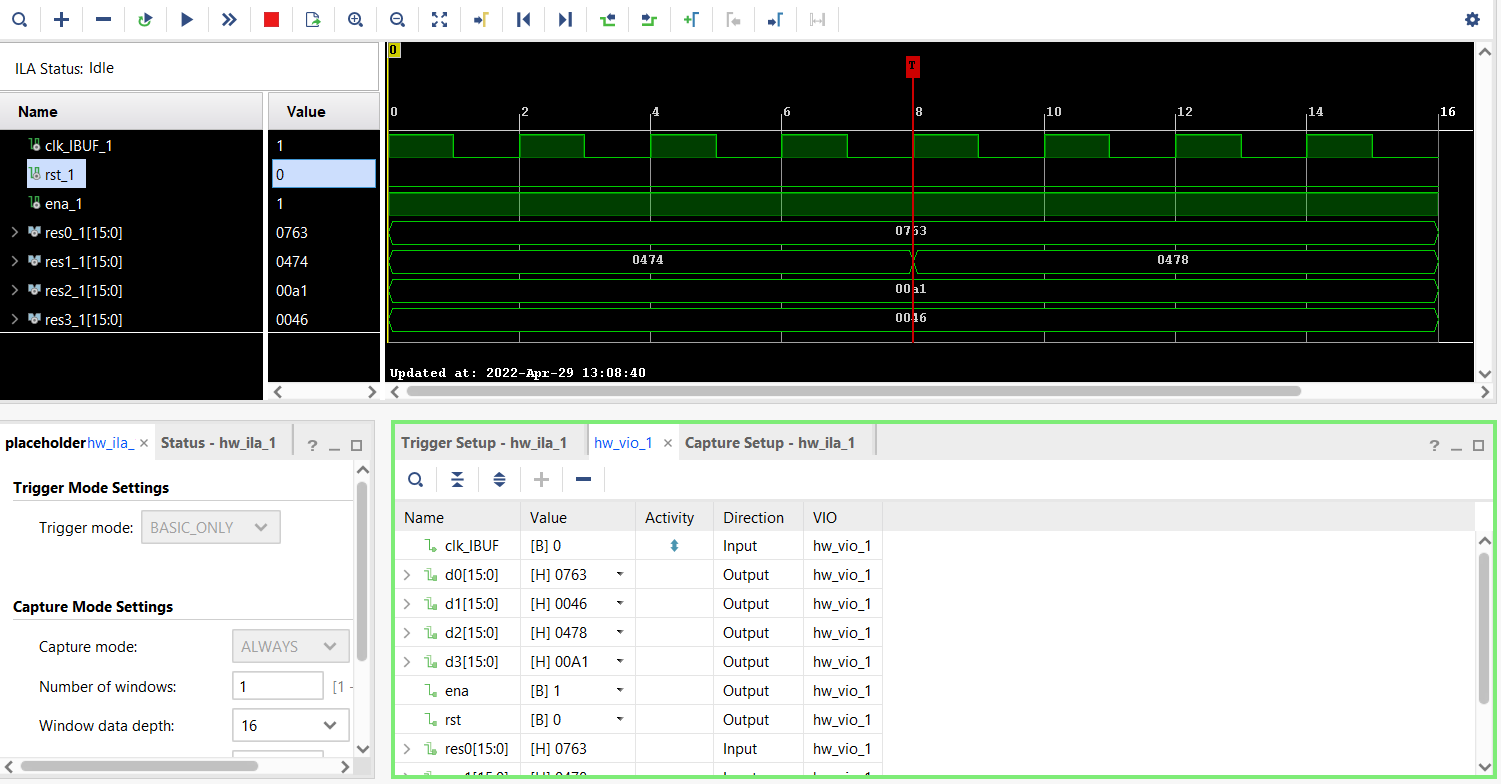
## Отладка

Для проверки на плате установим в настройках размер окна 16 и установим триггер на res3\_1 равный 0.



*Рис. 2-11. Настройки проекта*

На рис 2-12 приведена отладка проекта.



*Рис. 2-12. Отладка проекта.*

## Выводы

В результате был создан проект по требуемому заданию.