САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

По Курсовой работе

задание lab5

Дисциплина

«Средства проектирования аппаратуры цифровой обработки сигналов»

выполнил:

Курякин Д. А

группа:

преподаватель:

Антонов А. П.

Санкт-Петербург

2022

Оглавление

[1 Задание lab5\_1 3](#_Toc103571502)

[1.1 Задание 3](#_Toc103571503)

[1.2 Описание на языке Verilog 4](#_Toc103571504)

[1.3 Результат синтеза (RTL) 8](#_Toc103571505)

[1.4 Моделирование 8](#_Toc103571506)

[1.5 Назначение выводов СБИС 11](#_Toc103571507)

[1.6 Отладка 11](#_Toc103571508)

[1.7 Выводы 12](#_Toc103571509)

[2 Задание lab5\_2 12](#_Toc103571510)

[2.1 Задание 12](#_Toc103571511)

[2.2 Описание на языке Verilog 12](#_Toc103571512)

[2.3 Результат синтеза (RTL) 16](#_Toc103571513)

[2.4 Моделирование 16](#_Toc103571514)

[2.5 Назначение выводов СБИС 17](#_Toc103571515)

[2.6 Отладка 17](#_Toc103571516)

[2.7 Выводы 18](#_Toc103571517)

# Задание lab5\_1

## Задание

На рисунке приведен пример 8-разрядного последовательного умножителя, осуществляющего умножение младшими разрядами вперед со сдвигом множимого, в котором загрузка новых значений операндов и обнуление сумматора осуществляются по внешнему сигналу load.



На основе приведенного примера создайте на языке Verilog параметризированное описание N-разрядного последовательного умножителя, осуществляющего умножение младшими разрядами вперед со сдвигом множимого, в котором загрузка в умножитель новых значений операндов и запуск процедуры умножения должны происходить автоматически при изменении любого из операндов.

**Выводы модуля:**

Входы

* CLK – тактовый вход
* ENA – вход разрешения работы
* RST – вход асинхронного сброса регистров проекта.
* [N-1:0] D\_A
* [N-1:0] D\_B

Выходы

* [2\*N-1:0] RES

**Требования к модулю.**

* На входах и выходах данных должны быть использованы регистры с входами сброса и разрешения работы.
* Входы ENA и RST должны быть синхронизированы (использовать два последовательно включенных триггера).

**Моделирование:**

* Значение параметра N = **Ваш\_номер\_в\_списке\_группы + 7**
* Разработать тест класса 1 (tb1\_Lab5\_1.v) и провести моделирование. Значения входов, выходов и время записывать в файл используя любую команду, данные должны быть отформатированы для удобного чтения. имя файла – tb1\_lab5\_1.dat
* Разработать тест класса 2 (tb2\_Lab5\_1.v) – входные данные формируются в тесте, ожидаемые данные вычисляются в тесте, и провести моделирование.

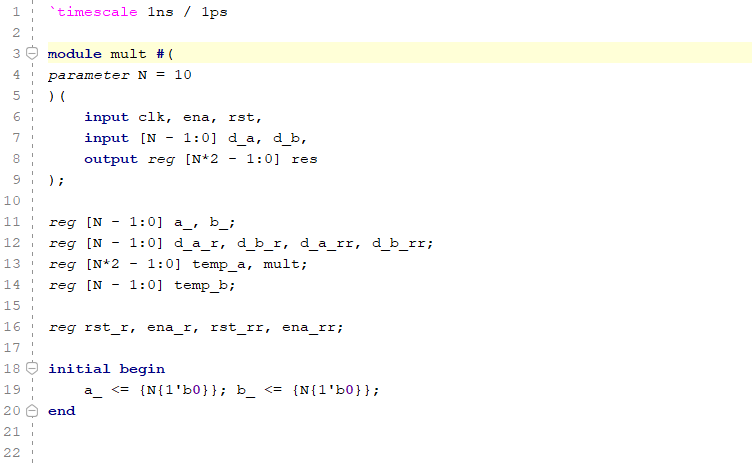
**Отладка**

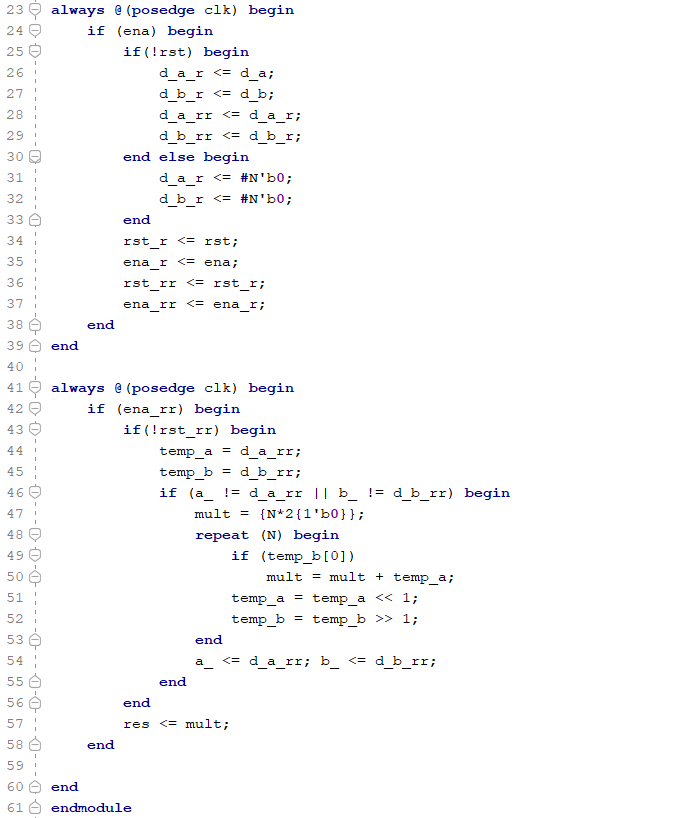
* Значение параметра N = **Ваш\_номер\_в\_списке\_группы + 7**
* С помощью In System Source and Probe и Signal Tap II провести отладку на плате, зафиксировать результаты, продемонстрировать преподавателю. Для синхронизации Signal Tap II использовать удвоенную частоту CLK.

## Описание на языке Verilog

Опишем 8-разрядный последовательный умножитель. Описание устройства на языке Verilog приведено ниже на листинге 1-1. В строках 6-8 обвялены входные и выходные значения; в строках 11-16 обвялены регистры; в строках 18-20 задана начальная инициализация регистров; в строках 23-39 задана присвоение в регистры; в строках 41-61 задана логика 8-разрядного последовательного умножителя.

Листинг 1-1. mult.v

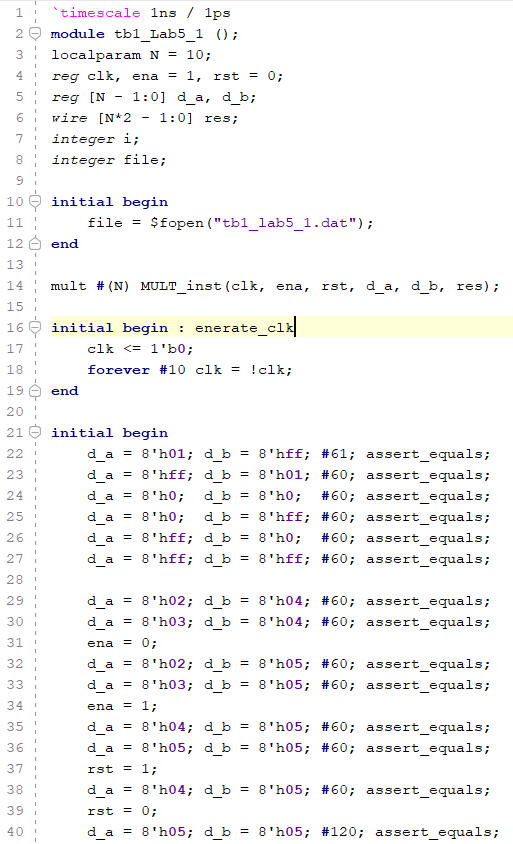


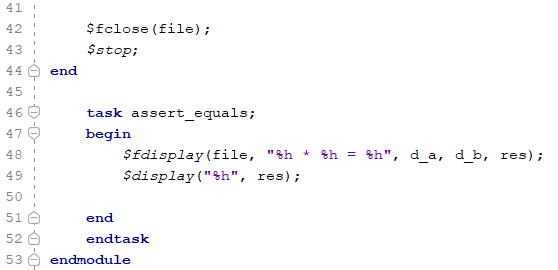


## Моделирование

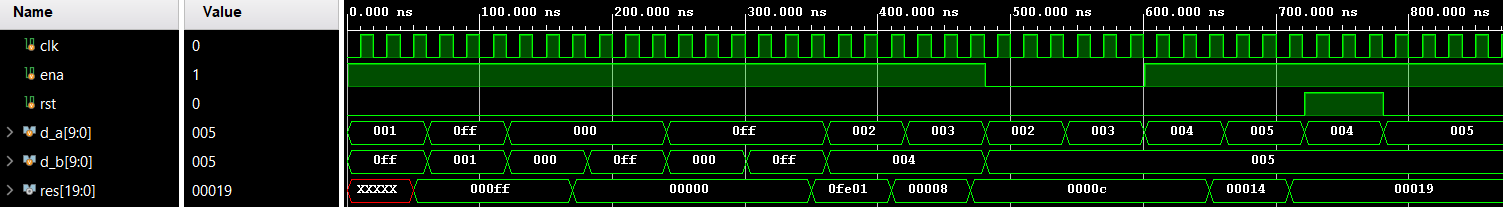
Для проверки правильности работы созданного Verilog описания напишем тесты первого и второго уровня с проверкой из файла. В строках 5-14 обвялены входные и выходные значения; в строке 16 задана инициализация моделируемого модуля генератора данных; в строках 20-24 задано открытие файла для записи; в строках 26-49 создание данных для проверки устройства. Используемый тест первого уровня представлен в листинге 1-3. Результаты моделирования представлены на рис. 1-1.

Листинг 1-3. tb1\_Lab5\_1.v



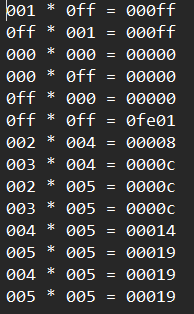


После запуска теста были получены результаты. Результаты моделирования представлены на рис 1-1:



*Рис. 1-1. Результаты моделирования tb\_Lab5\_1*

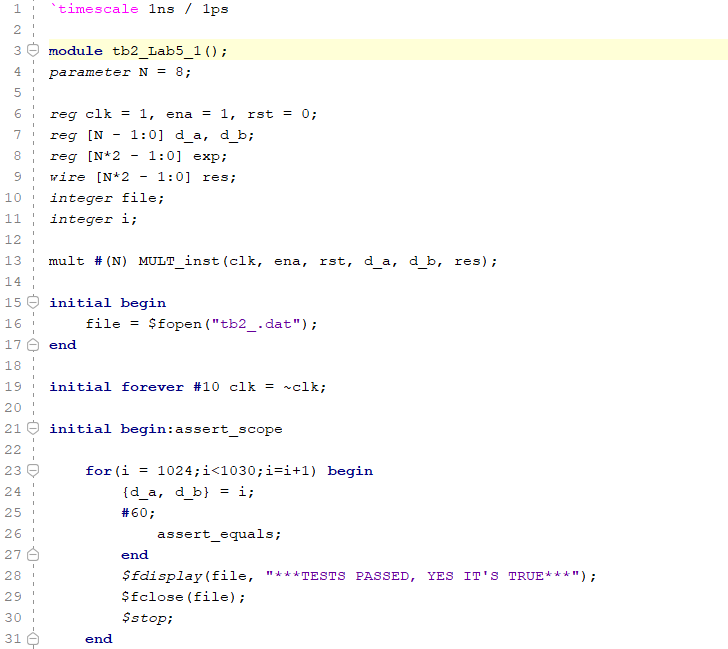
Выходные данные, записанные в файл, после выполнения симуляции представлены на рис. 1-2.

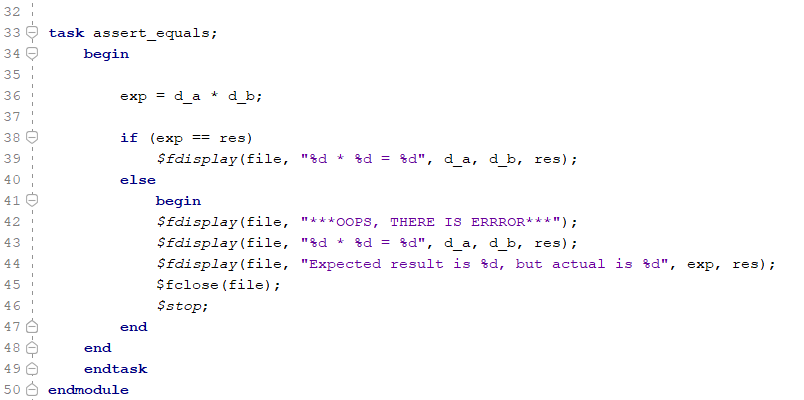


*Рис. 1-2. Инициализация файла tb\_Lab5\_1.dat*

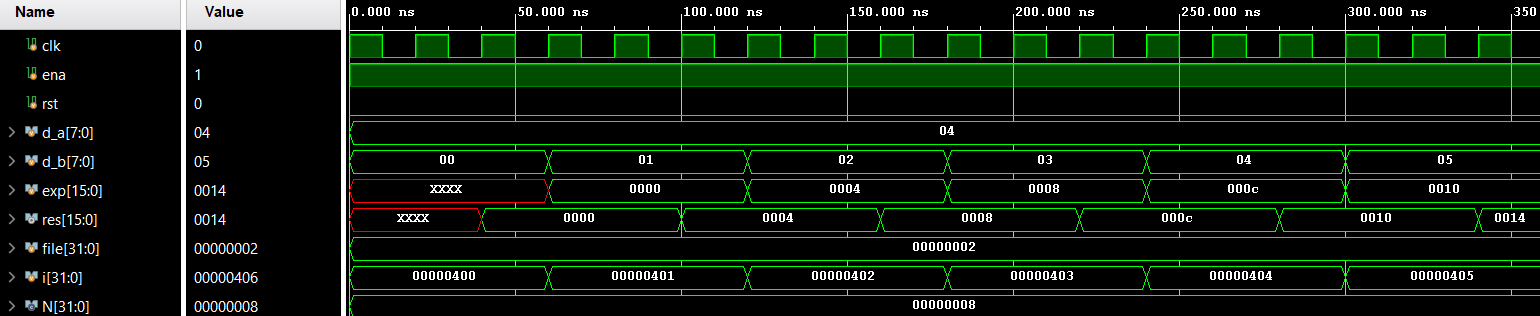
Используемый тест второго уровня представлен в листинге 1-4. В строках 4-11 обвялены входные и выходные значения; в строке 13 задана инициализация моделируемого модуля генератора данных; в строках 15-17 задана файл с выходными данными; в строках 19-49 описано создание данных для проверки устройства. Результаты моделирования представлены на рис. 1-2.

Листинг 1-4. tb2\_Lab5\_1.v



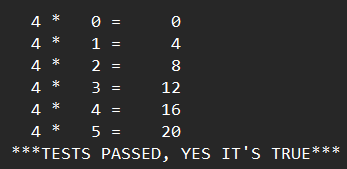


После запуска теста были получены результаты. Результаты моделирования представлены на рис 1-3:



*Рис. 1-3. Результаты моделирования tb2\_Lab5\_1*

Выходные данные, записанные в файл, после выполнения симуляции представлены на рис. 1-4.



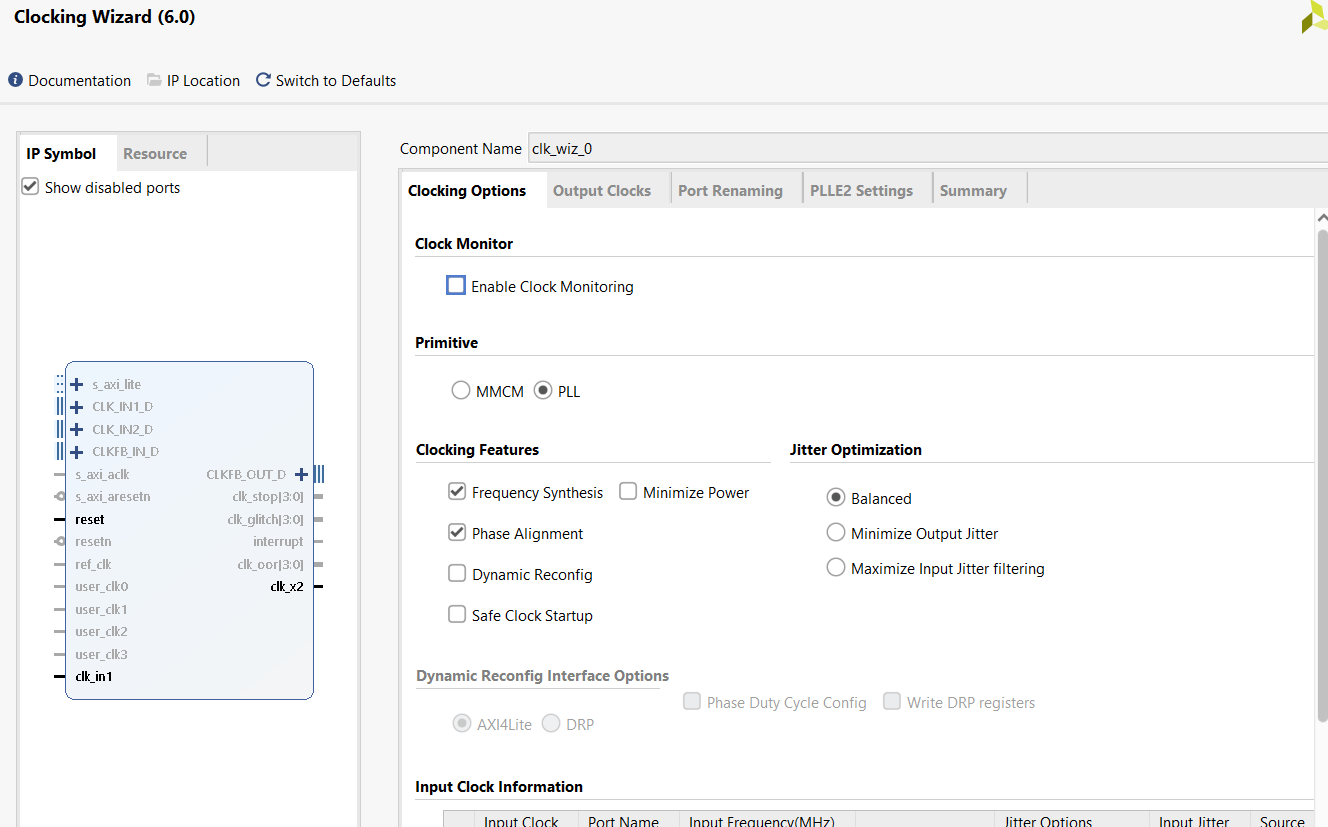
*Рис. 1-4. Инициализация файла tb2\_1.dat*

После модулирования было выявлено, что программа работает правильно.

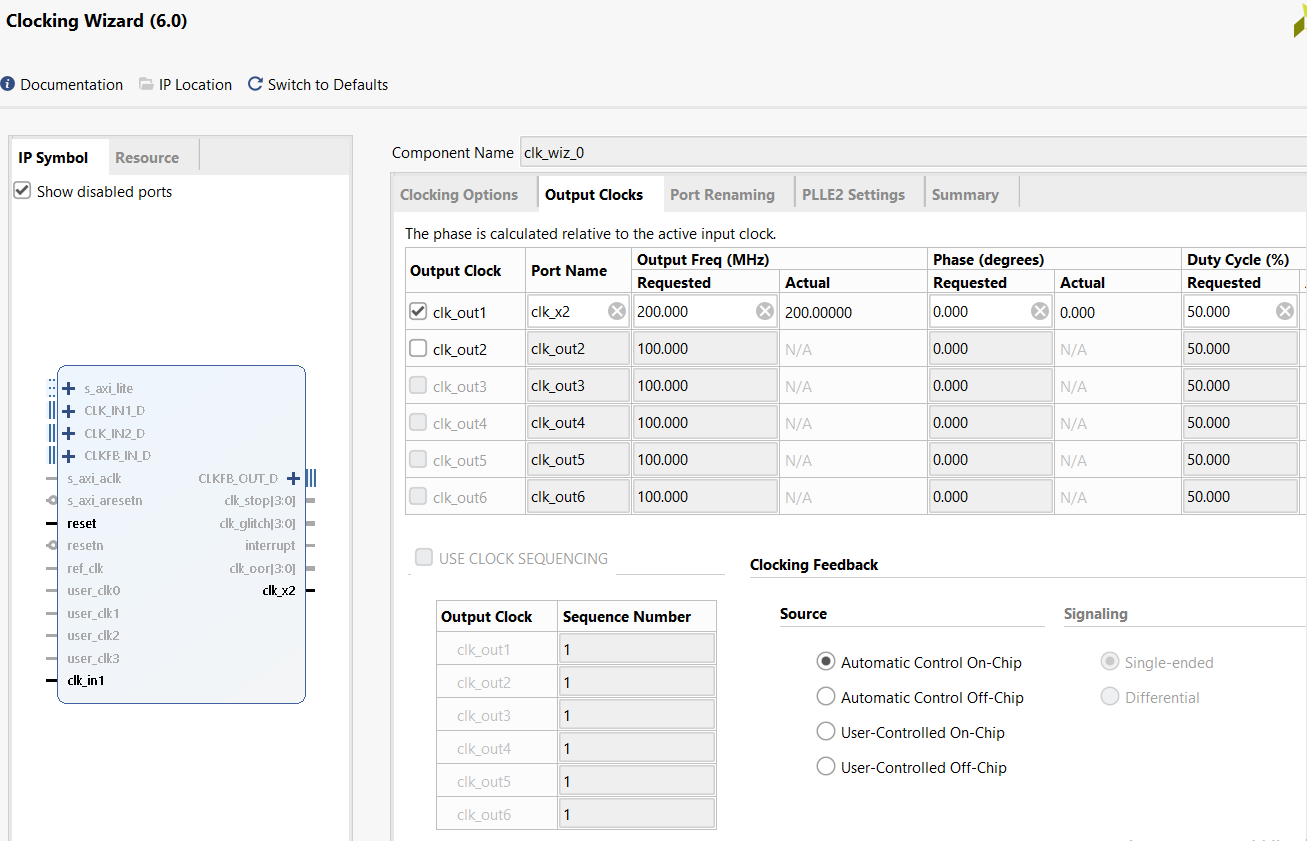
## Описание модуля верхнего уровня

Для тестирования на отладочной плате создадим VIO, LIA и преобразователь частоты тактового импульса из ip-ядер. На рис. 1-4 – 1-9 приведены настройки ip-ядер.

На рис. 1-4 – 1-5 приведена настройка преобразователь частоты тактового импульса.

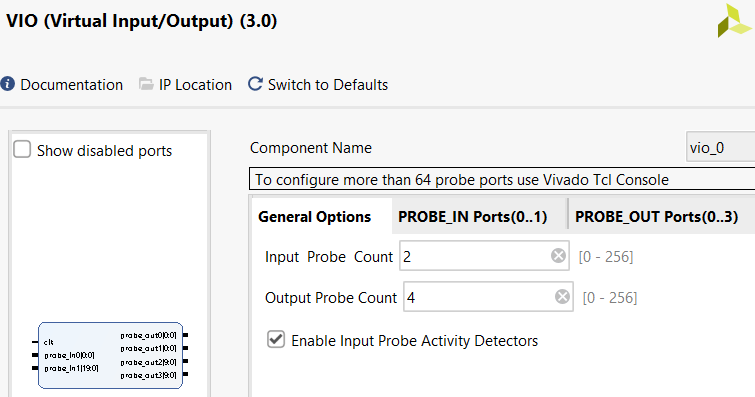


*Рис. 1-4. Настройка clocking wizard. Clocking Options*

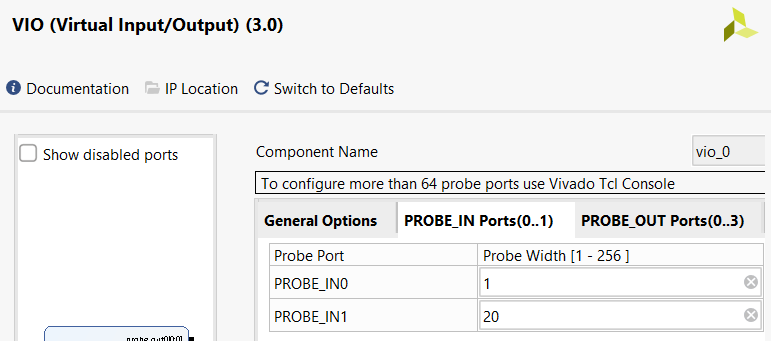


*Рис. 1-5. Настройка clocking wizard. Output Clocks*

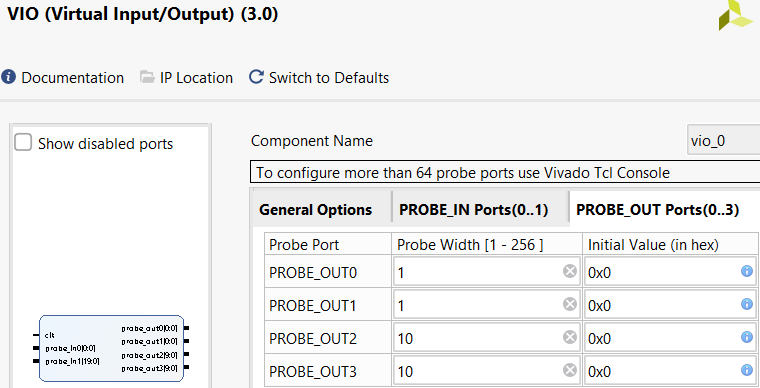
На рис. 1-6 – 1-8 приведена настройка VIO.



*Рис. 1-6. Настройка VIO. General*

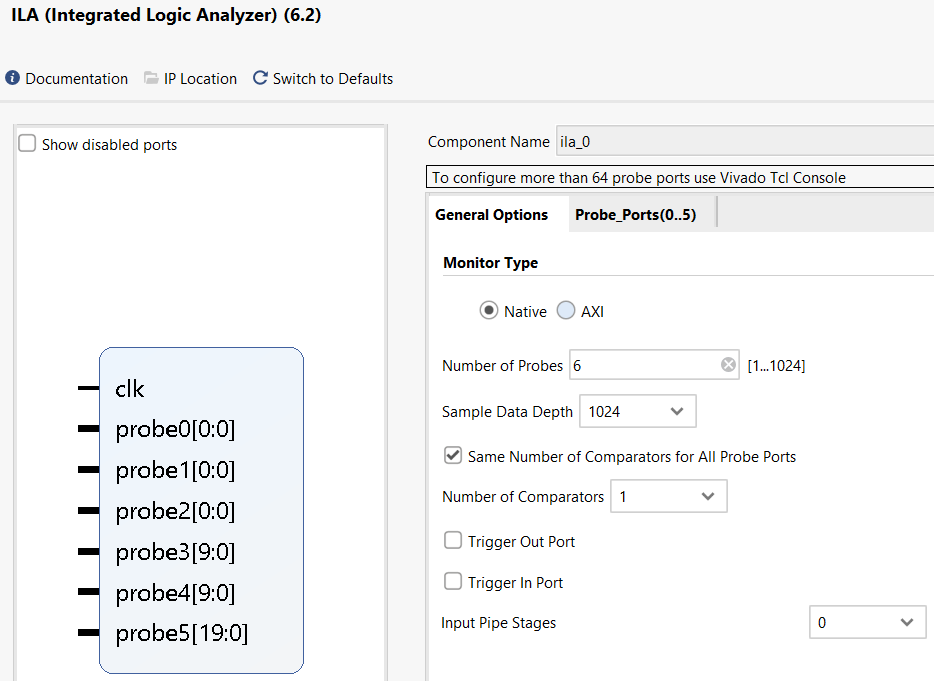


*Рис. 1-7. Настройка VIO. Inputs*

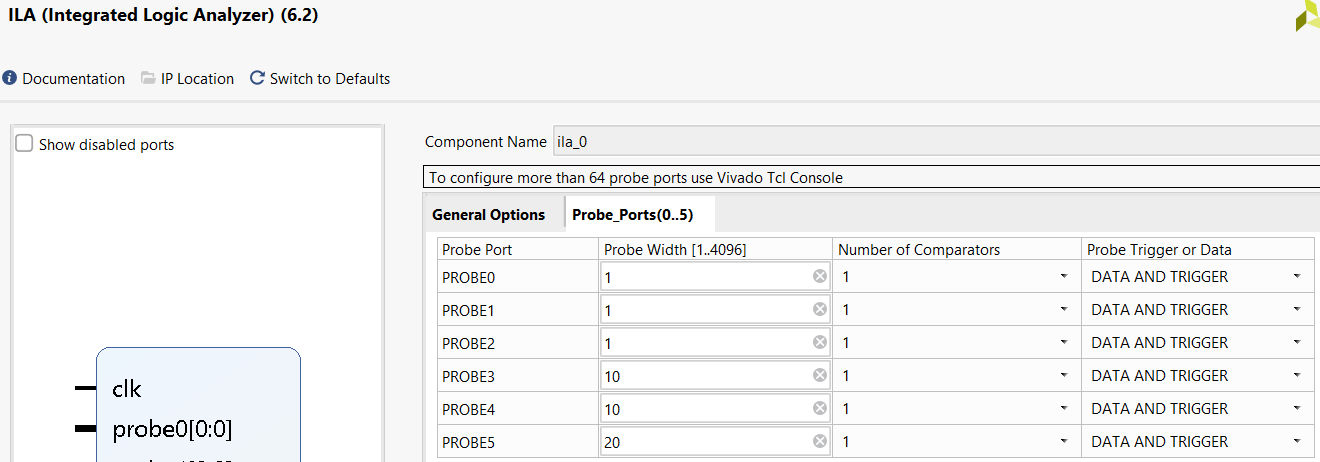


*Рис. 1-8. Настройка VIO. Output*

На рис. 1-6 – 1-8 приведена настройка LIA.



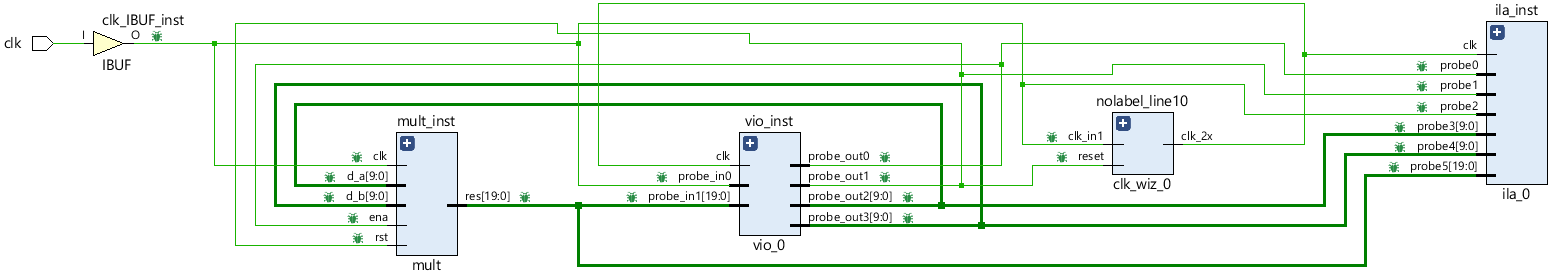
*Рис. 1-9. Настройка ILA. General*



*Рис. 1-10. Настройка ILA. Inputs*

## Результат синтеза (RTL)

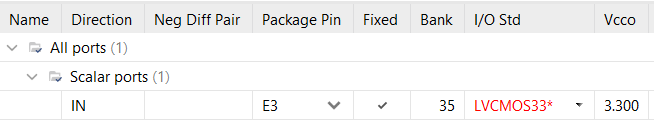
Что бы проверить логику работы визуально посмотрим схему проекта после синтеза. Результат синтеза описания на языке Verilog приведен ниже, на Рис. 1‑11.



*Рис. 1-11. RTL схема*

## Назначение выводов СБИС

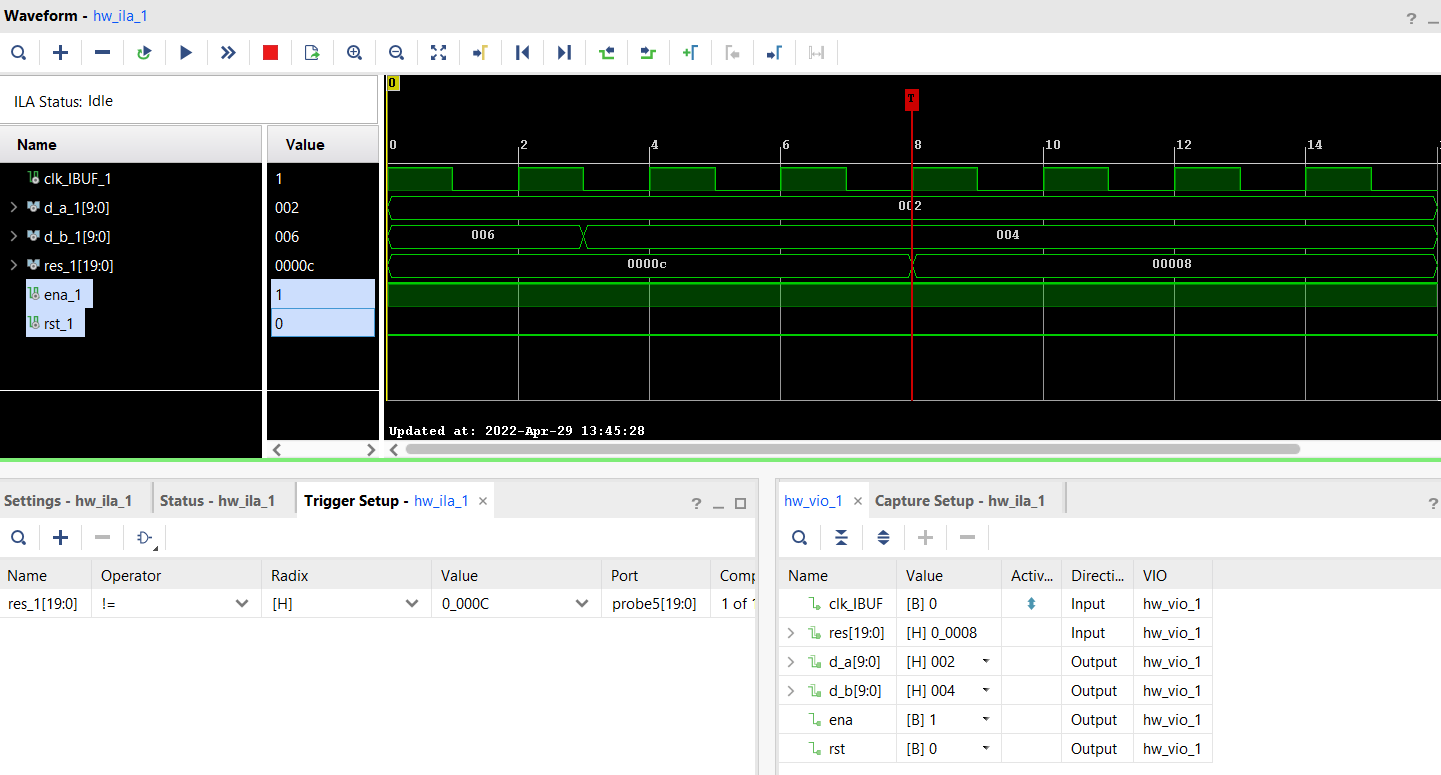
Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 1‑12



*Рис. 1‑12 Назначение выводов*

## Отладка

На рис 1-11 приведена отладка проекта.



*Рис. 1-11. Отладка проекта.*

## Выводы

В результате был создан проект по требуемому заданию.

# Задание lab5\_2

## Задание

Используется проект из задания 6\_3 осеннего семестра. Коэффициент деления счетчика делителя для моделирования и отладки сделать равным 4.



**Выводы модуля:**

Входы

* CLK – тактовый вход
* PBA – вход разрешения записи.

Выходы

* [3:0] led – выходные данные

**Требования к модулю.**

* Вход PBA должен быть синхронизирован (использовать два последовательно включенных триггера).

**Моделирование:**

* Разработать тест класса 1 (tb1\_Lab5\_2.v) и провести моделирование всех режимов работы: до записи данных, процесс записи данных, и после записи данных.
* При моделировании провести анализ содержимого памяти до и после записи данных. Значения входов, выходов и время записывать в файл используя любую команду, данные должны быть отформатированы для удобного чтения. имя файла – tb1\_lab5\_1.dat

**Отладка**

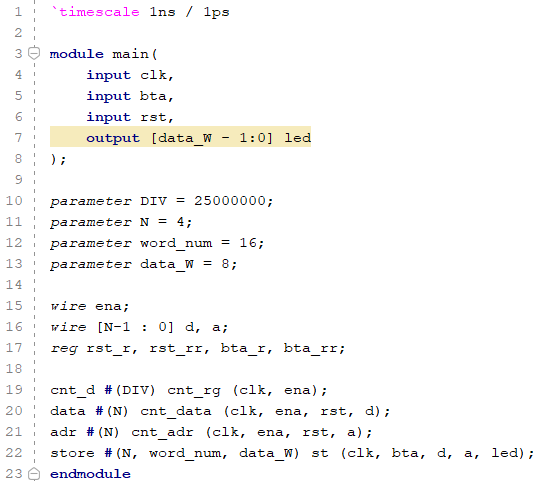
* С помощью In System Source and Probe и Signal Tap II провести отладку на плате, зафиксировать результаты всех режимов работы: до записи данных, процесс записи данных, и после записи данных. Продемонстрировать преподавателю. Для синхронизации Signal Tap II использовать удвоенную частоту CLK.

## Описание на языке Verilog

Реализуем проект в задании. Описание устройства на языке Verilog приведено ниже в листингах 2-1 – 2-5.

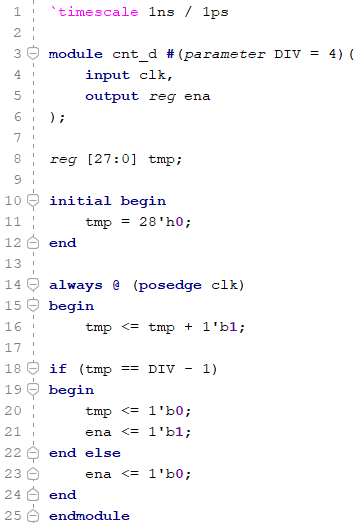
Рассмотрим файл main.v. В строках 10-13 обвялены входные и выходные значения; в строках 10-13 параметры для модулей; в строках 15-17 задана присвоение в регистры; в строках 19-22 заданно объявление модулей.

Листинг 2-1. main.v



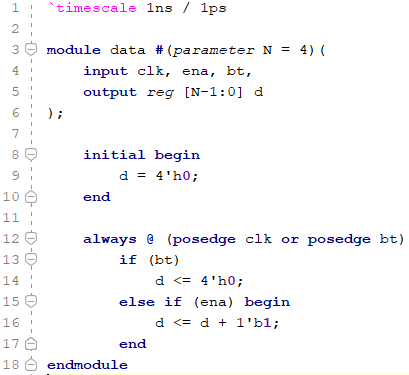
Рассмотрим файл cnt\_d.v. В строках 4-5 обвялены входные и выходные значения; в строках 8-12 задана инициализация регистра; в строках 19-22 задана логика работы.

Листинг 2-2. cnt\_d.v



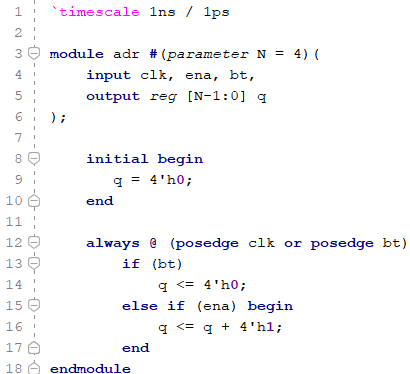
Рассмотрим файл data.v. В строках 4-5 обвялены входные и выходные значения; в строках 8-10 задана инициализация регистра; в строках 12-17 задана логика работы.

Листинг 2-3. data.v



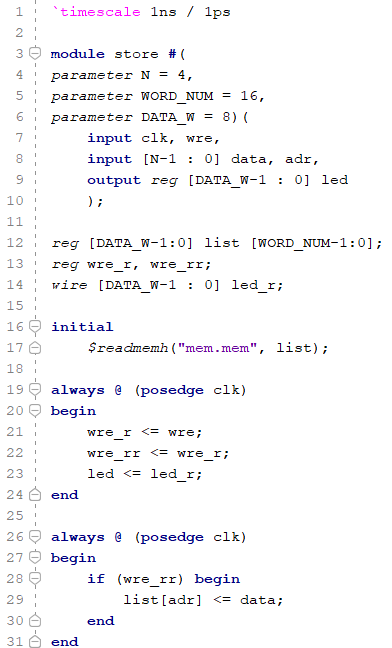
Рассмотрим файл adr.v. В строках 4-5 обвялены входные и выходные значения; в строках 8-10 задана инициализация регистра; в строках 12-17 задана логика работы.

Листинг 2-4. adr.v



Рассмотрим файл store.v. В строках 4-6 объявлены параметры модулей; в строках 7-9 обвялены входные и выходные значения; в строках 12-14 задана используемые в модуле регистры; в строках 16-17 задана чтение фала с начальными данными; в строках 19-24 описано присвоение в внутренние регистры; в строках 26-30 описана логика логика чтения данных из памяти.

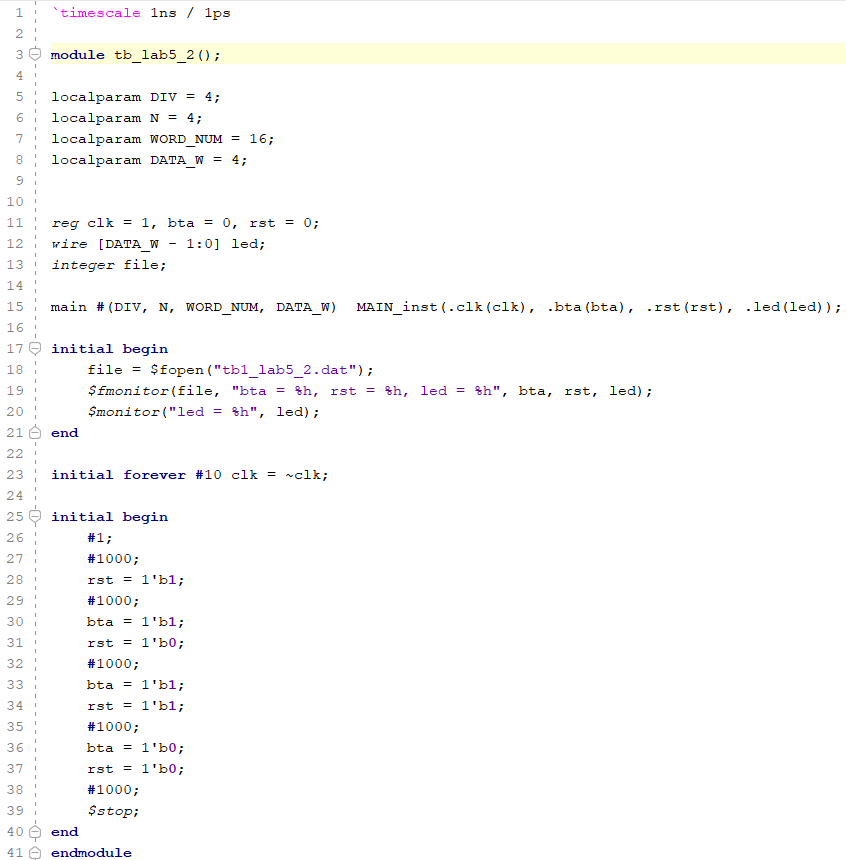
Листинг 2-5. store.v



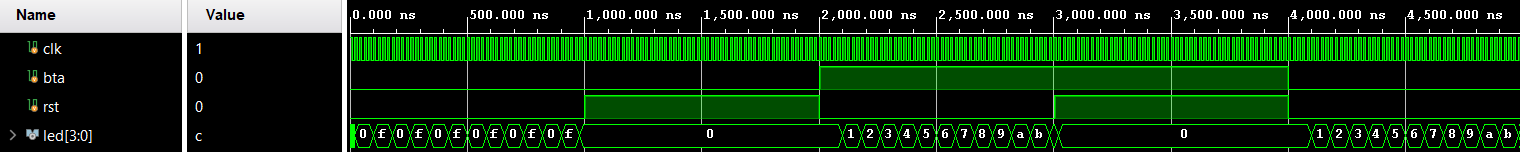
## Моделирование

Для проверки правильности работы созданного Verilog описания напишем тесты первого уровня. В строках 5-8 обвялены входные и выходные значения; в строке 15 задана инициализация моделируемого модуля генератора данных; в строках 17-21 задано открытие файла для записи; в строках 25-40 создание данных для проверки устройства. Используемый тест первого уровня представлен в листинге 2-3. Результаты моделирования представлены на рис. 1-1.

Листинг 2-3. tb\_lab5\_2.v



После запуска теста получены результаты. Результаты моделированияприведены на рис. 2-1.



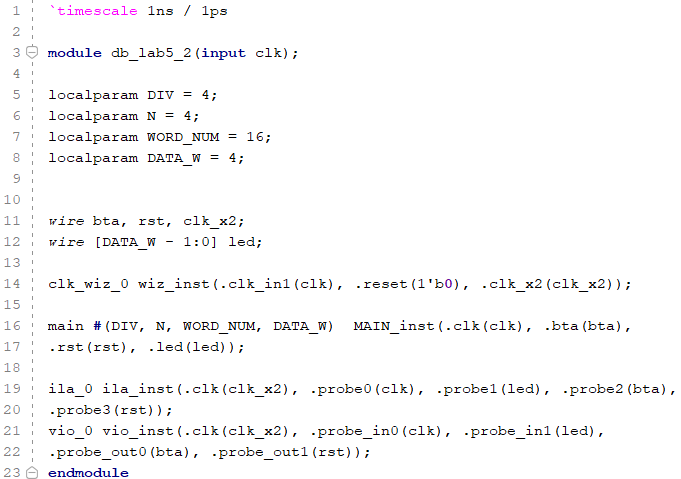
*Рис. 2-1. Результаты моделирования tb\_divider*

В результате было доказанна работоспособность системы.

## Проверка работы на плате

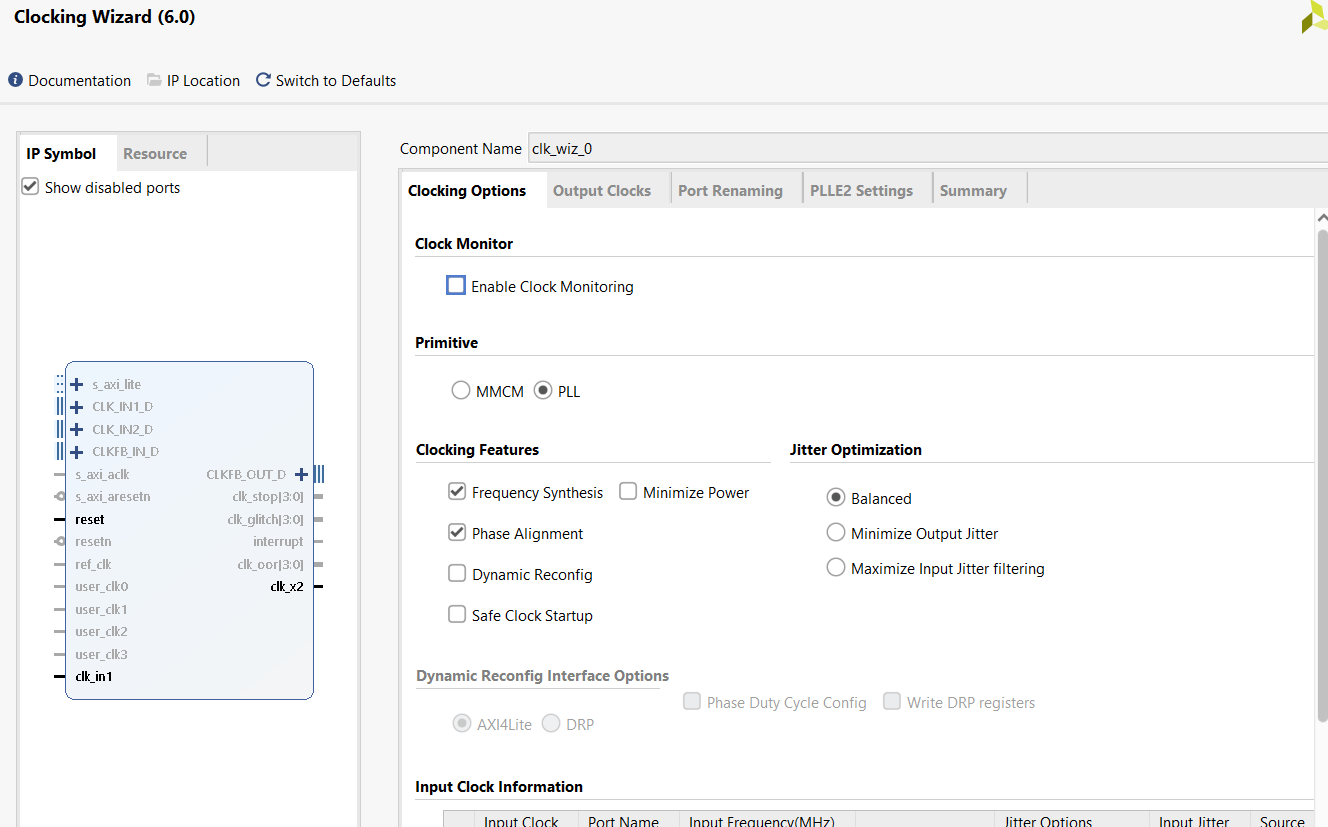
В листинге 2-4 показан модуль верхнего уровня для проверки работы на плате.

Листинг 2-4. db\_lab4\_2.v

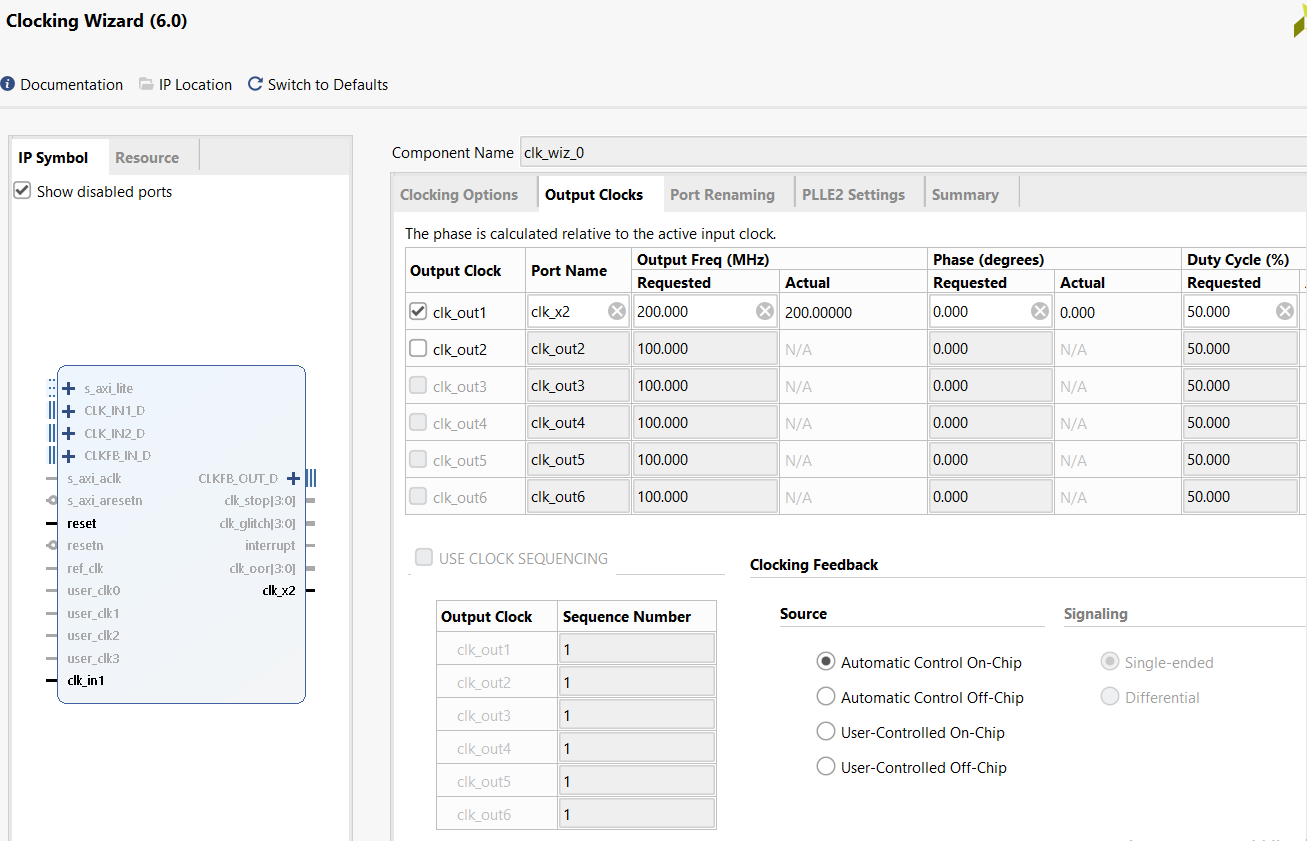


Для тестирования на отладочной плате были созданны VIO, LIA и преобразователь частоты тактового импульса из ip-ядер. На рис. 2-2 – 2-7 приведены настройки ip-ядер.

На рис. 2-2 –2-3 приведена настройка преобразователь частоты тактового импульса.

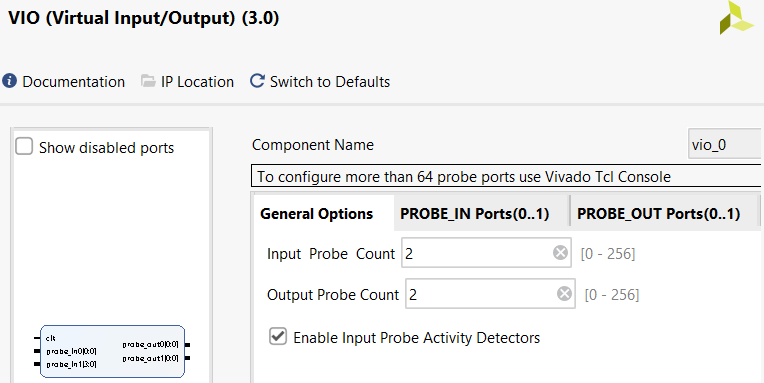


*Рис. 2-2. Настройка clocking wizard. Clocking Options*

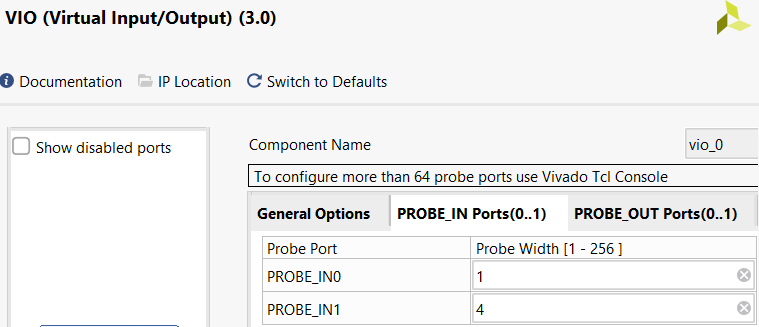


*Рис. 2-3. Настройка clocking wizard. Output Clocks*

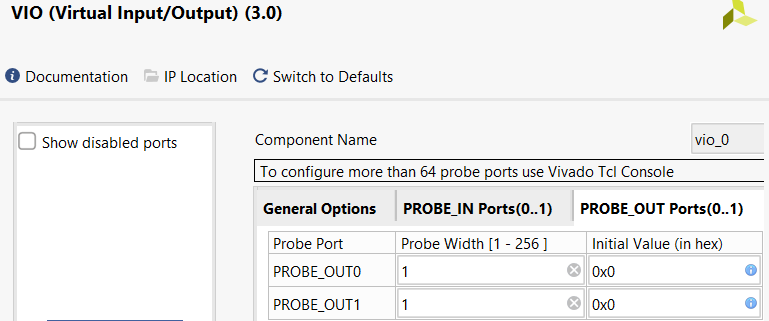
На рис. 2-4 –2-6 приведена настройка преобразователь частоты тактового импульса.



*Рис. 2-4. Настройка VIO. General*

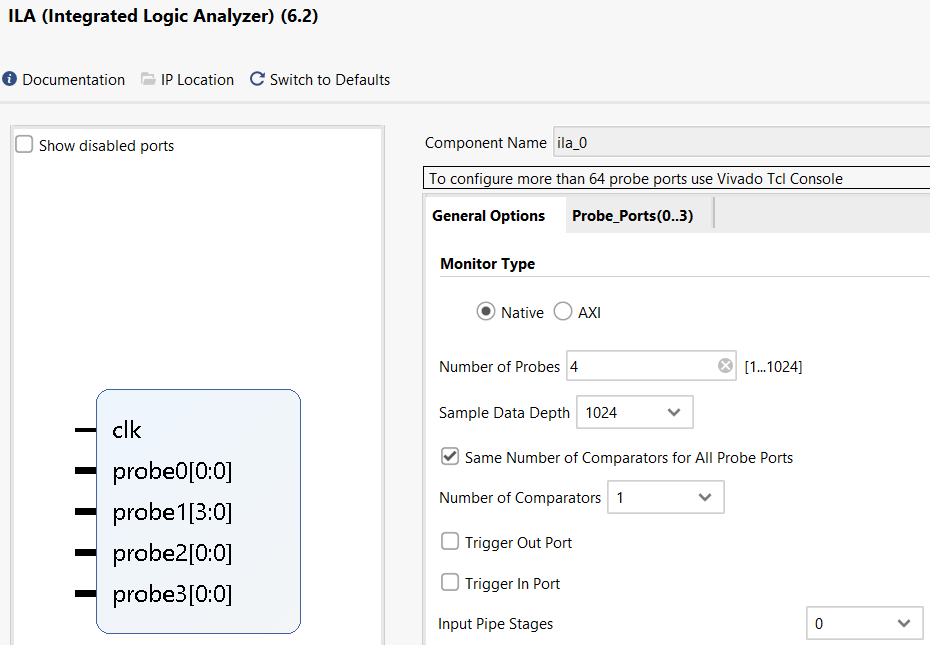


*Рис. 2-5. Настройка VIO. Inputs*

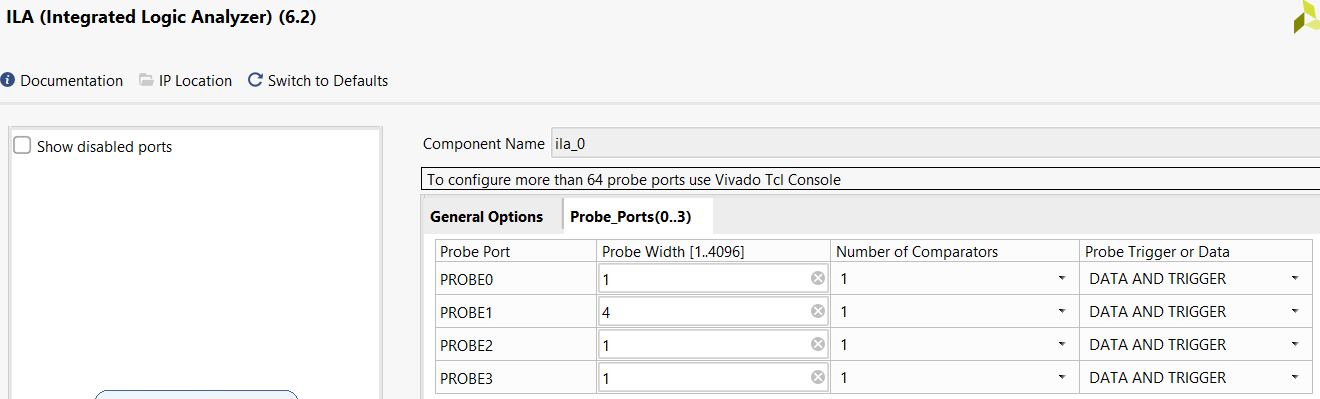


*Рис. 2-6. Настройка VIO. Output*

На рис. 2-7 –2-8 приведена настройка преобразователь частоты тактового импульса.



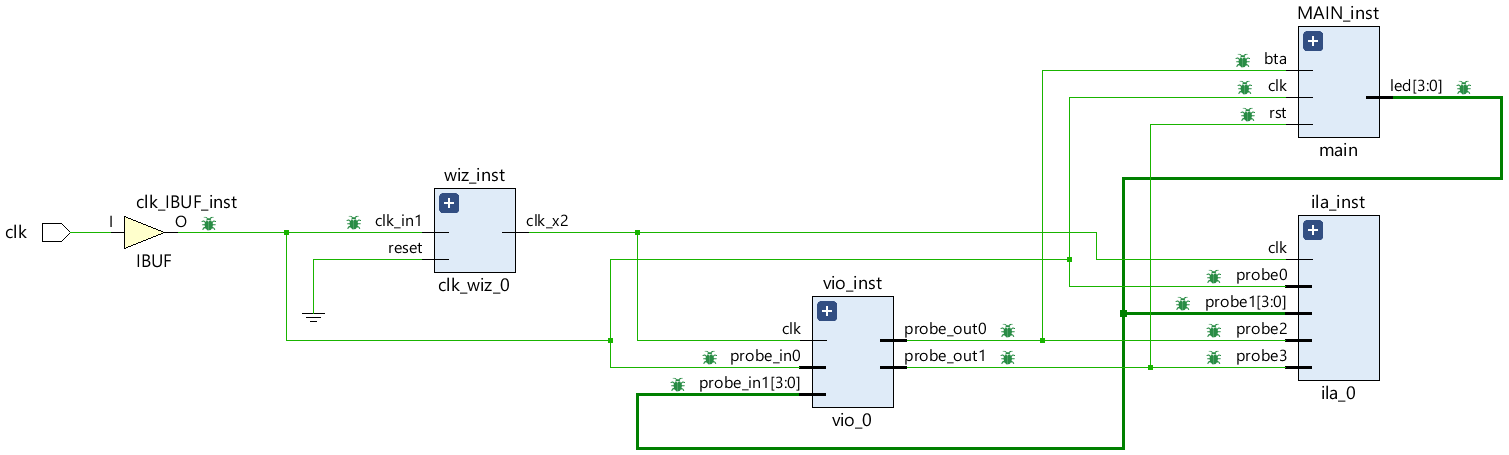
*Рис. 2-7. Настройка ILA. General*



*Рис. 2-8. Настройка ILA. Inputs*

## Результат синтеза (RTL)

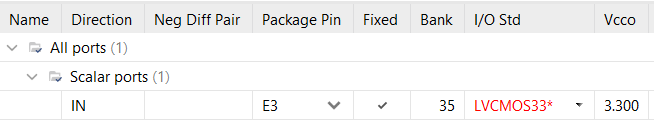
Что бы проверить логику работы визуально посмотрим схему проекта после синтеза. Результат синтеза описания на языке Verilog приведен ниже, на Рис. 2‑7.



*Рис. 2-8. RTL схема*

## Назначение выводов СБИС

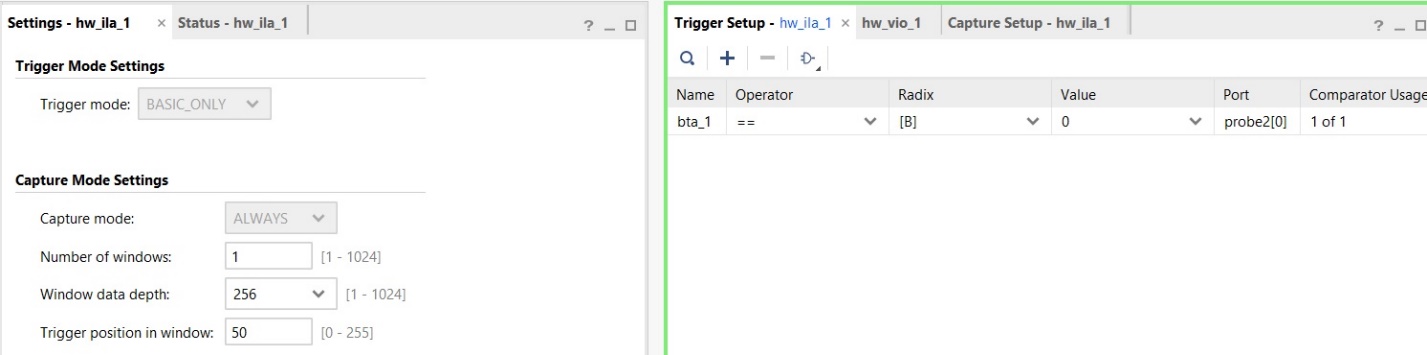
Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 2‑9



*Рис. 2‑9 Назначение выводов*

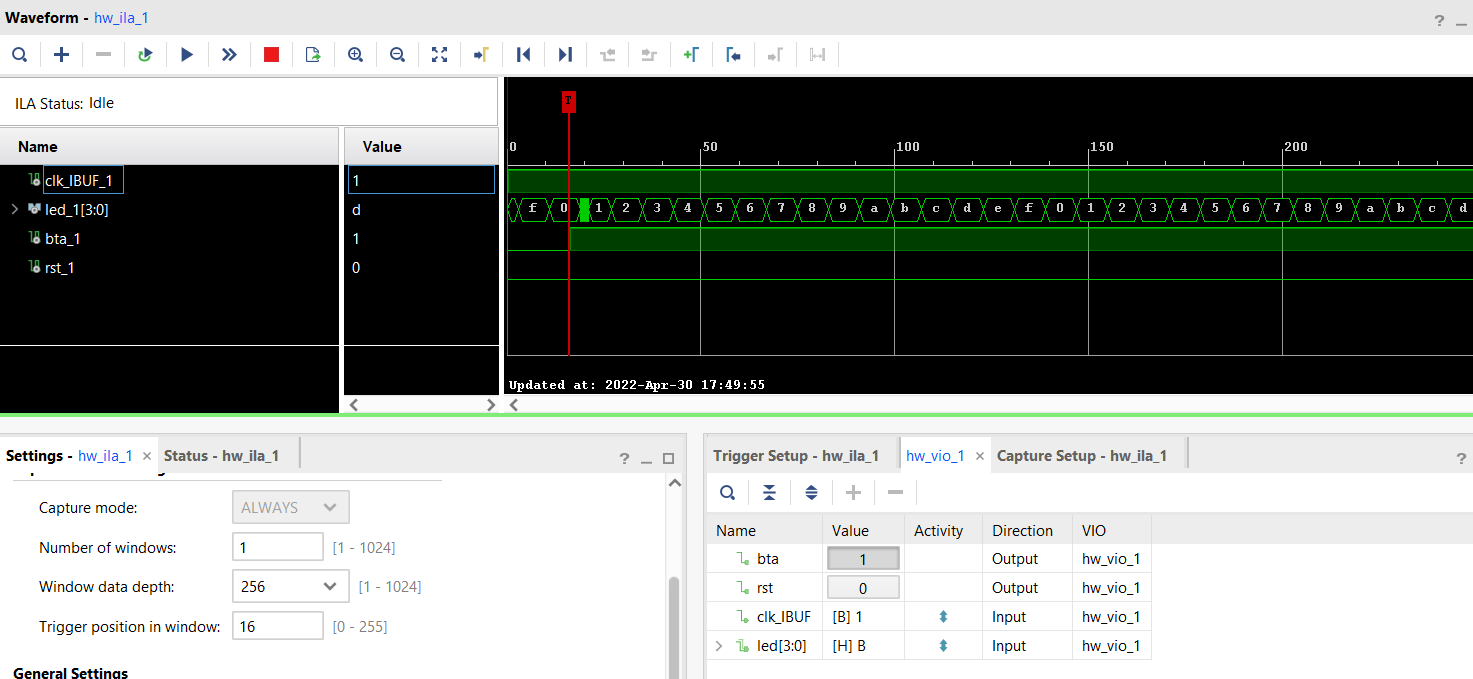
## Отладка

Для проверки на плате установим в настройках размер окна 16 и установим триггер на bta\_1 равный 0.



*Рис. 2-10. Настройки проекта*

На рис 2-10 приведена отладка проекта.



*Рис. 2-11. Отладка проекта.*

## Выводы

В результате был создан проект по требуемому заданию.