



Universidade de Brasília

Departamento de Ciência da Computação

Arquitetura de Processadores Digitais

Profº Wilson Henrique Veneziano

ARM

Alunos: Alex Lobo
Danilo Alves

Sobre a Arquitetura ARM

A arquitetura ARM é uma arquitetura *Reduced Instruction Set Computer* (RISC) com as seguintes características:

- Uma extensa lista de registradores uniformes
- Uma arquitetura *load/store*, onde operações de processamento de dados operam apenas em conteúdo de registradores, não diretamente sobre o conteúdo da memória;
- Modos de endereçamento simples, com todos os endereços de *load/store* determinados apenas pelo conteúdo de registradores e campos de instruções.

Sobre a Arquitetura ARM

A arquitetura define a interação do *Processing Element* (PE) com a memória, incluindo caches, e contém um sistema de tradução de memória. Ele também descreve como múltiplos *Processing Elements* interagem uns com os outros e com outros observadores em um sistema.

Sobre a Arquitetura ARM

A arquitetura ARM suporta implementações através de uma ampla variedade de pontos de desempenho. Tamanho de implementação, desempenho e baixo consumo de energia são os principais atributos da arquitetura ARM.

Sobre a Arquitetura ARM

Uma característica importante da arquitetura ARMv8 é a compatibilidade com versões anteriores, combinado com a liberdade para a implementações otimizadas em uma ampla variedade de padrões e casos de uso mais especializados. A arquitetura ARMv8 suporta:

- Um estado de execução de 64-bit, AArch64;
- Um estado de execução de 32-bit, AArch32, que é compatível com versões anteriores da arquitetura ARM.

Sobre a Arquitetura ARM

Nota:

O estado de Execução é compatível com o perfil da arquitetura do ARMv7-A, e realça esse perfil ao suportar algumas características incluídas no estado de Execução do AArch64.

Sobre a Arquitetura ARM

Ambos estados de Execução suportam SIMD e instruções de ponto flutuante:

Estado AArch32 fornece:

- instruções SIMD no conjunto de instruções de base, que operam em registradores de 32 bits de propósito geral
- instruções SIMD avançadas que operam em registradores no SIMD e registradores de ponto flutuante.
- instruções de ponto flutuante que operam em registradores no SIMD.

Estado AArch64 fornece:

- instruções SIMD avançadas que operam em registradores no SIMD e registradores de ponto flutuante.
- instruções de ponto flutuante que operam em registradores no SIMD.

Sobre a Arquitetura ARM

A sigla SIMD (Single Instruction, Multiple Data), descreve um método de operação de computadores com várias unidades operacionais em computação paralela. Neste modo, a mesma instrução é aplicada simultaneamente a diversos dados para produzir mais resultados. O modelo SIMD é adequado para o tratamento de conjuntos regulares de dados, como as matrizes e vetores. Esse tipo de máquina opera aplicando uma única instrução a um conjunto de elementos de um vetor. Sendo uma máquina que aplique a n elementos uma determinada instrução e o vetor t contenha os elementos a serem processados, t terá todos seus elementos calculados n vezes mais rápido que uma máquina SISD na mesma tarefa.

Perfis de Arquitetura

A arquitetura ARM evoluiu significativamente desde a sua introdução, e a ARM continua a desenvolvê-la. Oito versões principais da arquitetura foram definidas, indicadas pelos números de versão 1 a 8. Destes, as três primeiras versões são agora obsoletas.

Perfis de Arquitetura

Os nomes genéricos AArch64 e AArch32 descrevem os estados de Execução de 64 e 32 bits:

AArch64

É o estado de Execução de 64 bits, endereços significativos são mantidos em registradores de 64 bits, e instruções no conjunto de instruções de base que podem usar registradores de 64 bits para seu processamento. Classe AArch64 suportam o conjunto de instruções A64.

AArch32

É ao estado de Execução de 32 bits, endereços significativos são mantidos em registradores de 32 bits, e instruções no conjunto de instruções de base que podem usar registradores de 64 bits para seu processamento. Classe AArch32 suportam o conjunto de instruções T32 e A32.

Perfis de Arquitetura

Nota:

O conjunto de instruções de base compreende outras instruções diferentes das suportadas pelas instruções SIMD avançadas e de ponto flutuante.

Perfis de Arquitetura

ARM define três perfis de arquitetura:

A - Perfil de aplicação

- Suporta uma Virtual Memory System Architecture (VMSA) baseada em uma Memory Management Unit (MMU).
- Suporta o conjunto de instruções A64, A32 e T32.

Perfis de Arquitetura

R - Perfil de tempo real

- Suporta uma Protected Memory System Architecture (PMSA) baseada em uma Memory Protection Unit (MPU).
- Suporta o conjunto de instruções A32 e T32.

Perfis de Arquitetura

M – Perfil de microcontrolador

- Implementa um modelo de programação projetado para processamento de interrupção de baixa latencia com empilhamento de hardware de registradores e suporte para escrita de lançamento de interrupção em linguagens de alto nível.
- Implementa uma variação do perfil R PMSA.
- Suporte a variações do conjunto de instruções T32.

Conceitos Arquiteturais ARMv8

ARMv8 introduz grandes alterações para a arquitetura ARM, enquanto mantém um alto nível de consistência com versões anteriores da arquitetura.

Estados de execução

O estado de execução define o ambiente de execução PE, incluindo:

- As larguras dos registradores suportados;
- O conjunto de instruções suportadas;
- Aspectos significativos do:

Modelo de exceção;

Arquitetura do sistema de memória virtual;

Modelo de programadores.

Estados de execução

AArch64

Estado de execução de 64 bits

- Fornece registradores de 64 bits de uso geral, dos quais X30 é usado como registrador de link de procedimento;
- Fornece um *program counter* (PC), *stack pointers* (SPs), and *exception link registers* (ELRs);
- Fornece 32 registradores de 128 bits para vetores SIMD e suporte a ponto flutuante escalar;
- Fornece um conjunto de instruções simples A64;
- Define o modelo de Exceção do ARMv8, com até 4 níveis de exceção, EL0 - EL3, que fornecem uma hierarquia de privilégios de execução;
- Fornece suporte para endereçamento virtual de 64 bits;
- Define um número de elementos de estados de Processos (PSTATE) que mantêm o estado de PE. O conjunto de instruções A64 inclui instruções que operam diretamente sobre vários elementos PSTATE.
- Cada nome de registrador do sistema usando um sufixo que indica o menor nível de Exceção que o registrador pode ser acessado.

Estados de execução

AArch32

Estado de execução de 32 bits.

- Fornece 13 registradores de uso geral, e um registrador PC, SP e link register (LR) de 32 bits. Alguns desses registradores têm múltiplas instâncias acumuladas para uso em diferentes modos PE;
- Fornece um único ELR, para retorno de exceções do modo Hyp;
- Fornece 32 registradores de 64 bits para vetor SIMD avançado e suporte a ponto-flutuante escalar;
- Fornece dois conjuntos de instruções, A32 e T32;
- Suporta o modelo de exceção ARMv7-A, baseado em modos PE, e mapas deste para o modelo de Exceções ARMv8, que é baseado em níveis de exceção;
- Fornece suporte a endereçamento virtual de 32 bits;
- Define um número de elementos de estados de Processos (PSTATE) que mantêm o estado de PE. O conjunto de instruções A32 e T32 inclui instruções que operam diretamente sobre vários elementos PSTATE usando Application Program Status Register (APSR) ou o Current Program Status Register (CPSR).

Estados de execução

A transição entre os estados de Execução AArch64 e AArch32 é conhecido como interprocessing . O PE pode mover-se entre estados de Execução apenas em uma mudança de nível de Exceção, e está sujeito às regras estabelecidas em Interprocessing. Isto significa que diferentes camadas de software, como uma aplicação, um kernel de sistema operacional, e um hypervisor, executando em diferentes níveis de Exceção, podem ser executadas em diferentes estados de Execução.

Conjunto de Instruções ARM

No ARMv8 os possíveis conjuntos de instruções dependem do estado de Execução:

AArch64

Estado AArch64 suporta apenas um único conjunto de instruções, chamado A64. Este é um conjunto de instruções de comprimento fixo que usa a codificação de instruções de 32 bits.

Conjunto de Instruções ARM

AArch32

Estado AArch32 suporta os seguintes conjuntos de instruções:

A32

Este é um conjunto de instruções de comprimento fixo que usa a codificação de instruções de 32 bits.

T32

Este é um conjunto de instruções de comprimento variável que usa ambas codificações de instruções de 16 e 32 bits.

Conjunto de Instruções ARM

Na documentação anterior, esses conjuntos de instruções foram chamados conjuntos de instruções ARM e Thumb. ARMv8 estende cada um desses conjuntos de instruções. No estado AArch32, o conjunto de instrução de estado determina o conjunto de instruções que o PE executa.