



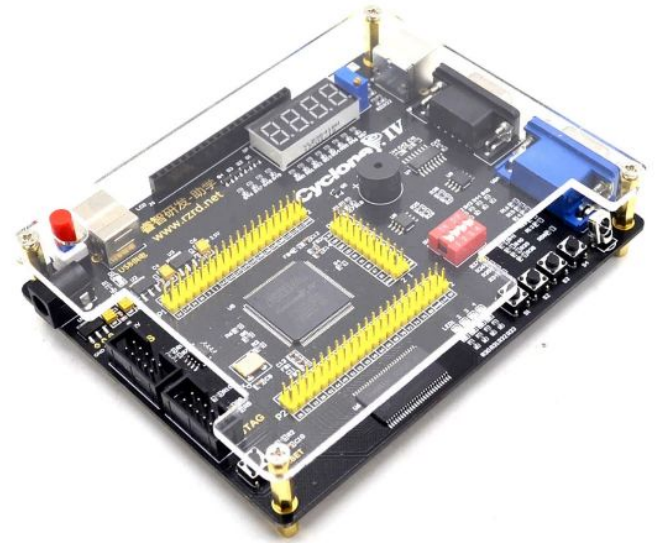
Ordered Dithering em VHDL

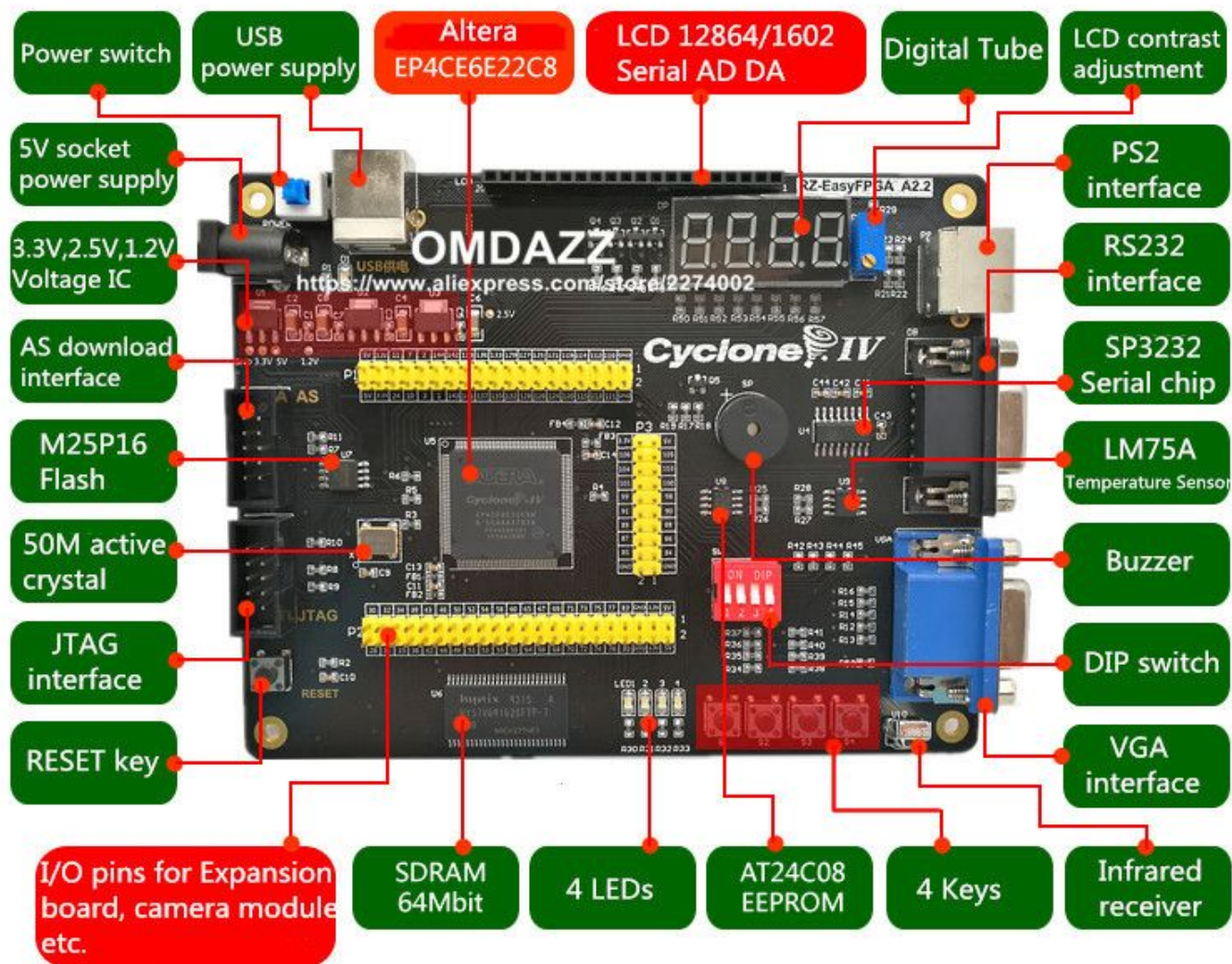
Usando Placa RZ-EasyFPGA A2.2 (Cyclone IV)
https://github.com/danilofuchs/FPGA_Dithering

Danilo Fuchs - Lógica Reconfigurável - 08/21

Placa RZ-EasyFPGA A2.2

- Chip Altera Cyclone IV EP4CE6E22C8N
- Comprada no AliExpress (R\$350)
- 276Kb de memória integrada
- Alimentação USB
- Programação por JTAG com USB Blaster
- Saída VGA RGB 3-bit





Quantas cores temos no VGA? Expectativa:

- VGA é um protocolo analógico
- Existe uma tabela de cores para cada nível de tensão analógica
- Normalmente 8 bits por pixel, 256 cores
- sVGA é mais moderno e tem 24 bits por pixel
- Mas... Nossa placa não tem DAC, então **só temos 3 bits por pixel (8 cores)**



Realidade:

3-bit RGB [\[edit \]](#)

0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
-----	-----	-----	-----	-----	-----	-----	-----

Como reduzir imagem 24 bits para 3 bits?

Primeiro, vamos pensar em uma imagem preto e branco. 8 bits para 1 bit.



Original

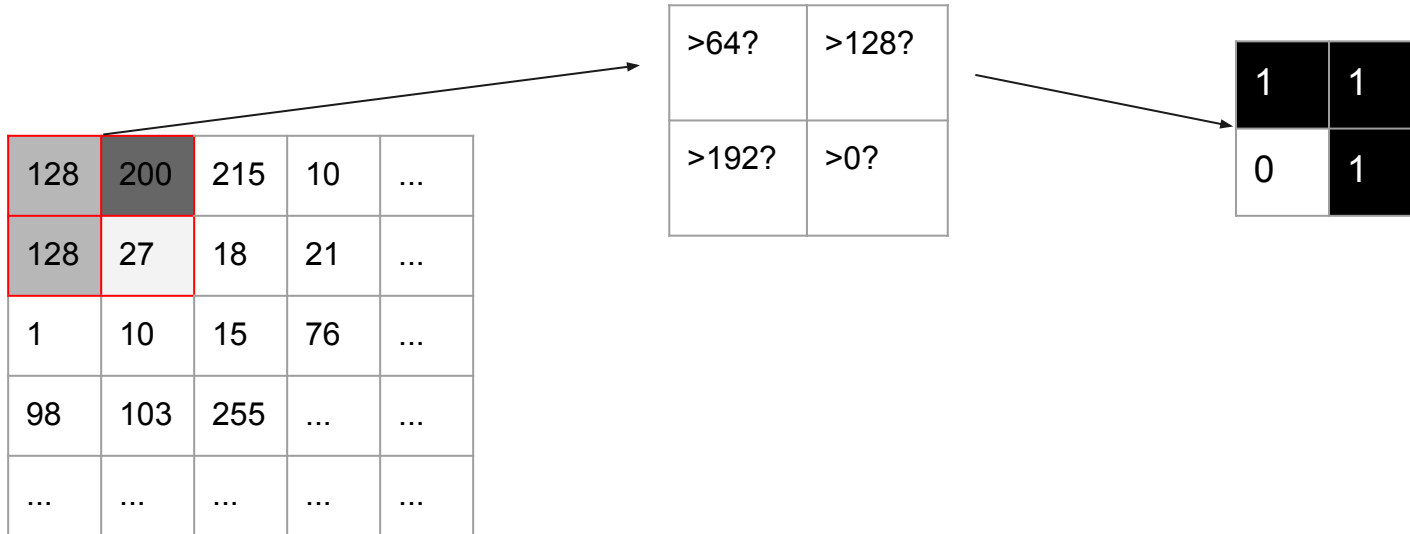


Threshold
if (pixel > 127) then 1 else 0



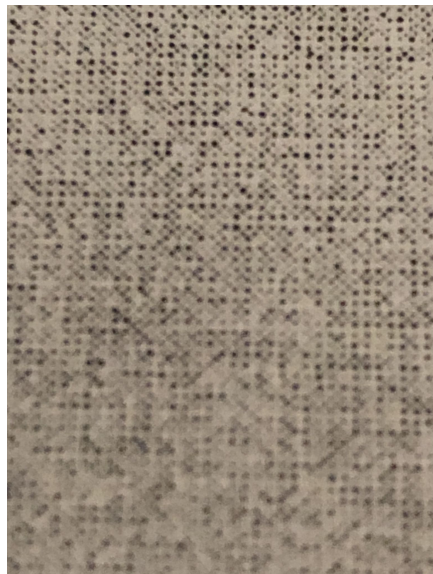
Ordered Dithering (Bayer)

Ordered Dithering - Bayer 2x2



Aplicações reais

Impressoras



E-readers

GIF (256 colors)

Dithered to 256 colors

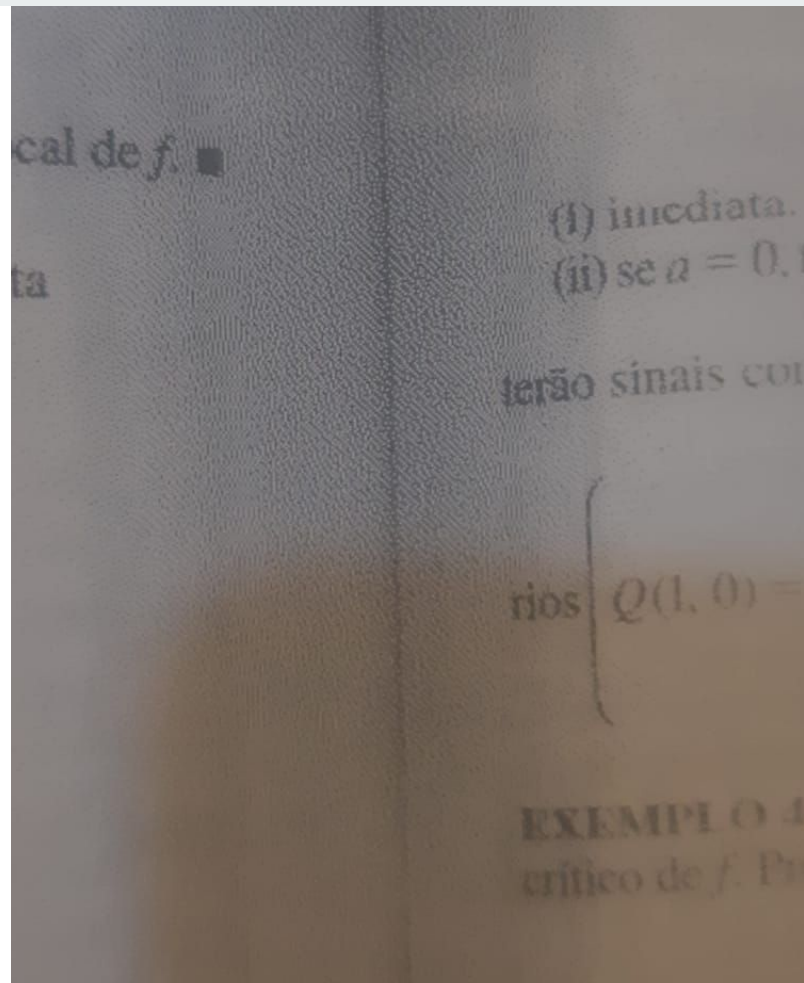


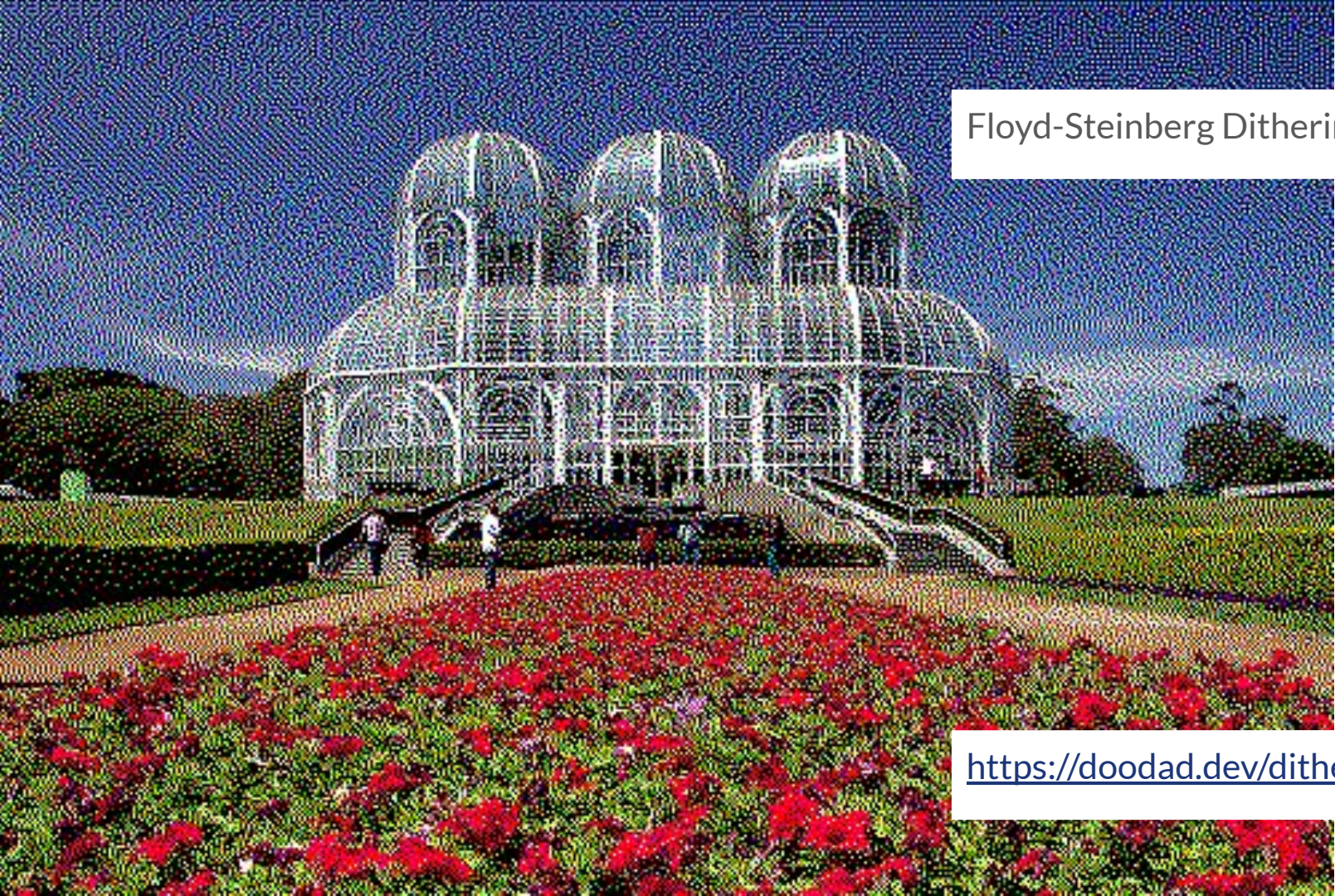
Imagem original



Ordered Dithering - Bayer 2x2



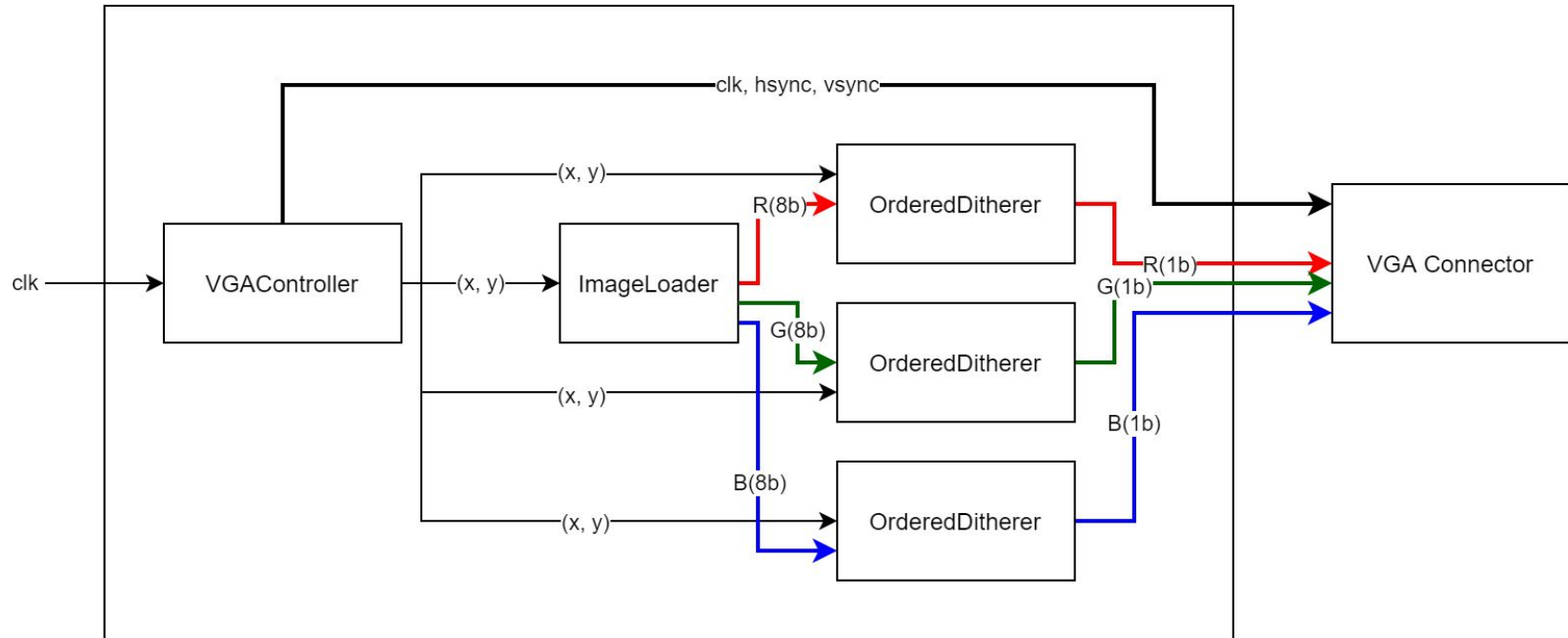
<https://doodad.dev/dither-me-this/>



Floyd-Steinberg Dithering

<https://doodad.dev/dither-me-this/>

Arquitetura





Como colocar imagem dentro da FPGA?

1. Script MATLAB para preparar imagem

- Gera arquivo .mif
- Grayscale ou RGB
- Diminui a imagem para caber na memória

2. Carregar .mif na placa

- Usando LPM_ROM
- Modifiquei o VHDL dele para ser generic
- Vai virar elementos lógicos dentro do chip
- Disponível durante compilação

Como colocar imagem dentro da FPGA? Script MATLAB



```
jardim_botanico.mif
DEPTH=9048;
WIDTH=24;
ADDRESS_RADIX = UNS;
DATA_RADIX = HEX;
CONTENT BEGIN
    0 : 425485;
    1 : 425485;
    2 : 435686;
    3 : 445588;
    4 : 435487;
```

```
jardim_botanico_gray.mif
DEPTH=27472;
WIDTH=8;
ADDRESS_RADIX = UNS;
DATA_RADIX = HEX;
CONTENT BEGIN
    0 : 55;
    1 : 54;
    2 : 54;
    3 : 54;
    4 : 56;
    5 : 57;
    6 : 56;
```

Como colocar imagem dentro da FPGA?

VHDL

```
[jardim_botanico.mif]
  Height: 78
  Width: 116
  Memory size: 9048
  Pixel depth: 24b
  Address Width: 14
  RAM usage: 217152 bits (78.54%)
```



```
img_color : RgbImageLoader
generic map(
    init_file => "./images/jardim_botanico.mif",
    image_height => 78,
    image_width => 116,
    memory_size => 9048,
    address_width => 14
)
port map(
    clk => clk,
    column => column,
    row => row,
    pixel => pixel
);
```

```

img_color : RgbImageLoader
generic map(
  init_file => "./images/jardim_botanico.mif",
  image_height => 78,
  image_width => 116,
  memory_size => 9048,
  address_width => 14
)
port map(
  clk => clk,
  column => column,
  row => row,
  pixel => pixel
);

```



```

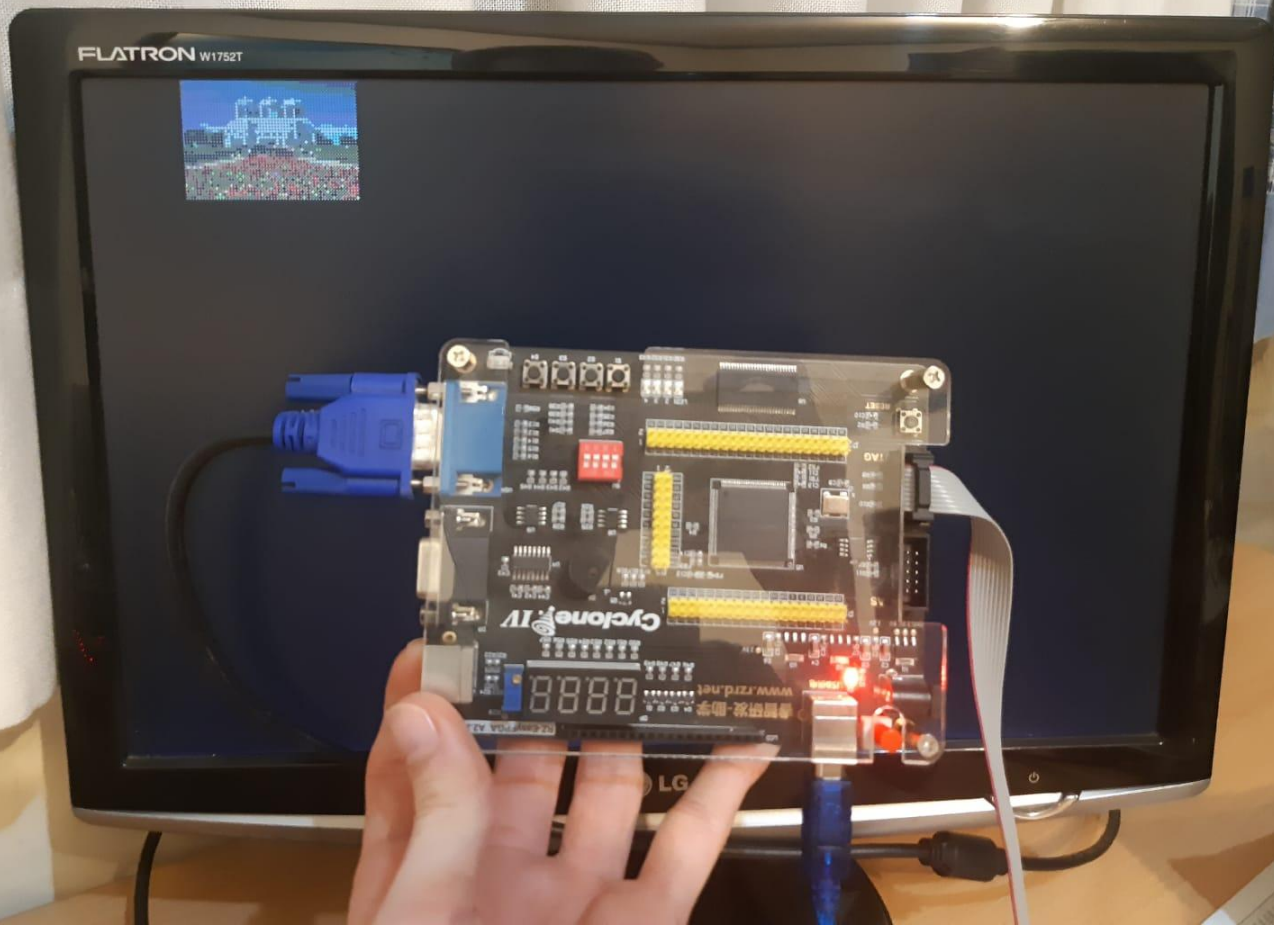
red_ditherer : OrderedDitherer port map(
  pixel => pixel.red,
  row => row,
  column => column,
  dithered_pixel => dithered_red_pixel
);
green_ditherer : OrderedDitherer port map(
  pixel => pixel.green,
  row => row,
  column => column,
  dithered_pixel => dithered_green_pixel
);
blue_ditherer : OrderedDitherer port map(
  pixel => pixel.blue,
  row => row,
  column => column,
  dithered_pixel => dithered_blue_pixel
);

```

```

package Pixel is
  type pixel_type is record
    red : STD_LOGIC_VECTOR(7 downto 0);
    green : STD_LOGIC_VECTOR(7 downto 0);
    blue : STD_LOGIC_VECTOR(7 downto 0);
  end record;
end package;

```





Resultados - Fotos da tela

Original



Threshold



Dithering



- Fotos tiradas da tela com celular
- Imagens pequenas por que estamos usando memória do chip, que é bem limitada

*Threshold = pixel > 127





Conclusão

- É uma técnica simples mas efetiva para reduzir banda
- Seria interessante desenvolver outros métodos (Floyd Steinberg, etc.)
- Parece tender a diminuir brilho em imagens coloridas
- Por falta de memória no chip, só consegui usar imagens bem pequenas
- Talvez usar a SRAM da placa (16Mb), porém falta documentação do fabricante
- Carregar imagens por Serial?
- Seria interessante analisar o Dithering para áudio também
- Dithering em baixa resolução lembra jogos arcade - provavelmente usavam Dithering também



[https://github.com/danilofuchs/FPGA Dithering](https://github.com/danilofuchs/FPGA_Dithering)