



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CAMPUS ARARANGUÁ

PROGRAMA DE GRADUAÇÃO EM ENGENHARIA DA
COMPUTAÇÃO

Danilo Silveira Ramos
Andre de Souza da Costa

Linguagem de Descrição de Hardware - DEC7555:
Trabalho T1

Araranguá
2025

PROJETO 1

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity prim_proc is
    port( in1, in2, in3, in4 : in std_logic;
          ctrl : in std_logic_vector (1 downto 0);
          sai : out std_logic);
end prim_proc;
architecture prim_proc of prim_proc is
begin
    process (in1, in2, in3, in4, ctrl)
    begin
        case ctrl is
            when "00" => sai <= in1;
            when "01" => sai <= in2;
            when "10" => sai <= in3;
            when "11" => sai <= in4;
            when others => null;
        end case;
    end process;
end prim_proc;
```

1.

O VHDL implementa um multiplexador 4:1 (4 entradas para uma saída), que possui:

- Inserção de dados: **in1, in2, in3, in4**
- Dois bits de controle: **ctrl** (1 downto 0)
- Uma saída: **sai**

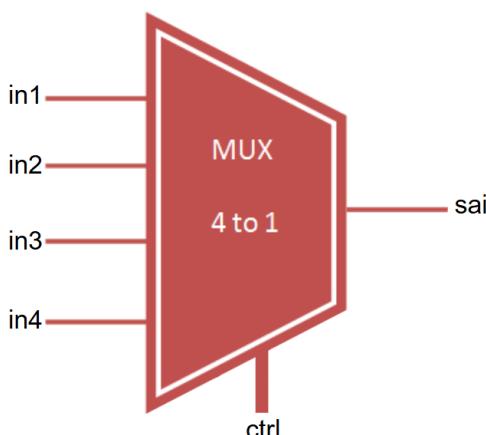
O funcionamento do VHDL quando ctrl (2 bits) é:

- 00: a saída (**sai**) recebe **in1**
- 01: a saída (**sai**) recebe **in2**
- 10: a saída (**sai**) recebe **in3**
- 11: a saída (**sai**) recebe **in4**

3.

Retirando o sinal **in4** da lista de sensitividade, quando **ctrl = "11"**, a saída não foi imediatamente atualizada quando a entrada **in4** sofreu alterações, apenas quando outro sinal na lista de sensibilidade (**in1**) foi alterado, a saída foi atualizada.

4.



PROJETO 2

DESCRIÇÃO

Implementação de máquina de estados de um transmissor serial que recebe uma palavra (8 bits) e transmite com *start bit* (0) e *stop bit* (0), com controle de fluxo pelos sinais **send** e **busy**.

SOLUÇÃO PROPOSTA

```
entity transmissor is
  port(
    clock, reset, send : in std_logic;
    palavra : in std_logic_vector(7 downto 0);
    busy, linha : out std_logic
  );
end transmissor;

architecture Behavioral of transmissor is
  signal estado : std_logic_vector(1 downto 0) := "00";
  signal contador : integer range 0 to 7 := 0;
  signal registrador : std_logic_vector(7 downto 0);
begin
  (Máquina de estados e lógica de transmissão)
  (Detalhes no código completo)
end Behavioral;
```

DIAGRAMA DE ESTADOS

repouso > start bit > transfere > stop bit > repouso