MIPS SEGMENTADO Y GESTIÓN DE RIESGOS

ARQUITECTURA Y ORGANIZACIÓN DE COMPUTADORES 2

DANIEL RUEDA MACÍAS

NIP: 559207



Índice

[RESUMEN 3](#_Toc448410829)

[INTRODUCCIÓN 3](#_Toc448410830)

[OBJETIVOS 3](#_Toc448410831)

[METODOLOGÍA 4](#_Toc448410832)

[LW y SW con preincremento 4](#_Toc448410833)

[Gestión de riesgos de datos 4](#_Toc448410834)

[Gestión de riesgos de control 5](#_Toc448410835)

[Implementación del predictor 5](#_Toc448410836)

[Conexión del predictor y gestión de fallos 6](#_Toc448410837)

[RESULTADOS 7](#_Toc448410838)

# RESUMEN

En este proyecto se ha optimizado un MIPS segmentado añadiéndole instrucciones preincremento, paradas en la detección de riesgos de datos y un predictor de saltos.

Para las instrucciones preincremento, se ha añadido un nuevo puerto de escritura junto con una señal de control independiente a la que ya tenía; para las paradas de detección de riesgos de datos, se ha condicionado las señales de control del PC y del banco que separa las etapas de fetch y decode si se detectaba alguno de estos riesgos; y por último, a la hora de añadir el detector de saltos, se ha ampliado el mux del PC a un mux de cuatro entradas con dos bits de control y se ha añadido el precitor correspondiente conectándole como entradas la información del útimo salto realizado y como salidas la información del salto predicho.

Todo esto con el fin de reducir los CPIs y en consecuencia, el tiempo de ejecución del procesador para así poder obtener uno mucho más eficiente.

# INTRODUCCIÓN

Se nos ha proporcionado un MIPS segmentado de 32 bits como el visto en clase sin anticipación de operandos, que resuelve los saltos en la etapa decode y escribe en el banco de registros en flanco de bajada. Todo descrito mediante VHDL, un lenguaje de descripción de hardware y ModelSim, un entorno de simulación basado en bancos de prueba y cronogramas.

# OBJETIVOS

Queremos reducir los CPIs del MIPS, mediante el añadido de instrucciones preincremento, un módulo que detecte los riesgos de datos realizando las paradas necesarias y un predictor de saltos que diga si se va a saltar o no en la etapa fetch según lo que se ha hecho en el salto anterior.

# METODOLOGÍA

## LW y SW con preincremento

Para la realización de estas instrucciones preincremento, lo primero que se ha hecho ha sido modificar el banco de registros, añadiéndole un nuevo puerto de escritura, junto con un bus y una señal de control.

Lo segundo ha sido propagar la señal correspondiente al registro RS hasta la etapa MEM. En dicha etapa, se ha conectado la señal ALU\_out\_MEM, que es la que contiene la salida de la ALU, al nuevo bus del banco de registros. Lo mismo ha sucedido con RS, en dicha etapa, se ha conectado al nuevo puerto de escritura del banco.

Por último pero no menos importante, se ha añadido una nueva señal a la unidad de control, que es la que corresponde a la escritura en el banco de registros de las instrucciones preincremento, poniéndola a 1 sólo cuando el código de operación sea el correspondiente a las instrucciones LW\_pre o SW\_pre.

## Gestión de riesgos de datos

Mediante distintos ejemplos de código pensados en papel realizando los grafos de dependencias, se ha llegado a la detección de los siguientes riesgos de datos.

* Riesgos de datos de RS
  + Que en la etapa EX el registro que haya en el puerto de escritura del banco (RW\_EX) coincida con el nuestro y que se vaya a realizar la escritura (RegWrite\_EX = 1).
  + Que en la etapa MEM el registro que haya en el puerto de escritura del banco (RW\_MEM) coincida con el nuestro y que se vaya a realizar la escritura (RegWrite\_MEM = 1).
  + Que en la etapa EX el registro que haya en el puerto de escritura que se ha añadido para la instrucciones preincremento (RS\_EX) coincida con el nuestro y se vaya a realizar la escritura (Update\_Rs\_EX = 1).
* Riesgos de datos para RT
  + Que en la etapa EX el registro que haya en el puerto de escritura del banco (RW\_EX) coincida con el nuestro, que se vaya a realizar la escritura (RegWrite\_EX = 1) y que la instrucción que se encuentra en D no sea un LW.
  + Que en la etapa MEM el registro que haya en el puerto de escritura del banco (RW\_MEM) coincida con el nuestro, que se vaya a realizar la escritura (RegWrite\_MEM = 1) y que la instrucción que se encuentra en D no sea un LW.
  + Que en la etapa EX el registro que haya en el puerto de escritura que se ha añadido para la instrucciones preincremento (RS\_EX) coincida con el nuestro y se vaya a realizar la escritura (Update\_Rs\_EX = 1) y que la instrucción que se encuentra en D no sea un LW.

Éstos riesgos se deben considerar para todas las instrucciones excepto para una NOP, una NOP no hace nada, aunque tenga operandos, por lo tanto no debemos hacer parada. En cuanto al comentario que se ha realizado respecto a que la instrucción no sea un LW en los riesgos de RT, esto se debe a que en un LW en RT se carga el dato, no se lee de él, por lo tanto no tenemos que parar.

## Gestión de riesgos de control

Lo primero que se hizo en esta última parte para gestionar los riesgos de control añadiendo un predictor, fue crear un nuevo fichero en el que se define el comportamiento de este.

### Implementación del predictor

El predictor tiene como señales de entrada clk; reset; PC4, que corresponde al PC+4 en la etapa F; PC4\_ID, que corresponde al PC+4 en la etapa D; branch\_address\_in, la cual es la dirección de salto calculada en la etapa D; prediction\_in el cual es el bit de salto que indica si se ha saltado o no se ha saltado y update, que es el bit que indica si se debe actualizar el predictor o no.

Como señales de salida tiene branch\_address\_out y prediction\_out que representan la predicción del predictor siendo la dirección de y el bit de salto respectivamente.

Siguiendo por el comportamiento del predictor, se han definido las señales que representarán la memoria interna de este. Estas señales son:

* etiqueta: Nos permite identificar la instrucción de salto almacenada, se almacena como etiqueta PC4\_ID.
* dirSalto: Se almacena la dirección de salto completa.
* prediccion: Indica que ocurrió la última vez, 0 de saltó y 1 no se saltó.
* validez: Indica si la información que contiene el registro es válida.

A continuación se ha definido el comportamiento mediante dos procesos que se ejecutan concurrentemente.

El primer proceso es el que se encarga de actualizar el registro. Tiene como lista de sensibilidad el clk. Si llega un evento de clk y este es igual a 1, entonces se mira si la señal reset está activada. En caso afirmativo, las señales del registro se ponen a 0, en caso contrario, se procede a comprobar si la señal de update está activada para actualizar la información del registro. En caso afirmativo se almacena la nueva información que viene por las señales de entrada.

El segundo proceso es el que se encarga de realizar de comparador, tiene como lista de sensibilidad las señales PC4, validez y prediccion. En caso de que alguna de estas cambie, se procederá a realizar la comparación. Si PC4 coincide con la etiqueta del registro, el dato del registro es válido, es decir, está a 1 y si predicción está a 1 (la última vez se saltó), entonces, se dirá que se salta (prediction\_out a 1 y por branch\_address out se sacará la dirección de salto). En caso contrario no se salta (prediction\_out a 0).

### Conexión del predictor y gestión de fallos

Una vez con el comportamiento del predictor programado toca conectarlo a nuestro MIPS.

Primero se ha ampliado el mux que conectaba la entrada al PC a un mux de 4 entradas con dos bits de control. En la entrada 0 se ha conectado el PC+4 en la etapa F, en la 1 la dirección de salida del predictor, en la 2 el PC+4 en la etapa D y por último en la entrada 3 la dirección de salto calculada.

En segundo lugar, viene la parte en la que hay que gestionar los bits de control según los riesgos o errores como yo los he llamado, que se den. Existen tres tipos de errores:

1. Que el predictor nos haya dicho en F que no saltamos pero luego a la hora de calcular el salto en D sí que saltamos.
2. Que el predictor nos haya dicho en F que sí saltamos pero luego a la hora de calcular el salto en D no saltamos.
3. Que el predictor nos haya dicho en F que sí saltamos, que en D al calcular el salto salga el mismo resultado pero luego las direcciones de salto del predictor y la calculada no coincidan.

Una vez con los errores descritos, se asignan los siguientes valores a los bits de control dados los siguientes casos:

* 00 – Si no hay ninguno de los errores citados anteriormente y el predictor dice que no hay que saltar.
* 01 – Si no hay ningún error y el predictor dice que hay que saltar.
* 10 – Si se da el segundo error.
* 11 – Si se da el primer o el tercer error.

En tercer y último lugar, se ha conectado el predictor al procesador. En las señales de entrada se han conectado el clk a clk, reset a reset, PC+4 en F bits 9 a 2 a PC4, PC+4 en D bits de 9 a 2 a PC4\_ID, la dirección de salto calculada en ID a branch\_address\_in en el caso de que se produjera el primer o el tercer error, en cualquier otro caso el PC4\_ID, en prediction\_in se ha conectado el bit de salto y en update una señal auxiliar que se pone a 1 si el bit de salto y prediction\_out son distintos, en cualquier otro caso 0.

En lo que respecta a las señales de salida, se han conectado unos puertos nuevos que se han creado en el banco de registros que separa la etapa F de D para así poder leer sus valores en D.

# RESULTADOS