MEMORIA PROYECTO 2

BUS COMPARTIDO Y DMA

daniel rueda macías

559207



Contenido

[RESUMEN 3](#_Toc451266977)

[INTRODUCCIÓN 3](#_Toc451266978)

[OBJETIVOS 4](#_Toc451266979)

[METODOLOGÍA 4](#_Toc451266980)

[Cambios realizados en el DMA 4](#_Toc451266981)

[Máquina de estados de la unidad de control del DMA 5](#_Toc451266982)

[RESULTADOS 6](#_Toc451266983)

[CONCLUSIONES 7](#_Toc451266984)

# RESUMEN

En este proyecto se ha realizado la programación, a través de una máquina de estados mealy, de la unidad de control de un DMA, el cual es el controlador de un periférico que comparte el bus de memoria con el MIPS del proyecto anterior. Se han tenido que gestionar los accesos al bus para que no haya conflictos y parar el procesador en caso de que una transferencia en modo ráfaga esté en proceso. Por último, se ha realizado el apartado optativo, que consiste en añadir a la máquina de estados de la UC del DMA un modo robo de ciclo, para así poder aumentar la eficiencia del procesador, ya que, si el MIPS se para por cada transferencia, el tiempo de ejecución del programa que se esté ejecutando se disparará.

# INTRODUCCIÓN

Se tiene el MIPS de la práctica anterior, con sus instrucciones LW y SW pre-incremento, su unidad de detención ante riesgos de datos y su predictor de saltos. Se ha sustituido el bus de memoria de datos de dicho procesador por un bus en el que están conectados la MD con su controlador y el periférico IO con su respectivo controlador (DMA).

Este bus es un bus semi-síncrono que soporta ráfagas de tamaño variable. Respecto al arbitraje, el MIPS siempre actúa como master, el DMA puede actuar como master o como slave y la MD siempre como slave. El bus incluye una línea MIPS\_REQ que activa el controlador del MIPS cuando desea utilizar el bus. Si el bus no está realizando una ráfaga y MIPS\_REQ está activo la CPU tendrá el uso del bus. En caso contrario el DMA podrá utilizar el bus. Si el DMA comienza una ráfaga, tendrá el uso del bus hasta que la ráfaga termine.

Por último pero no menos importante, DMA e IO están comunicados por un bus asíncrono. Esto quiere decir que para que el DMA realice lecturas o escrituras en IO, estos dos se tienen que poner de acuerdo con sus respectivas señales de sincronización: *DMA\_sync e IO\_sync*.

# OBJETIVOS

Al final se quiere llegar a que el DMA realice transferencias entre MD e IO, leyendo de MD y escribiendo en IO o viceversa. En modo ráfaga o en modo robo de ciclo. El MIPS da la orden de transferencia al DMA y este se encarga de realizarla mientras el MIPS sigue por su cuenta realizando otras operaciones.

Para ello, es de vital importancia realizar una correcta máquina de estados Mealy que cumpla todos estos requisitos.

# METODOLOGÍA

Repitiendo lo que se ha dicho anteriormente, el DMA va a hacer transferencias en modo ráfaga o en modo robo de ciclo, por tanto y por si no había quedado del todo claro, se ha realizado el apartado optativo.

Este apartado de metodología se va a dividir en 3 partes:

1. Cambios realizados en el DMA.
2. Máquina de estados de la unidad de control del DMA.
3. Pruebas realizadas.

## Cambios realizados en el DMA

El DMA que se proporciona inicialmente consta de un registro de control que guarda la orden de la transferencia, un contador en el que se lleva la cuenta del número de palabras transferidas, un registro de datos en el cual se guarda la palabra que se está transfiriendo para mandarla luego a IO o a MD según lo que toque y la unidad de control.

Quitando la UC, para realizar transferencias en modo ráfaga no hay que modificar nada del DMA, pero para poder hacer transferencias en modo robo de ciclo se han realizado las siguientes modificaciones:

* Se ha creado la señal *robo* que indica a la UC que la transferencia se realizará en modo robo de ciclo. El valor de dicha señal se obtiene del bit 26 del registro de control. Si la señal vale 1 la transferencia se realizará en modo robo de ciclo, en caso contrario en modo ráfaga. Por último, se ha conectado como señal de entrada a la UC.
* En las transferencias en modo ráfaga, el controlador de la MD va actualizando las direcciones de memoria en cada ciclo para cuando se desee, leer o escribir palabras en modo ráfaga. Pero para poder realizar una transferencia en modo robo de ciclo, el DMA tiene que encargarse de llevar la cuenta de las direcciones para poder ir pidiéndolas cuando el bus que le comunica con MD esté libre. Por tanto, se ha cambiado la sentencia concurrente que ponía en el bus la dirección inicial de la primera palabra por la dirección inicial más el número de palabras en caso de que la señal *robo* esté activa, en caso contrario sigue introduciéndose la dirección de la palabra inicial.

## Máquina de estados de la unidad de control del DMA

A continuación, se adjunta el autómata mealy que programa la UC. Hay que aclarar que, para no sobrecargar el dibujo, solo se han puesto las señales que se ponen a 1 en la transición, las que no aparezcan estarán a 0.

# RESULTADOS

# CONCLUSIONES