MEMORIA PROYECTO 2

BUS COMPARTIDO Y DMA

daniel rueda macías

559207



Contenido

[RESUMEN 3](#_Toc451180349)

[INTRODUCCIÓN 4](#_Toc451180350)

[METODOLOGÍA 5](#_Toc451180351)

[RESULTADOS 6](#_Toc451180352)

[CONCLUSIONES 7](#_Toc451180353)

# RESUMEN

En este proyecto se ha realizado la programación, a través de una máquina de estados mealy, de la unidad de control de un DMA, el cual es el controlador de un periférico que comparte el bus de memoria con el MIPS del proyecto anterior. Se han tenido que gestionar los accesos al bus para que no haya conflictos y parar el procesador en caso de que una transferencia en modo ráfaga esté en proceso. Por último, se ha realizado el apartado optativo, que consiste en añadir a la máquina de estados de la UC del DMA un modo robo de ciclo, para así poder aumentar la eficiencia del procesador, ya que, si el MIPS se para por cada transferencia, el tiempo de ejecución del programa que se esté ejecutando se disparará.

# INTRODUCCIÓN

Se tiene el MIPS de la práctica anterior, con sus instrucciones LW y SW pre-incremento, su unidad de detención ante riesgos de datos y su predictor de saltos. Se ha sustituido el bus de memoria de datos de dicho procesador por un bus en el que están conectados la MD con su controlador y el periférico IO con su respectivo controlador (DMA).

Este bus es un bus semi-síncrono que soporta ráfagas de tamaño variable. Respecto al arbitraje, el MIPS siempre actúa como master, el DMA puede actuar como master o como slave y la MD siempre como slave. El bus incluye una línea MIPS\_REQ que activa el controlador del MIPS cuando desea utilizar el bus. Si el bus no está realizando una ráfaga y MIPS\_REQ está activo la CPU tendrá el uso del bus. En caso contrario el DMA podrá utilizar el bus. Si el DMA comienza una ráfaga, tendrá el uso del bus hasta que la ráfaga termine.

Por último pero no menos importante, DMA e IO están comunicados por un bus asíncrono. Esto quiere decir que para que el DMA realice lecturas o escrituras en IO, estos dos se tienen que poner de acuerdo con sus respectivas señales de sincronización: *DMA\_sync e IO\_sync*.

# METODOLOGÍA

# RESULTADOS

# CONCLUSIONES