

# מבוא למחשבים

## הרצאת מבוא

ד"ר רון שמואלי

**חלק נכבד מהשקפים מבוסס על הספרים הבאים:**

- Heuring and Jordan: "Computer System Design and Architecture", **Prentice Hall**, 2004
- David A. Patterson and John L. Hennessy, "Computer Organization & Design" Morgan Kaufmann Publication Inc, .
- M. Morris Mano, "Computer system Architecture" Third Edition, Prentice Hall, 1993.

# ספרות

## ספר הקורס

- Heuring and Jordan: "Computer System Design and Architecture", **Prentice Hall**, 2004. (ניתן למצוא את המצגות המובנות של הספר באינטרנט)

## ספרים נוספים:

- David A. Patterson and John L. Hennessy, "Computer Organization and Design, Fourth Edition: The Hardware/Software Interface
- M. Morris Mano, "Computer system Architecture" Third Edition, Prentice Hall, 1993.

- חומר עזר – שקפים + סילבוס באתר הקורס ב-  
LEARN HIGH
- ציון סופי = מבחן \* 90% + ע"ב \* 10%
- שעות קבלה בימי ד – יקבעו בהמשך



2

Dr. Ron Shmueli

2013

## סילבוס

1. מבוא-המבנה הכללי של מחשב ספרתי :
  - ארגון המעבד (CPU) ייצוג ועיבוד אינפורמציה במחשב
2. שפת המכונה:
  - מבנה הפקודה, שיטות מיעון – הקשר לחומרה
  - תכנון ותיאור חומרת המחשב בעזרת RTN
3. המעבד ויחידת הבקרה:
  - תכנון מפורט של המעבד
  - שיטות מימוש יחידות בקרה (שערים/ מיקרו-תכנות)
4. היחידה האריתמטית:
  - פעולות אריתמטיות (נקודה-קבועה ונקודה-צפה), חיבור כפל וחילוק מהיר
5. יחידת הזיכרון:
  - ארגון הזיכרון, זיכרון מטמון, זיכרון מהיר.
6. יחידת קלט-פלט
7. שיטות מיפוי של יחידות קלט-פלט, פסיקה, גישה ישירה לזיכרון (DMA).
8. עיבוד ב- PIPELINE (אופציה).
  - האצת המעבד, טיפול בסיכונים.

3

Dr. Ron Shmueli

2013

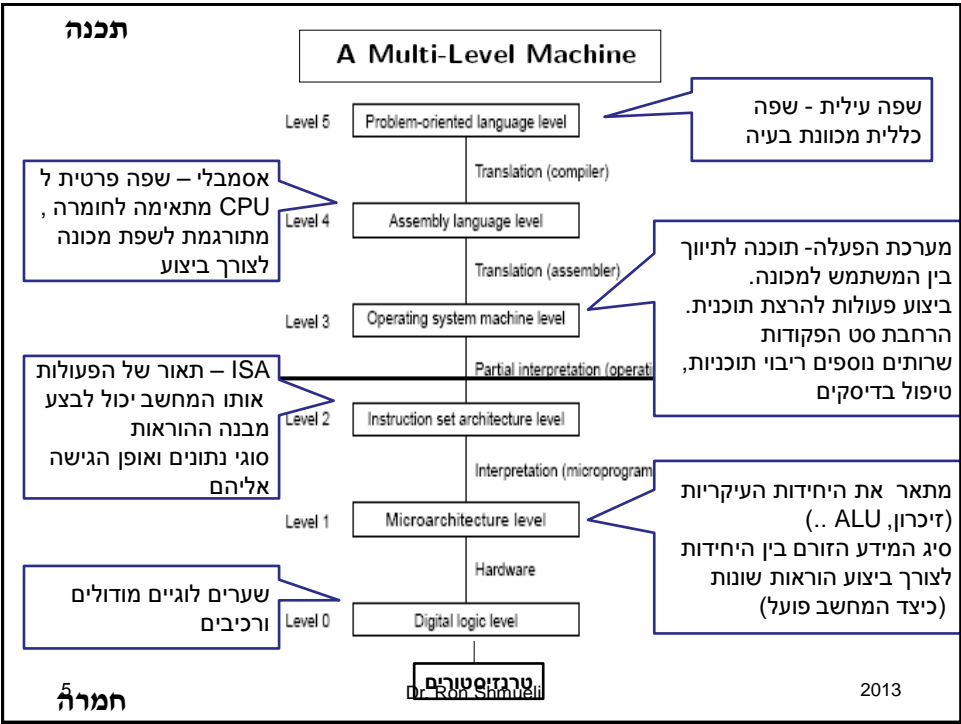
## המחשב הספרתי

- **המחשב הספרתי.**
  - מורכב מחומרה שעליה רצה התוכנה.
  - ההפרדה מאפשרת הרצת יישומים שונים על אותה חומרה
- **חומרה Hardware** – אוסף הרכיבים של המחשב
  - רכיבים פנימיים כמו אוגרים, זיכרון ....
  - רכיבים חיצוניים כמו מקלדת, עכבר, מסך.
- **תוכנה Software** - תוכניות מחשב
  - הוראות ונתונים
  - פונקציות שרות, מערכת הפעלה, יישומים ייעודיים
- **תלות הדדית - חומרה תוכנה**
  - **החומרה מגדירה** – אלו פעולות המחשב יכול לבצע (כפל ??)
  - ואיזה תוכנה תפעל עליה, אלו הוראות יהיו בתוכנה.
  - **התוכנה מגדירה** - אופן הפעולה של החומרה (שולטת בחומרה)

4

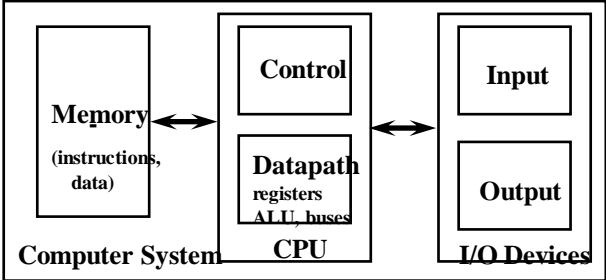
Dr. Ron Shmueli

2013



## הארכיטקטורה של Von Neumann - 1951

- עקרון התוכנית המאוחסנת (stored program)
  - תכנית ונתונים מאוחסנים באותו מרחב זיכרון.
  - פקודה מובאת מהזיכרון, ובכל זמן מבוצעת פקודה אחת במעבד
- יחידת הקלט/פלט (I/O Devices) קליטת והצגת נתונים מהמשתמש
- ערוצי תקשורת (buses) מקשרים בין היחידות ומעבירים מידע.



Sequential Circuits

Registers

PC= Program Counter.  
IR = Instruction Register.  
R1,R2,,,,- Register i (General Register).

האוגרים מסומנים בעזרת אותיות ומספרים – ראשי תיבות.

Programmer:

310

PC

A<sub>0</sub>

Q<sub>0</sub>

D<sub>0</sub>

C<sub>0</sub>

A<sub>1</sub>

Q<sub>1</sub>

D<sub>1</sub>

C<sub>1</sub>

A<sub>2</sub>

Q<sub>2</sub>

D<sub>2</sub>

C<sub>2</sub>

A<sub>3</sub>

Q<sub>3</sub>

D<sub>3</sub>

C<sub>3</sub>

Clock

I<sub>0</sub>

I<sub>1</sub>

I<sub>2</sub>

I<sub>3</sub>

Logic Designer  
(Fig 1.8):

32

B Bus

32

Q

PC

D

PC<sub>in</sub>

CK

32

A Bus

PC<sub>out</sub>

7

Dr. Ron Shmueli

12-May-2013

The Master-Slave Flip-Flop

Circuit

Master

Slave

D

Q<sub>M</sub>

D

Q<sub>S</sub>

$\bar{Q}_S$

CLK

C

C

D

Q

$\bar{Q}$

Symbol

D

Q

$\bar{Q}$

Timing Diagram

CLK

D

Q<sub>M</sub>

Q<sub>S</sub>

$\bar{Q}_S$

The rising edge of the clock clocks new data into the Master, while the slave holds previous data.  
The falling edge clocks the new Master data into the Slave.

8

Dr. Ron Shmueli

2013

4

Dr. Ron Shmueli

Latch and Edge-Triggered Operation

- Latch output follows input while strobe is high

D

C

Q

D

Q

C

Edge triggering samples input at edge time •

D

C

Q

D

Q

C

מונה בינרי גנרי

- parallel load /Reset

2013

Dr. Ron Shmueli

10

# Bus System

- יצירת מסלול להעברת נתונים בין האוגרים.

**מימוש בעזרת MUX**

$BUS \leftarrow R_A$   
 $R_D \leftarrow BUS$   
 $R_D \leftarrow R_A \Leftarrow$

11 Dr. Ron Shmueli 12-May-2013

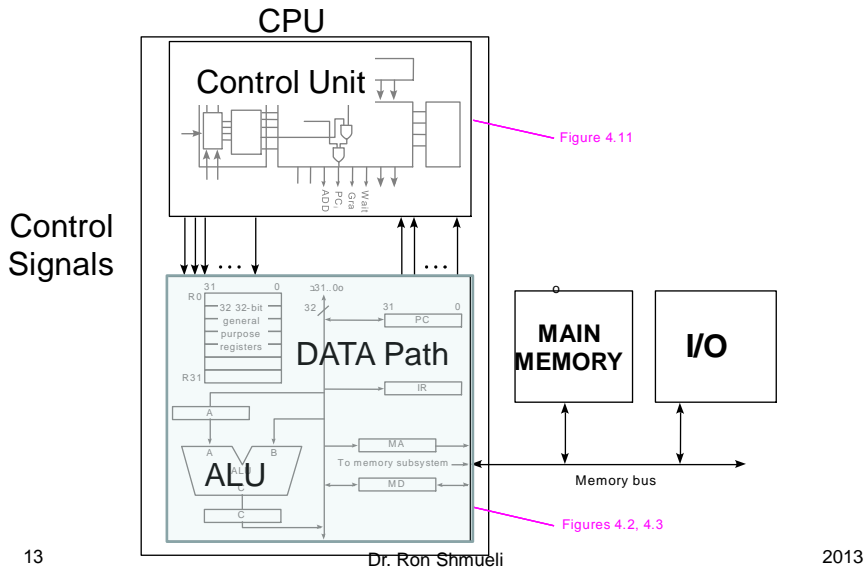
Tri-state bus

**Fig. 2.24 Registers and Arithmetic Connected by One Bus**

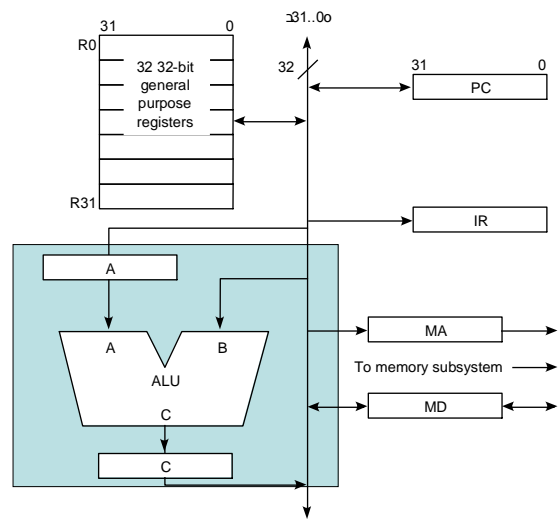
**Synchronized Register Transfer**  
במהלך הקורס:  
העברת מידע מסונכרנת ע"י שעון  
מידע יוצא מהאוגר בעליית שעון  
ונדגם לאוגר היעד בירידת שעון

Copyright © 2004 Pearson Prentice Hall, Inc.

Fig 4.1 Block Diagram of 1-Bus SRC



## Arithmetic Logic (shift) Unit



- ALU מכיל:
- יחידה אריתמטית
  - יחידה לוגית
  - יחידת הזזות

### תכנון יחידה אריתמטית פשוטה

Output	Input	Select
	Y	Cin S1 S0
$D=A+Y+Cin$	B	0 0 0
$D=A+B$	B	1 0 0
$D=A+B'$	B'	0 0 1
$D=A+B'+1$	B'	1 0 1
$D=A$	0	0 1 0
$D=A+1$	0	1 1 0
$D=A-1$	1	0 1 1
$D=A$	1	1 1 1

1111 = 2's comp. of 0001

Dr. Ron Shmueli

### תכנון יחידה לוגית פשוטה

S <sub>1</sub>	S <sub>0</sub>	Output	μ-operation
0	0	$F = A \wedge B$	AND
0	1	$F = A \vee B$	OR
1	0	$F = A \oplus B$	XOR
1	1	$F = A'$	Complement

- רוב המעבדים מיישמים רק AND OR XOR ומשלים בעזרתם מיישמים את שאר הפעולות (אופרטור אוניברסאלי)
- פעולות לוגיות מתבצעות ברמת הסיבית.
- אבחנה בין פעולות לוגיות לאריתמטיות

$$R1 \leftarrow R2 + R3, \quad R4 \leftarrow R5 \vee R6$$

add microop

OR microop

Dr. Ron Shmueli

16

2013



### תכנון יחידת הזזות פשוטה

S1	S0	Register Operation
0	0	No Change
0	1	Shift Right (down)
1	0	Shift Left (up)
1	1	Parallel Load

Figure 2-9 Bidirectional shift register with parallel load.

Serial Input 17 Clock Serial Output

Dr. Ron Shmueli

12-May-2013

Shift Microoperations

## ARITHMETIC LOGIC SHIFT UNIT

18

Dr. Ron Shmueli

2013

זכרונות RAM/ROM

data input lines

n

address lines

k

Read

Write

RAM unit

n

data output lines

k address input lines

m x n ROM (m=2<sup>k</sup>)

CS

n data output lines

Canonical minterms

$X_0 = A'B' + B'C$   
 $X_1 = A'B'C + A'BC'$   
 $X_2 = BC + AB'C'$   
 $X_3 = A'BC' + AB'$   
 $X_4 = AB$

$X_0 = A'B'C' + A'B'C + AB'C$   
 $X_1 = A'B'C + A'BC'$   
 $X_2 = A'BC + AB'C' + ABC$   
 $X_3 = A'BC' + AB'C' + AB'C$   
 $X_4 = ABC' + ABC$

address

ABC	X <sub>0</sub>	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>
000	1	0	0	0	0
001	1	1	0	0	0
010	0	1	0	1	0
011	0	0	1	0	0
100	0	0	1	1	0
101	1	0	0	1	0
110	0	0	0	0	1
111	0	0	1	0	1

19

Dr. Ron Shmueli

12-May-2013

Fig. 2.2 Accessing Memory—Reading from Memory

Data bus

Address bus

CPU

Registers

n

b

Main memory

Address

8

A<sub>0</sub> - A<sub>n-1</sub>

D<sub>0</sub> - D<sub>b-1</sub>

R

W

COMPLETE

Control signals

For a Memory Read:

CPU applies desired address to Address lines A<sub>0</sub>-A<sub>n-1</sub>

CPU issues Read command, R

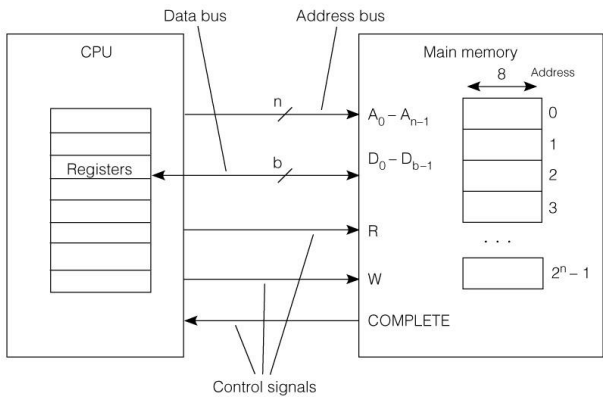
Memory returns the value at that address on Data lines D<sub>0</sub>-D<sub>b-1</sub> and asserts the COMPLETE signal

Copyright © 2004 Pearson Prentice Hall, Inc.

Dr. Ron Shmueli

2013

Figure 2.2 Accessing Memory—Writing to Memory



For a Memory Write:  
CPU applies desired address to Address lines  $A_0-A_{n-1}$  and data to be written on Data lines  $D_0-D_{b-1}$   
CPU issues Write command,  $W$   
Memory asserts the COMPLETE signal when the data has been written to memory.

Copyright © 2004 Pearson Prentice Hall, Inc.

Dr. Ron Shmueli

## Scales, Units, and Conventions(\*)

Term	Normal Usage	As a power of 2
K (kilo-)	$10^3$	$2^{10}$ 1,024 =
M (mega-)	$10^6$	$2^{20}$ 1,048,576 =
G (giga-)	$10^9$	$2^{30}$ 1,073,741,824 =
T (tera-)	$10^{12}$	$2^{40}$ 1,099,511,627,776 =

Term	Usage
m (milli-)	$10^{-3}$
$\mu$ (micro-)	$10^{-6}$
n (nano-)	$10^{-9}$
p (pico-)	$10^{-12}$

**Note the differences between usages. You should commit the powers of 2 and 10 to memory.**

Units: Bit (b), Byte (B), Nibble, Word (w), Double Word, Long Word,  
Second (s), Hertz (Hz)

דוגמא

- מחשב בעל זיכרון 1Giga bytes
- הפועל בתדר 1Giga Hertz (Hz= 1/Second)
- גודל הזיכרון  $1,073,741,824 = 2^{30}$  Bytes
- תדר השעון  $f = 1,000,000,000 = 10^9$  Hz
- זמן המחזור:  $T = 1/f$

$T = 1/10^9 = 10^{-9} = 1\text{ nano second} = 1\text{ ns}$

23

Dr. Ron Shmueli

2013

שפת המחשב

- שפות נמוכות Low level language
  - שפת אסמבלי או שפת סף (Assembly language)
    - ייצוג בסמלים (Mnemonic codes) ADD CMP ...
    - פקודה בשפת אסמבלי MOVE.W D4, D5

Op code Source Data reg. #5 Destination Data reg. #4

- שפת מכונה (Machine Language)
  - פקודה בשפת מכונה 0011 000 100 000 101

opcode Operands

חסרון – תלות בחומרה , חוסר ניידות

- שפות עיליות High level language
  - מגדירות פעולות בצורה לוגית בלי להתייחס לחמרת המחשב

יתרון – אין תלות בחומרה -ניידות

24

Dr. Ron Shmueli

2013

Registers

SRC Registers

- IR
- PC
- MA
- MD
- Register file

The diagram illustrates a processor architecture. It features a 32-bit general purpose register file (R0-R31) and a 32-bit PC. The IR (Instruction Register) is connected to the 32-bit bus. The ALU (Arithmetic Logic Unit) has inputs A and B, and outputs MA and MD. The ALU output C is connected to the MD register. The PC and IR are connected to the 32-bit bus. The MA and MD registers are connected to the memory subsystem.

25

Dr. Ron Shmueli

2013

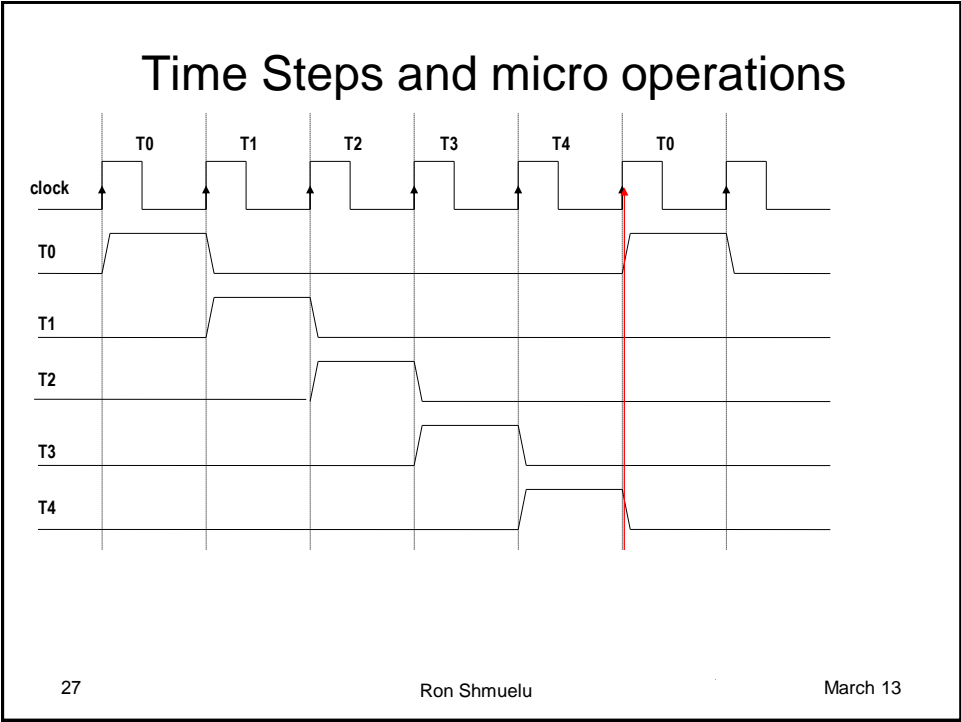
מחזור ביצוע פקודה גנרי במכונת Von Neuman

The diagram illustrates the Von Neuman architecture. It shows the MC68000 CPU with various registers, a 15-bit PC, and a 15-bit IR. The Main memory is connected to the CPU via a 15-bit bus. The control unit is connected to the CPU and memory via control signals.

26

Dr. Ron Shmueli

2013



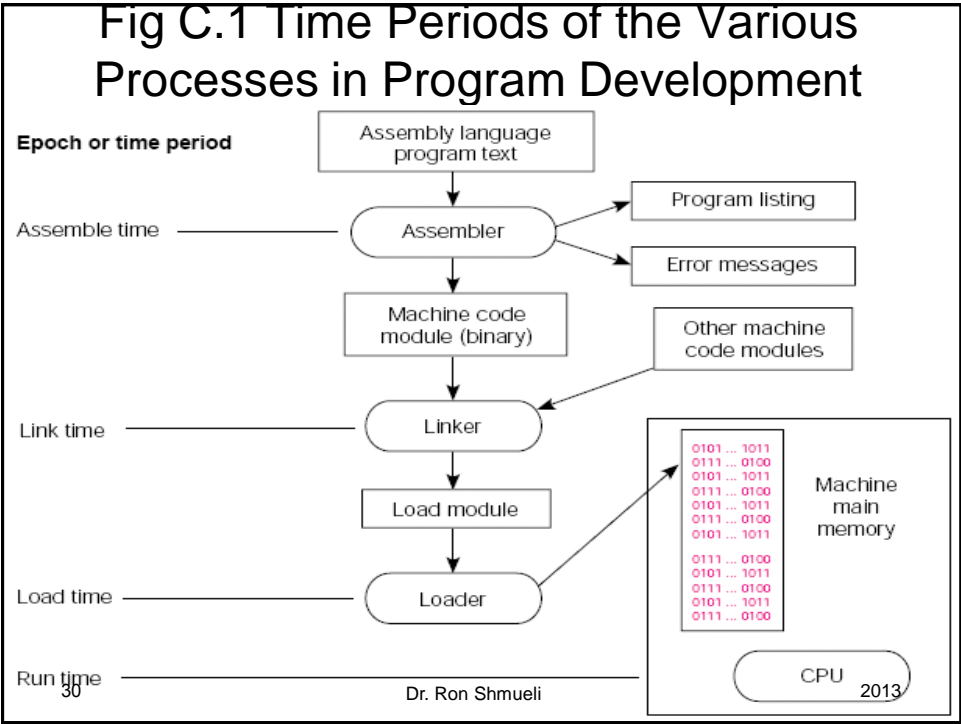
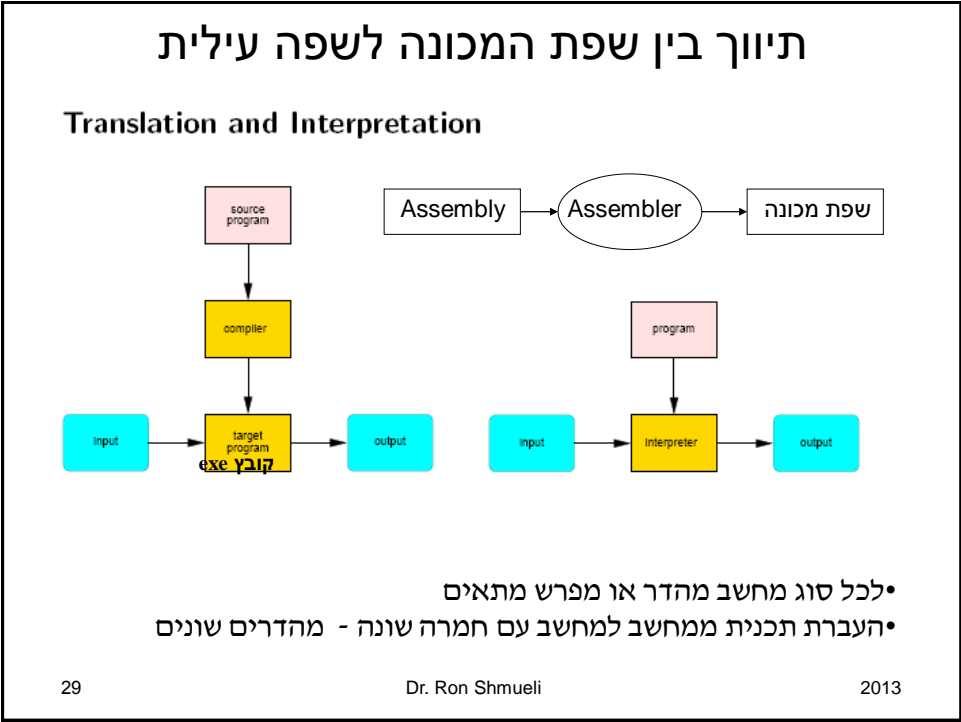
### Compilers High-level to Assembly Language

- פקודה אחת בשפה עילית
- מתורגמת ע"י המהדר לסדרה של פקודות אסמבלי ושפת מכונה

$z=x+y$

00	•	jmp	l1	; EB 03	
02		x db ?	; 00	reserves a byte of storage for x,y,z	
03		y db ?	; 00		
04		z db ?	; 00		
:					
14		l1: push ax	; 50	;save the ax register	
15		mov al, x	; A0 02 01	; AL←X	
18		add al, y	; 06 03 01	; AL←AL+Y	
21		mov z, al	; A2 04 01	; Z←ZL	
24		pop ax	; 58	; restore value of ax	

28 Dr. Ron Shmueli 2013



## נקודות מבט שונות למחשב

### • משתמש

- זמן ביצוע, מהירות המחשב.
- גודל זיכרון וביצועים – זיכרון מטמון, זכרון וירטואלי, דיסקים.
- יכולות קלט פלט – יכולת חיבור סורק מדפסת, מסך...מגוון אפשרויות חיבור.

### • מתכנת (אסמבלי). (מתכנת זמן אמת, משובצית, קומפילרים ..)

- ISA=Instruction Set Architecture כולל :
- סט הפקודות, זיכרון, אוסף האגרים אליהם יכול המתכנת לגשת
- (אגרים זמניים פנימיים לא חשופים למתכנת)
- ה-ISA חושף את החומרה למתכנת.

31

Dr. Ron Shmueli

2013

## נקודות מבט שונות למחשב

### • הארכיטקט

- הארכיטקט אחראי על תכנון ועמידה בביצועים של המערכת.
- אחראי על תכנון ה-ISA של המעבד.
- מתכנן את החומרה ברמת דיאגרמת בלוקים לביצוע אופטימלי של ה-ISA.
- מפתח ומשתמש בכלי מדידה BenchMark לאמת שהושגו הביצועים.
- לבדוק שהושגו ביצועים ביחס לעלות (עלות תועלת).
- תכנון מעבד מלווה בדרישות מוגדרות, פקודות נפוצות ביישום, ייעוד ה-CPU וכול.
- פקודות שכיחות מקבלות תמיכה בכל הרמות (חומרה, ארכיטקטורה, תוכנה, קומפילר).

### • מתכנן החומרה

- מקבל ארכיטקטורה – דיאגרמת בלוקים
- תכנון מפורט ברמת השערים של המעבד- מערכת צרופים/עקיבה
- הגדרת כניסות ויציאות למודולים..
- סימולציה לאמת את הפיתוח.

32

Dr. Ron Shmueli

2013



דוגמאות ל-ISA

CPU	M680 1975	I8086 1979	VAX11 1983	PPC601 1993
Floting point reg	-	-	-	32
General Purpose Reg	2	4	12	32
Special Purpose Reg	4	10	5	>50
Memory space	2^16	2^20	2^32	2^52
# of instructins	100~	120~	300~	250~

RISC=Reduced Instruction Set Computer

CISC=Complex Instruction Set Computer

33

Dr. Ron Shmueli

2013

Instructions Can Be Divided into 3 Classes

- Data movement instructions
  - **Load**—source is memory and destination is register
  - **Store**—source is register and destination is memory
- Arithmetic and logic (ALU) instructions
  - **Add, Sub, Shift**, etc.
- Branch instructions (control flow instructions)
  - **Br Loc, Brz Loc2**,—unconditional or conditional branches

Instruction	Class	C	VAX Assembly Language
Data Movement		a = b	MOV b, a
Arithmetic/logic		b = c + d*e	MPY d, e, b ADD c, b, b
Control flow		goto LBL	BR LBL

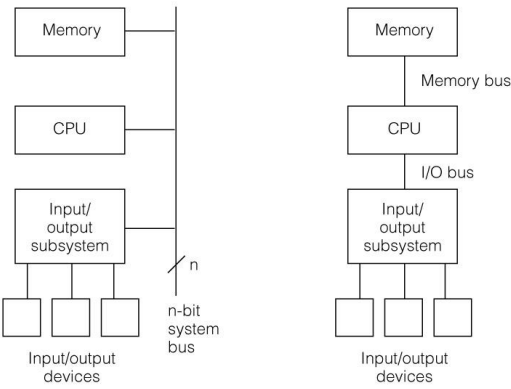
2013

Dr. Ron Shmueli

34

## BUS - ערוצי העברת מידע

- צורת חיבור המרכיבים חשובה מאוד למעבד.
- רוב הערוצים הם משותפים time-shared בשימוש של יותר מיחידה אחת
- ערוץ יכול להיות טורי או מקבילי.



35

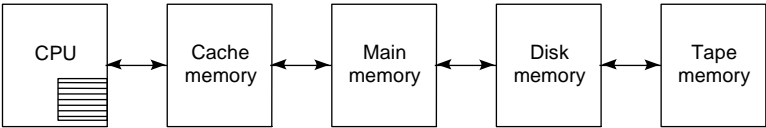
(a) One bus (b) Two buses

Copyright © 2004 Pearson Prentice Hall, Inc.

2013

## Fig 1.6 The Memory Hierarchy

- Modern computers have a hierarchy of memories
  - Allows tradeoffs of speed/cost/volatility/size, etc.
- CPU sees common view of levels of the hierarchy.



36

Dr. Ron Shmueli

2013