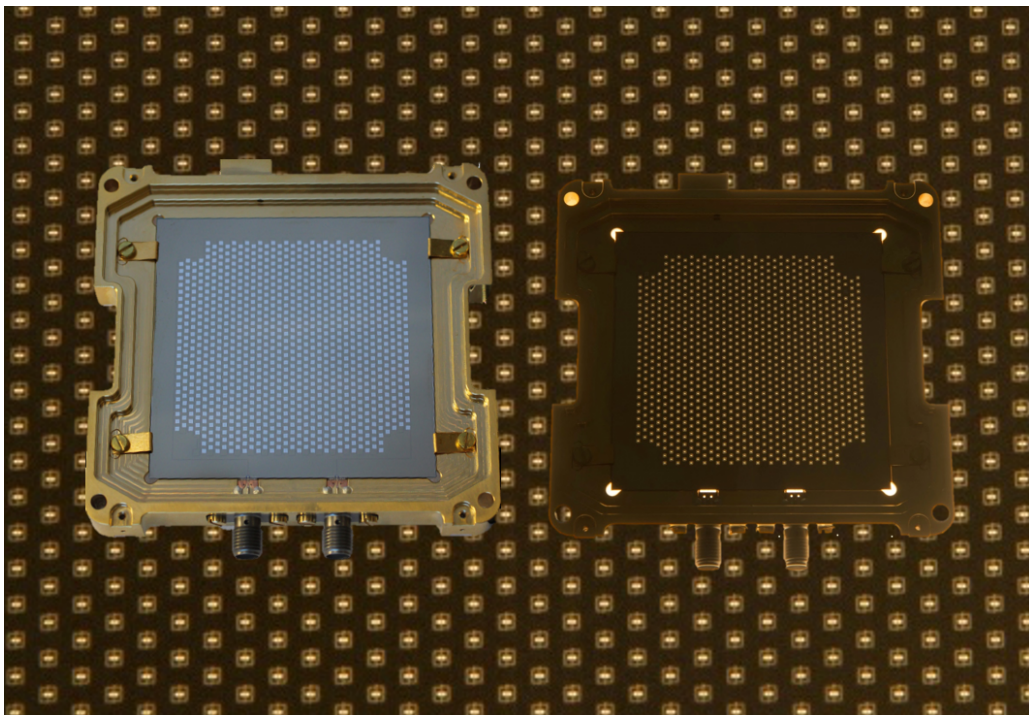

Kinetische inductie detectoren



Auteur:
Daniël Y. Altai

28 maart 2022

Versie 3.0

Kinetische inductiedetectoren

door

Daniel Y. ALTAI

voor gedeeltelijke voldoening aan de eisen voor de graad van
Bachelor of Science
aan de Hogeschool Utrecht

Student nummer: 1781773

Stage looptijd: 14 februari 2022 - 4 juli 2022

Stage commissie: Dhr. E. van den Bor, Hogeschool Utrecht

stagebegeleider

Dhr. M. Grim, SRON Netherlands Institute for Space Research,
Leiden, bedrijfsbegeleider

Dhr. P. van Winden, SRON Netherlands Institute for Space Research,
Leiden, technische begeleider



Netherlands Institute for Space Research

Inhoudsopgave

Inleiding	3
1 Bedrijf	4
2 Opdracht	5
2.1 Achtergrond	5
2.2 Probleemstelling	6
2.3 Opdracht	6
2.4 Eisen en randvoorwaarden	6
2.5 Eindproducten	7
3 Analyse	8
3.1 Inleiding	8
3.2 Onderzoeksopzet	8
3.2.1 Carriers genereren	8
3.2.2 CORDIC	9
3.2.3 Taylorreeks	10
3.2.4 Hybride LUT	10
3.2.5 Klok van FPGA naar 2 GHz	11
3.3 Voorlopig ontwerp	13
3.4 Testplan	14
3.5 Conclusie	14
4 Project management	15
4.1 Persoonlijke leerdoelen	15
4.2 Methodiek	15
4.3 Stakeholders	16
4.4 Fasering en mijlpalen	17
4.5 Strokenplanning	17
5 Bijlagen	18
5.1 Bijlage A	18
6 Literatuurlijst	21
7 Lijst van afkortingen	22
8 Lijst van figuren	23
9 Lijst van tabellen	24

Voorwoord

Na de opleiding Electrical Engineering (Croho-naam: B Elektrotechniek) voor anderhalf jaar te hebben gevolgd op de Hogeschool Utrecht, is het tijd om een stage te lopen. Tijdens deze stage leer ik de praktijk van mijn toekomstige beroep kennen en doe ik kennis en ervaring op door te werken aan praktijkopdrachten in een bedrijf. Hiermee bouw ik een beeld op van wat de beroepspraktijk eigenlijk verwacht van een ingenieur op het niveau van de Europese Bachelor.

Het stage lopen bestaat uit twee fasen verspreid over 21 weken, zie onderstaande tabel:

Fase	Op te leveren documenten	Planning
Voortraject	Stagevoorstel	Deadline 31 december
	Studievoortgangsoverzicht en getekende praktijkovereenkomst	Uiterlijk 3 weken voorafgaand aan de start van de stage
Begeleidingstraject	Startverslag	Week 5
	1 ^e adviesbeoordeling bedrijfsbegeleider	Week 10 - 12
	2 ^e adviesbeoordeling bedrijfsbegeleider	Week 20
	Verslag professioneel functioneren	Week 20
	Stageverslag	Week 20

In de voortraject fase wordt er een bedrijf uitgekozen en wordt er een stagevoorstel ingediend, zodat de stagecoördinator van de Hogeschool Utrecht de stage goed of af kan keuren. Momenteel zit ik in de begeleidingstraject fase in week 1. Hierin is het de bedoeling dat ik onderzoek doe omtrent de probleemstelling van de opdracht. Op deze manier wordt de opdracht nog duidelijker en is rond week 3 een zogenoemd Project Initiatie Document in opdracht van het bedrijf en de hogeschool.

Leiden, 28 maart 2022, Daniël Y. Altai

Inleiding

De zoektocht naar een goed bedrijf voor de stageperiode in het tweede jaar eindigde bij SRON Netherlands Institute for Space Research, of kortweg SRON, te Leiden. SRON ontwerpt, ontwikkelt en gebruikt innovatieve technologie voor grensverleggend onderzoek vanuit de ruimte. Het instituut legt zich hierbij toe op bijvoorbeeld onderzoek naar nieuwe technologieën voor toekomstige ruimtemissies, het heelal en het klimaat van de Aarde zelf.

Een van die nieuwe technologieën heeft betrekking op supergeleidende detectoren die werken op temperaturen onder 1 Kelvin (K). Deze detectoren worden uitgelezen met frequentie-multiplexing. De stageopdracht bestaat dan ook uit het ontwikkelen van firmware voor in een Field-Programmable Gate Array (FPGA). Deze firmware moet ervoor zorgen dat SRON gemakkelijker specifieke testsignalen kan aanbieden aan de uitleeselektronica.

Dit document is te beschouwen als een Project Initiatie Document (PID), waarin beschreven wordt hoe de verschillende eindproducten gebouwd gaan worden en wat daarbij komt kijken. Het is opgebouwd conform het door de opleiding beschikbaar gestelde “Schriftelijke Vaardigheden dictaat” (Scager & Verbeek, 2019). Er wordt begonnen met een kennismaking met SRON. Vervolgens wordt er ingegaan op de organisatie van mijn werkzaamheden en de afspraken die met SRON gemaakt zijn. Daarna wordt er overgegaan tot het technische gedeelte: de beschrijving van de stageopdracht en de analyse en onderzoek hierop en hoe de stageopdracht kan worden gerealiseerd. Het laatste hoofdstuk is toegewijd aan het projectmanagement aspect van het realiseren van de stageopdracht.

1 Bedrijf

SRON is het landelijke expertise-instituut voor wetenschappelijk ruimteonderzoek. Het is onderdeel van de Nederlandse Organisatie voor Wetenschappelijk Onderzoek (NWO). Sinds de oprichting van het instituut voor universitaire groepen, in het begin van de jaren tachtig, heeft SRON belangrijke bijdragen geleverd aan de instrumenten van missies van grote ruimteagentschappen, zoals ESA, NASA en JAXA. Een van die ruimtemissies is PLANetary Transits and Oscillations of stars (PLATO). Voor PLATO zal SRON cryogene vacuümvalidatie en karakterisering uitvoeren voor 8 van de 24 ‘gewone’ camera’s die op de in 2026 lancerende satelliet zitten. SRON zal hierbij ook een ruimtesimulator bouwen om de telescopen onder gesimuleerde ruimtecondities te testen en te karakteriseren (Bloemen, 2019).

Bedrijfsorganisatie

SRON heeft circa 250 werknemers verspreid over twee locaties in Groningen en Leiden. In Leiden zijn er ongeveer 50 werknemers. SRON heeft vier programmalijnen: Astrofysica, Exoplaneten, Aarde en Technologie, waar wetenschapsgroepen aan zijn gekoppeld, en twee expertisegroepen, Instrumentenwetenschap en Engineering.

Expertisegroep Engineering

De stagewerkzaamheden zullen plaatsvinden in de expertisegroep Engineering in een zogezegde Flexruimte in het net nieuwe SRON gebouw te Leiden. Hierin is de Engineering groep verdeeld over zes verschillende teams:

- Elektronica;
- Mechanica;
- PA/QA/CC;
- Realisatie (elektronisch en mechanisch).

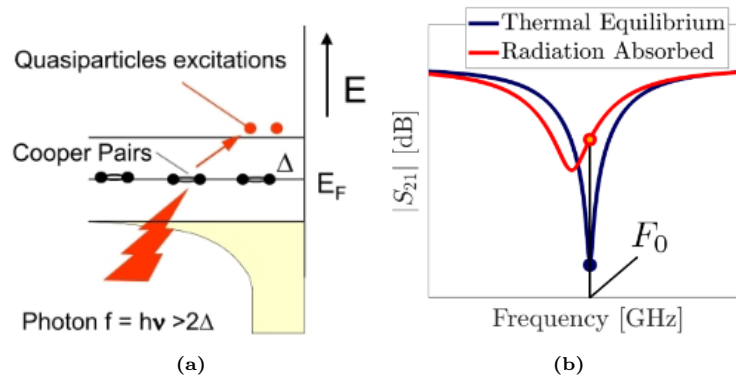
De Engineering expertisegroep ontwerpt en realiseert unieke onderzoek- en ruimte instrumentatie en beschikt over een breed scala aan elektronische fabricagefaciliteiten, evenals een goed uitgeruste elektronische en mechanische werkplaats.

2 Opdracht

Dit hoofdstuk zal de context van de stageopdracht geven en ook de stageopdracht zelf. Daarbij wordt ook het doel van de stageopdracht beschreven, wat de eisen/randvoorwaarden zijn en wat er uiteindelijk wordt opgeleverd bij de betrokkenen.

2.1 Achtergrond

Voor de stageopdracht zal er gewerkt worden met *Kinetic Inductance Detectors* (KIDs) (Nederlands: kinetische inductiedetectoren). KIDs zijn extreem radiatie gevoelige detectoren geïntroduceerd door Day et al. in 2003 (Day et al., 2003). KIDs maken gebruik van het feit dat het energieverval van een supergeleider in de orde van $\sim \text{meV}$ zit, wat overeenkomt met een frequentie van $\sim 100 \text{ GHz}$. Daaropvolgend wordt elektronische ruis exponentieel onderdrukt bij lage temperaturen van $T < T_c \text{ K}$, met T_c de kritische temperatuur. De combinatie van deze twee feiten maakt het gebruik maken van een supergeleider ideaal voor het detecteren van *Far InfraRed* (FIR) frequenties. Veel KIDs kunnen worden ontworpen om een bepaalde frequentiebandbreedte in te nemen. Dit maakt het creëren van grote reeksen mogelijk gebaseerd op een uitleessysteem dat veel KID-resonatoren combineert op een enkele uitleeslijn en een enkel stuk uitleeselektronica. KIDs combineren een hoge gevoeligheid en de mogelijkheid om grote array's te maken. Dit maakt ze ook ideaal voor toekomstige en huidige FIR-instrumenten voor astronomie.



Figuur 2.1: Illustratie van het werkingsprincipe van een KID (Baselmans, 2011). **(a)** Energie diagram van een supergeleider waarin een foton met energie $h\nu > 2\Delta$ een Cooperpaar breekt in twee quasideeltjes. **(b)** Vershoven en verbrede microgolftransmissie $|S_{21}|$ van een resonator als functie van frequentie bij straling absorptie (rode stip) vergeleken met de transmissie in evenwicht (blauwe stip).

Invallende fotonen met energie $h\nu > 2\Delta$, met $h = 6,62607015 \cdot 10^{-34} \text{ J} \cdot \text{Hz}^{-1}$ (Planck's constante), ν de frequentie van de foton en 2Δ het supergeleidende energie verschil, zijn in staat de Cooperparen te breken in quasideeltjes. Quasideeltje is in de natuurkunde een begrip om nieuwe verschijnselen die opduiken bij een samenstelling uit bestanddelen te beschrijven. Cooperparen, aan elkaar gebonden door een aantrekkelijke fonon-gemedieerde elektroneninteractie, hebben een bindingsenergie van $2\Delta \approx 3,53k_B T_c$, met $k_B = 1,380649 \cdot 10^{-23} \text{ J} \cdot \text{K}^{-1}$. Bij stralingsdetectie wordt de absolute waarde van het verzonden signaal $|S_{21}|$ bij F_0 verhoogd, zoals aangegeven met de rode stip.

De huidige implementatie van de KIDs wordt met behulp van software gedaan met een digital-to-analog (DAC), een radio frequency bord (RF), een analog-to-digital-converter (ADC) en een cryostaat. Het probleem hierbij is dat deze implementatie erg beperkt is rond de testmogelijkheden. Een van die beperkingen is dat er enkel één signaal, zoals in figuur 2.1b, kan worden getest op een vaste frequentie. Het gevolg hiervan is dat SRON zeer afhankelijk is van onder andere of de cryostaat wel koud genoeg is of niet.

2.2 Probleemstelling

Het doel van de stageopdracht is om de eerder beschreven beperkingen te elimineren. Dit kan gedaan worden door het DAC board zodanig te programmeren dat er voldoende testcases kunnen worden gecreeërd voor het ADC board. Het voordeel hiervan, wat de huidige implementatie niet heeft, is dat de testsignalen die uit het DAC board komen ingesteld kunnen worden. Op die manier kan er, op basis van hoe de testsignalen zijn ingesteld, gecontroleerd worden of het ADC board de correcte testsignalen heeft ontvangen en behandeld.

Om het bovenstaande beschreven doel te kunnen bereiken is er een hoofdvraag opgesteld: “Hoe kan firmware zodanig worden ontwikkeld dat het gewenste invoersignaal wordt genereert voor de testen?”

2.3 Opdracht

Zoals vermeld in de inleiding heeft een van de nieuwe technologieën waar SRON onderzoek naar doet betrekking op supergeleidende detectoren die werken op temperaturen onder 1 K. Deze detectoren worden uitgelezen gebruik makend van frequentie-multiplexing. Het invoersignaal dat hierbij gebruikt wordt, wordt momenteel door software gegenereerd. Voor testdoeleinden moet het invoersignaal in een FPGA samengesteld worden, zodat SRON niet gebonden is aan de eerder besproken beperkingen.

Voor de stageopdracht moet de stagiair:

- Het huidige uitleesprincipe onderzoeken.
- Alternatieven voor het invoersignaal onderzoeken, in samenspraak met de eindgebruiker(s).
- Firmware schrijven die het gewenste invoersignaal genereert, of combineert met het door software gegenereerde signaal (modulatie).
- Firmware testplan opstellen.
- Firmware testen.

2.4 Eisen en randvoorwaarden

De opdrachtgever heeft een aantal eisen en randvoorwaarden opgegeven waar rekening mee moet worden gehouden.

Ontwikkelingomgevingen

De stageopdracht wordt gedaan in de programmeertaal VHSIC Hardware Description Language (VHDL). De volgende ontwikkelomgevingen worden gebruikt:

- Het coderen van de FPGA en het DAC board wordt gedaan in zowel Xilinx Vivado 2019.2 als HDL Designer van Siemens. Voor het simuleren wordt er gebruik gemaakt van Questasim.

Klanteisen

Verder zijn er uiteraard nog specifieke klanteisen¹ omtrent de specificaties van de oplossing van de stageopdracht:

- 8 carriers genereren. Eventueel uitbreiden in machten van 2, dus flexibele code;
- De carriers moeten met 14 bits gegenereerd worden. Aantal bits makkelijk aan te kunnen passen is een pré;
- De pulse moet gegenereerd worden op basis van een e-macht functie;
- Een aantal aspecten van de oplossing moet instelbaar zijn:
 - de carrier frequentie met een resolutie van $\frac{2G}{2^{19}} \approx 3,8$ kHz;
 - de carrier amplitude ($\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$ of $\frac{1}{16}$);
 - carriers in- of uitschakelen per stuk;
 - gesynchroniseerde pulse start tijd per pixel;
 - pulse vorm:
 - * T_{rise} ;
 - * T_{fall} ;
 - * amplitude;

¹ Deze klanteisen zijn gecreeërd rekening houdend met de gelimiteerde hardware (e.g. bits, frequentie)

Hardware

Voor de stageopdracht wordt er gebruik gemaakt van een Virtex-7 690t FPGA met een klok van 125 MHz van Xilinx met een 14 bit en 2 GS/s DAC board.

Randvoorwaarden

Het geheel moet goed worden gedocumenteerd, in het Nederlands of Engels: vóór implementatie moet er een functioneel blokdiagram gemaakt zijn en figuren in de documentatie. Ten laatste moet de firmware zinvolle namen voor signalen en entities bevatten.

2.5 Eindproducten

Tijdens het stage lopen worden er meerdere (eind)producten opgeleverd. Deze variëren van verslagen tot programma's en systemen in VHDL.

Documentatie

Aan het begin van de stage wordt een Project Initiatie document ingeleverd om alle personen die belang bij de opdracht hebben te overtuigen dat de door hen verstrekte opdracht daadwerkelijk zo gerealiseerd wordt als afgesproken. Dit wordt gedaan in opdracht van SRON. De Hogeschool Utrecht verwacht in week 5 een Plan van Aanpak (PvA) omtrent de stage. Verder wordt er aan het eind van de stage in week 20 een stageverslag afgeleverd namens SRON en de Hogeschool Utrecht. In week 20 wordt er bovendien ook een verslag professioneel functioneren gemaakt voor de Hogeschool Utrecht. Tenslotte is er ook nog een presentatie die bij SRON te Leiden wordt gehouden.

Producten

Uiteraard wordt er aan het slot van de stage bij SRON de firmware ingediend. Deze firmware is de firmware die het probleem in de stageopdracht voltooid.

Presentatie

In opdracht van SRON wordt er bij de afsluiting van de stage een presentatie gegeven aan alle personen die betrokken zijn bij de stage.

3 Analyse

3.1 Inleiding

Tijdens deze stage zal een DAC board worden gebruikt om testsignalen te genereren die gebruikt kunnen worden bij het testen van het ADC board. De firmware van de huidige implementatie is aanwezig en zal worden gebruikt als hulpmiddel voor bijvoorbeeld het communicatie gedeelte van het systeem.

3.2 Onderzoeksopzet

In hoofdstuk 2.2 Probleemstelling is de volgende hoofdvraag gesteld: “Hoe kan firmware zodanig worden ontwikkelt dat het gewenste invoersignaal wordt gegenereerd voor de testen?” Om deze vraag te kunnen beantwoorden, zijn de volgende deelvragen gesteld:

1. Welke methoden zijn er om carriers te genereren?
2. Welke methoden zijn er om van de klok van de FPGA naar een 2 GHz klok te gaan?

In het verloop van dit hoofdstuk zal er antwoord worden gegeven op de vragen hierboven.

3.2.1 Carriers genereren

In telecommunicatie is een carrier wave (Nederlands: draaggolf) een golfvorm (meestal sinusvormig) die wordt gemoduleerd met een informatiedragend signaal om informatie over te brengen. Om een carrier wave te genereren in een FPGA zijn er een aantal methoden:

1. Een LUT;
2. CORDIC;
3. Taylorreeks;
4. Hybride LUT.

Uiteraard heeft hierbij iedere methode voor- en nadelen. In deze paragraaf zullen deze voor- en nadelen worden beschreven en zal er kort worden vermeld hoe het precies te werk gaat met de gegeven eisen die staan aangeduid in 2.4 Eisen en randvoorwaarden.

LUT

Een LookUp Table (LUT), zoals de naam suggereert, is een tabel en een snelle manier om een complexe functie in digitale logica te realiseren. Het adres is de input en de waarde op dat adres is de output. Het voordeel is dat voor het berekenen van een functie slecht één geheugenzoekopdracht nodig is, ongeacht de complexiteit van de functie. Dit maakt een LUT erg snel. Het nadeel van een LUT is immers dat het veel geheugen in beslag kan nemen, zeker als men een hoge resolutie nodig heeft voor de gewenste input.

Input A	Input B	Output C
0	0	0
0	1	0
1	0	0
1	1	1

Tabel 1: 2-bit LUT

In tabel 1 hierboven is een LUT weergegeven met een AND-poort waarbij de input bestaat uit 2 bits. Echter, zoals in 2.4 Eisen en randvoorwaarden is gesteld, is de breedte niet 2 bits, maar 14 bits. De breedte van de eventueel te gebruiken LUT is dus 14 bits.

Wat betreft de lengte van de LUT, en overigens ook voor een CORDIC, is het belangrijk om de bemonsteringstheorema van Nyquist-Shannon te bekijken. Deze theorema stelt dat de frequentie waarmee gesampled wordt minstens tweemaal zo hoog moet zijn als de hoogste frequentie die aanwezig is in het signaal om het origineel zonder fouten te kunnen reproduceren, ofwel

$$f_{sample} \geq 2f_{max}. \quad (1)$$

Gezien het feit dat er wordt gewerkt met een DAC board van 2 GS/s kan er in principe enkel tot 1 GHz worden gegenereerd. Door gebruik te maken van de In-Phase/Quadrature (I/Q) signalen van een sinus komt het bereik -1 GHz tot 0 GHz erbij. Kortom: 2 GS/s + 2 GS/s geeft 4 GS/s, echter is de bandbreedte enkel 2 GHz. Daaropvolgend is het belangrijk op te merken dat er I/Q-signalen worden gebruikt met een fase van 90 graden waar geldt dat $I(t) = \cos(\omega t)$ en $Q(t) = \sin(\omega t)$. Indien ω een niet-negatieve parameter is heeft de hoekfunctie (hoek tegen tijd) $-\omega t$ een helling van $-\omega$, wat een negatieve frequentie wordt genoemd. Echter, als de hoekfunctie wordt gebruikt als argument van een cosinus operator is het resultaat niet te onderscheiden van $\cos(\omega t - \theta)$. Net als hoe $\sin(-\omega t)$ niet te onderscheiden is van $\sin(\omega t + \pi)$. Om die reden kan elke sinusoïde weergegeven worden als positieve frequenties en is het teken van de fasehelling dubieus. Het teken van ω blijft bovendien behouden in de functie met complexe waarden:

$$e^{i\omega t} = \cos(\omega t) + i \cdot \sin(\omega t) \quad (2)$$

Om terug te komen op de LUT betekent dit dat enkel het eerste kwadrant van de sinusoïde in de LUT hoeft te staan. Volgens de eisen is het aantal punten $2^{19} = 524288$, want $\frac{2 \cdot 10^9}{3,8 \cdot 10^3} \approx 2^{19}$. Echter is dit door de vereenvoudiging van het probleem veranderd in $\frac{524288}{4} = 131072$ punten wat gelijk staat aan 2^{17} punten. De lengte van de LUT zal dus enkel 2^{17} zijn in plaats van 2^{19} .

3.2.2 CORDIC

COordinate Rotation DIgital Computer (CORDIC) is een algoritme/methode die kan worden aangepast om (inverse) trigonometrische functies, hyperbolische functies, logaritmen en exponentiële te berekenen. CORDIC kan zelfs worden aangepast om te vermenigvuldigen en delen. CORDIC is veel sneller dan de Taylorreeks voor de low-level hardware die op bijvoorbeeld een rekenmachine wordt gebruikt. In deze subparagraaf zal de werking van CORDIC worden gepresenteerd.

Wat CORDIC zo snel maakt heeft te maken met de twee volgende feiten:

1. Als een binair getal wordt genomen en het met 2^n vermenigvuldigd wordt, zal het binaire punt n plaatsen naar rechts verschuiven. Wanneer er wordt gedeeld met 2^n verschuift het binaire punt n plaatsen naar links.
2. De operaties die op een FPGA het goedkoopst en snelst zijn, zijn: (A) optellen en negatie, (B) vergelijken van getallen om te zien welke groter of kleiner is, (C) het opslaan en ophalen van getallen uit het geheugen en (D) het verschuiven van het binaire punt.

Optellen en negatie zijn erg snel, maar vermenigvuldigen en deling niet. Echter kunnen vermenigvuldigingen en delingen met machten van twee wel zeer snel worden gedaan door het verplaatsen van het binaire punt. CORDIC maakt hier gebruik van en gebruikt dus alleen bewerkingen (A) t/m (D) om sinusoiden te creëren.

Rotatie

Een punt $P = (x_0, y_0)$ roteren met een hoek van θ graden levert het geroteerde punt met coördinaten $P_1 = (x, y)$ waar:

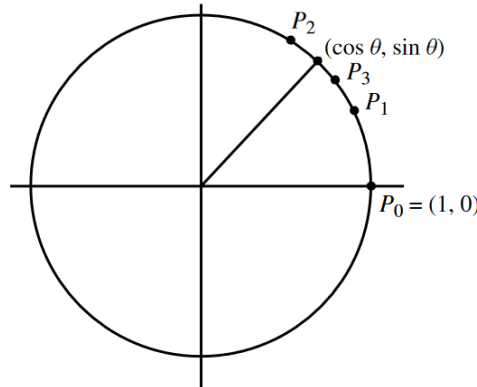
$$\begin{aligned} x &= x_0 \cos \theta - y_0 \sin \theta, \\ y &= x_0 \sin \theta + y_0 \cos \theta, \end{aligned}$$

wat geschreven kan worden in matrix vorm als $P_1 = R_\theta P_0$ waar

$$R_\theta = \begin{pmatrix} \cos \theta & -\sin \theta \\ \sin \theta & \cos \theta \end{pmatrix}. \quad (3)$$

Stel nu dat het punt $(1, 0)$ wordt geroteerd met θ radialen, dan heeft het geroteerde punt $P_1 = (x, y)$ de coördinaten $(\cos \theta, \sin \theta)$. Vergelijking (3) kan echter niet worden gebruikt om te roteren met hoek θ , omdat $\sin \theta$ en $\cos \theta$ onbekend zijn.

Om $\sin \theta$ en $\cos \theta$ te vinden, splitst CORDIC de rotatie met θ radialen op in rotaties met kleinere hoeken $\theta_1, \theta_2, \theta_3, \dots$. Deze zijn zodanig gekozen, dat deze kleinere rotaties kunnen worden berekend met behulp van hoeken die in de FPGA zijn vastgelegd. Het genereert dan punten P_1, P_2, P_3 , enzovoorts op de eenheidscirkel die het punt $\cos \theta, \sin \theta$ naderen, zie figuur 3.1.



Figuur 3.1: Eenheidscirkel met punten P_1, P_2, P_3 , enzovoorts. (Sultan, 2008)

3.2.3 Taylorreeks

Een ander alternatief voor het genereren van een carrier is door gebruik te maken van de Taylorreeks. Een sinus kan worden gevormd door de volgende functie, waarbij x de hoek is in radialen:

$$\sin(x) = x - \frac{x^3}{3!} + \frac{x^5}{5!} - \frac{x^7}{7!} + \frac{x^9}{9!} - \frac{x^{11}}{11!} + \dots \quad (4)$$

Zoals te zien is in de bovenstaande functie wordt er veel gebruik gemaakt van delingen met faculteiten. In eerste instantie levert dit geen problemen op, mits het getal in de noemer een macht is van twee. Indien dit niet het geval is, neemt dit een aantal onhandigheden met zich mee:

1. Het delen door een getal dat geen macht is van twee is zeer onefficiënt vergeleken met het wél delen door een getal dat wel een macht is van twee. Neem het getal 64 (2^6) als voorbeeld. Ingeval dat 64 wordt gedeeld door 2, kunnen de bits simpelweg worden geshift totdat het juiste resultaat, $\frac{64}{2} = 32$, is bereikt. Bij het delen door bijvoorbeeld 3, wat geen macht is van twee, is het shiften van bits niet mogelijk. Dit maakt het zeer onefficiënt.
2. Het delen door een getal dat geen macht is van twee is onnauwkeuriger.

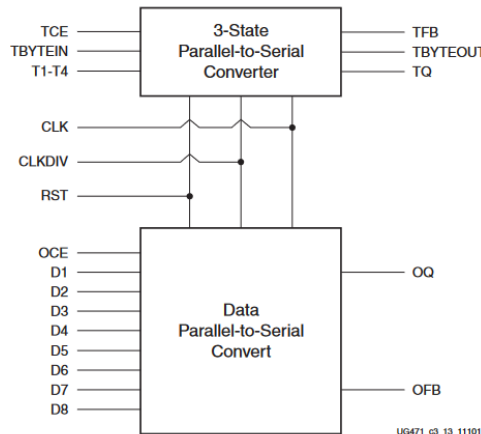
3.2.4 Hybride LUT

Tenslotte is er nog de hybride variant van de LUT. Dit wil zeggen dat een LUT kan worden gebruikt in combinatie met één van de eerder besproken methoden met als doel om te kunnen interpoleren. Hierbij kan het interpoleren op verschillende manieren, denk daarbij aan: een CORDIC, lineair of kwadratisch. Het gebruik maken van een LUT in combinatie met interpolatie heeft het voordelige gevolg dat de LUT minder groot wordt. Dit zorgt voor minder geheugen gebruik en is gunstig wat betreft het resourcegebruik.

3.2.5 Klok van FPGA naar 2 GHz

Het tweede waar een oplossing voor nodig is, is over hoe er een frequentie/data rate van 2 GHz kan worden bereikt, aangezien het een 2 GS/s DAC board is. Als eerste is het cruciaal om op te merken dat het niet mogelijk is om intern een klok van 2 GHz te hebben op de FPGA. Op de Input/Output (I/O) pins kan dat echter wel. Deze hoge frequentie/data rate kan worden bereikt door gebruik te maken van een Serializer/Deserializer (SERDES).

Een SERDES is een speciale parallel-naar-serieel converter met specifieke klokken en logische middelen ontworpen om de implementatie van snelle interfaces te vergemakkelijken. Elke SERDES-module bevat een speciale serializer voor data en 3-state controle. Zowel de data als 3-state serializers kunnen worden geconfigureerd in Single Data Rate (SDR) en Double Data Rate (DDR) modus.



Figuur 3.2: Het blokdiagram van een OSERDESE2-module (Xilinx, 2018)

Samples aanbieden

Voordat er wordt besproken hoe de klok van 2 GHz bereikt wordt, is het van belang om te weten wat er gebruikt kan worden omtrent het DAC board. Het betreffende bord bevat twee DAC boards die beide, apart, volgende specificaties hebben:

- één datakanaal per DAC;
- 28 data I/O's;
- een frame I/O (een soort synchronisatie “clock”);
- een clock I/O.

Voor het bereiken van de gewenste kloksnelheid wordt er gebruik gemaakt van alle 28 data I/O's. Verder is het gebruik maken van DDR een gegeven, wat bij dit betreffende DAC board gebruikt kan en zal worden. DDR houdt in dat een I/O gegevens overdraagt over zowel de stijgende als de dalende flank van het signaal.

Ervan uitgaande dat er gebruik wordt gemaakt van de 125 MHz klok op de Virtex-7 690t FPGA kan er worden onderzocht worden hoe de gewenste kloksnelheid kan worden gerealiseerd.

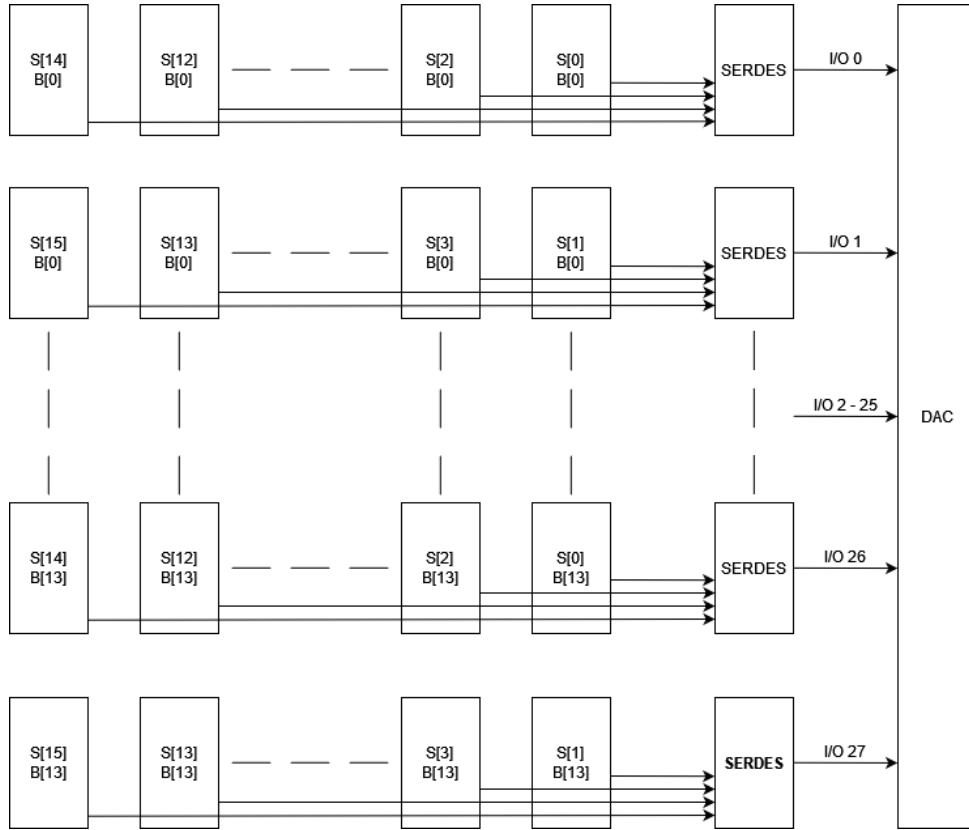
Zoals is vermeld in 2.4 Eisen en randvoorwaarden wordt er gebruik gemaakt van een 14 bits en 2 GS/s DAC board. Indien er per bit 1 I/O wordt gebruikt (14 I/O's), resulteert dit in 1 bit van de DAC per klok periode per I/O. Echter, als er 2 I/O's per DAC bit ($2 \cdot 14 = 28$ I/O's) worden benuttigd, is er twee keer zoveel tijd vrijgekomen per I/O klok periode. Laat de DAC klok periode vertegenwoordigd worden door F_{DAC} . Er zijn, zoals eerder vermeld, 14 bits per sample, dus de bitrate naar de DAC is $F_{DAC} \cdot 14$. Daarentegen werd er net vermeld dat het aantal bits zal worden verdeeld over 2 I/O's, de bitrate wordt dan gedeeld door het aantal I/O's. Dus, voor 1:1 (1 I/O per bit van de DAC) is de bitrate per lijn:

$$\frac{F_{DAC} \cdot 14 \text{ bits}}{14 \text{ I/O's}} = F_{DAC}.$$

Bij 1:2 (2 I/O's per bit) is het:

$$\frac{F_{DAC} \cdot 14 \text{ bits}}{14 \text{ I/O's}} = \frac{F_{DAC}}{2}.$$

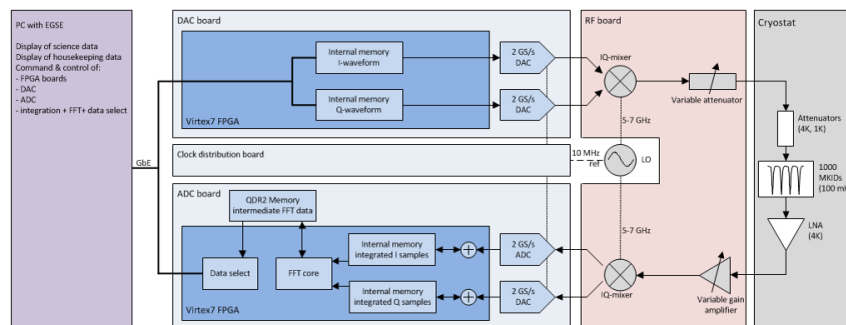
In figuur 3.3 hieronder is de manier waarop 28 maal een SERDES de 224 bits ontvangen en ook hoe ze worden gestuurd naar het DAC board door middel van de I/O's weergegeven. $S[n]$ met $n = [0 - 15]$ geeft aan over welke sample het gaat. Verder geeft $B[n]$, met $n = [0 - 13]$, de bit van de eerder aangegeven sample aan.



Figuur 3.3: Een schematische weergave van het SERDES gedeelte

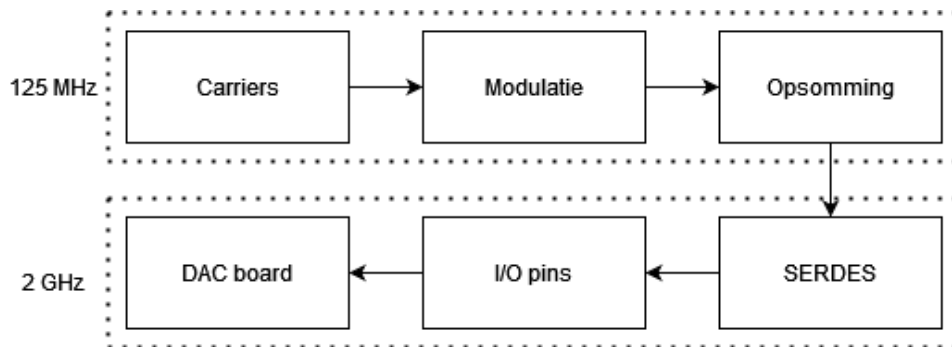
3.3 Voorlopig ontwerp

Het voorlopig ontwerp van het gehele systeem inclusief ADC board, RF board en cryostaat is hieronder is figuur 3.1 weergegeven:



Figuur 3.4: Een globale schematische weergave van het systeem

Let hierbij op het feit dat in de figuur het cryostaat gedeelte weergegeven nog is weergegeven. Na het voltooien van de stageopdracht is de cryostaat niet meer nodig voor het testen van het systeem en kan het DAC board direct worden verbonden met het ADC board. Indien er wordt ingezoomd op het gedeelte waar de stagiair verantwoordelijk voor is, het DAC board, zal het volgende ontwerp te zien zijn:



Figuur 3.5: Globale blokschema van FPGA en DAC board

Carriers

Bij het genereren van de carriers worden sinusoiden gegenereerd door 16 samples te maken met een resolutie van 14 bits. Dit houdt in dat elke sample uit 14 bits bestaat. Deze carriers kunnen worden gegenereerd door de eerder vermelde verschillende methoden: een LUT, CORDIC, Taylorreeks of een hybride variant van een LUT.

Modulatie

Na het genereren van de carriers zullen de samples die gebruikt werden om de carrier te creëren worden gemoduleerd met een pulse die gebaseerd is op een e-macht ($e^{t_{rise}} - e^{t_{fall}}$). Hierbij is het belangrijk om op te merken dat er bij de modulatie een extra bit nodig is in verband met afrondingsfouten.

Opsomming

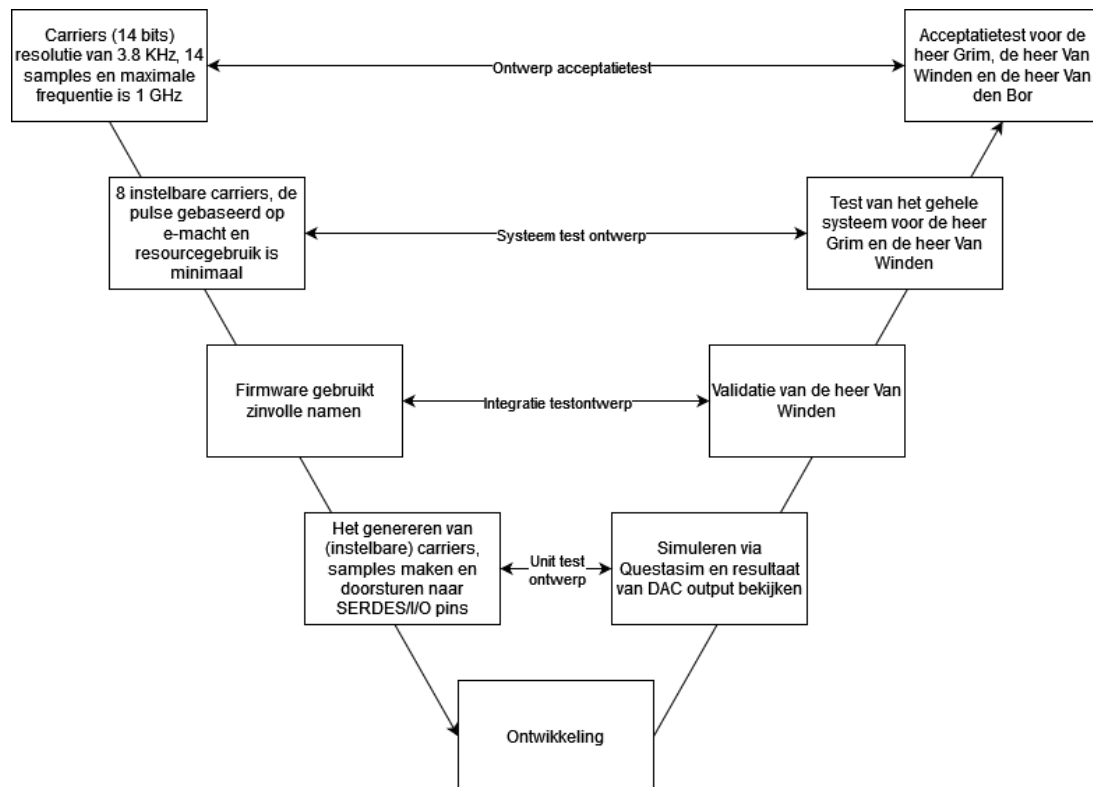
Nu er 16 samples zijn gemaakt met een modulatie is het tijd om al deze 16 samples op te sommen tot 1 sample. Het opsommen van al deze samples heeft hierbij wél invloed op de amplitude, maar géén invloed op de frequentie!

28 maal SERDES, I/O pins en DAC board

Zoals uitgebreid besproken in 3.2.5. Klok van FPGA naar 2 GHz wordt er gebruik gemaakt van 28 maal een SERDES. Deze SERDES zorgt ervoor dat de data rate van 2 GS/s wordt bereikt, zodat alle bits kunnen worden gestuurd naar het DAC board. Het versturen van de bits gaat daarbij door gebruik te maken van de 28 I/O's.

3.4 Testplan

Om de stageopdracht te realiseren is er een testplan gevormd in de vorm van het V-model. Dit V-model maakt gebruik van de eerder vermeldde eisen en randvoorwaarden in 2.4 Eisen en randvoorwaarden.



Figuur 3.6: V-model voor het weergeven van het testplan

3.5 Conclusie

Na het analyseren van de stageopdracht en meerdere keren te hebben overlegt met de heer Van Winden spreekt het voor zich dat het van essentie is dat er een aantal keuzes gemaakt moeten worden omtrent de manier waarop de stageopdracht wordt aangepakt. Deze keuzes moeten goed beargumenteerd zijn. Verder onderzoek doen om een definitief antwoord te kunnen geven op de gestelde deelvragen in 3.2 Onderzoeksopzet is hierbij nodig. Dit onderzoek heeft prioriteit waarbij er rekening wordt gehouden met een hoge efficiëntie in resourcegebruik. Dit onderzoek zal zich om die reden vooral focussen op resourcegebruik en daarbij te overleggen over wat het gunstigst is. De stagiair hoeft niet te letten op de kwaliteit van de gegenereerde sinusoïde, dat controleert de heer Van Winden.

4 Project management

In dit hoofdstuk worden de persoonlijke leerdoelen, de projectmethodiek, hoe de stageopdracht is opgebouwd ten opzichte van de fasering, de gedefinieerde mijlpalen en hoe de strokenplanning is opgesteld besproken.

4.1 Persoonlijke leerdoelen

Als ingenieur in opleiding wordt er onbetwistbaar veel aandacht gegeven aan het leren en verbeteren van (technische) vaardigheden. Deze vaardigheden zijn opgedeeld in twee categorieën:

1. Hard skills: dit zijn skills die goed leerbaar en meetbaar zijn. Denk daarbij aan programmeren.
2. Soft skills: soft skills behoren vooral tot de echte persoonlijke leerdoelen en hebben niet beslist een definitie en zijn niet meetbaar.

Tijdens het lopen van de stage bij SRON zal er ervaring worden opgedaan met de hard- en soft skills om hopelijk te groeien als ingenieur, student en persoon.

Hard skills

- *Ervaring opdoen in andere omgevingen naast Vivado van Xilinx*
SMART: Binnen de stageperiode om te kunnen gaan met HDL Designer en Questasim om ervaring op te doen buiten Vivado van Xilinx.
- *Firmware debuggen en schrijven*
SMART: Binnen de stageperiode leren problemen aan te pakken en oplossingen te verzinnen in firmware.
- *Beter met systemen te werken*
SMART: Binnen de stageperiode fundamentele kennis op doen over ontwerpbeslissingen voor het ontwerp van een systeem en hoe die beslissingen invloed hebben op het eindresultaat.

Soft skills

- *Professioneel communiceren met ingenieurs en wetenschappers*
SMART: Binnen de stageperiode contact houden met collega's van SRON door gebruik te maken van de geleerde professionele communicatie, waardoor gesprekken nuttig en informatief zijn. Vragen aan begeleiders en/of collega's hebben inhoud en sluiten goed aan op de stageopdracht.
- *Goede werkhouding*
SMART: Binnen de stageperiode proactief meedoen met de communicatie en werk dat verricht zal moeten worden. Er wordt naar gejaagd om al het in te leveren werk voor de deadline getest, gecontroleerd, eventueel verbeterd en afgerond te hebben.

De soft skills zullen onder andere verder worden ondersteund door een Persoonlijk OntwikkelingsPlan (POP).

4.2 Methodiek

In de project management van een opdracht is het cruciaal dat er gebruik wordt gemaakt van de juiste projectmethodiek: Scrum, het V-model of de watervalmethode. Voor de stageopdracht is er door de stagiair besloten gebruik maken van het V-model.

Het V-model is gekozen om meerdere redenen. Ten eerste is het hanteren van Scrum niet aangeraden, gezien het feit dat het een team-based methode is. Dit is ook te zien aan hoe Scrum is opgesteld met betrekking tot de rolverdeling, meetings, documentatie, etc. Verder is het V-model geselecteerd in plaats van de watervalmethode, omdat het V-model kan worden gezien als een uitbreiding op de watervalmethode. Het kenmerkt zich door een stikte(re) fasering, heldere documentatie per fase, en vooral door de validatietesten vooraf te definiëren. Deze kenmerken hebben in belang van de stagiair, het stagebedrijf en de hogeschool enkel voordelen.

4.3 Stakeholders

Binnen de stageopdracht zijn er meerdere zogenoemde 'stakeholders'. Een stakeholder is een persoon die belang heeft bij de stageopdracht. De stakeholders tijdens deze stageopdracht zijn, niet respectievelijk:

- De stagiair zelf, Daniël Y. Altai;
- Stagebegeleider SRON, Martin Grim;
- Stagebegeleider HU, Everard van den Bor;
- Technische stagebegeleider/ingenieur SRON, Patrick van Winden.

Tussen de stagiair en de resterende stakeholders zijn er meerdere afspraken gemaakt. Allereerst vindt er elke vrijdag een contactmoment plaats met de heer Grim. De voortgang van de stageopdracht wordt dan besproken. Bovendien vindt er in ieder geval wekelijks een contactmoment plaats met de heer Van Winden. Hier kan de stagiair vooral technische vragen stellen omtrent de stageopdracht en wordt de stagiair eventueel bijgestuurd. Indien noodzakelijk, wordt buiten deze eerder besproken vaste contactmomenten, vaker overleg gevoerd via bijvoorbeeld Starleaf en/of e-mail.

Verder zijn er ook een aantal afspraken gemaakt met de heer Van den Bor. Om te beginnen zal de stagiair elke drie weken een e-mail sturen naar de heer Van den Bor met een korte beschrijving van de voortgang van de stage. Tevens heeft de heer Van den Bor een aantal stagiairs ingedeeld in een zogeheten 'leerteam'. Tijdens de stage plant dit leerteam elke twee weken een leerteambijeenkomst van een uur in bij een stagebedrijf of online via Microsoft Teams. Hierbij wordt vooral het algemeen functioneren besproken, de voortgang en aanpak van de stageopdracht, motivatie, et cetera, besproken.

Bijeenkomsten

Binnen SRON is er maandelijks een (online) afdelingsbijeenkomst van de gehele Engineering groep. Deze bijeenkomsten hebben geen direct belang bij het project, maar dienen als leermoment voor de stagiair. Daaropvolgend is er ook elke donderdagochtend om 10:00 een projectoverleg.

4.4 Fasering en mijlpalen

Hieronder worden de ontwerpfasen weergegeven. Per fase wordt aangegeven uit welke stappen stappen/producten het proces bestaat en wanneer er welke mijlpalen bereikt zijn.

Fase 1				
Fase	Producten	Mijlpaal omschrijving	Week	Toelichting
1. Planning en PID	Planning en PID V1	Naar bedrijfsbegeleider gestuurd	2	Feedback
	Planning en PID V2	Goedgekeurd door SRON	3	n.v.t.
1. Startverslag	Startverslag	Goedgekeurd door opleiding	5	n.v.t.
Fase 2				
2. Firmware blokschema	Blokschema van firmware	Globale blokschema van firmware	7	n.v.t.
2.1 Enkele carrier genereren	Firmware/carrier	Enkele carrier succesvol hebben gegenereerd als tussenstap	8	Tussenstap
2.2 Modulatie	Firmware	Moduleren van pulse op carrier wave	9 - 10	Tussenstap
2.3 Opsomming	Firmware	Opsommen van 16 samples naar 1 sample	11	Tussenstap
2.4 Uitbreiden naar 8 carriers	Firmware	Van 1 carrier wave naar 8 carrier waves	12 - 13	Tussenstap
2.5 SERDES	Firmware	Alle bits aanbieden aan 28 maal een SERDES	14 - 15	Tussenstap
2.6 I/O's	Firmware	De bits aan uitgang van SERDES naar I/O's	16	Tussenstap
Fase 3				
3. Eind documentatie	Eindverslag	Goedgekeurd door opleiding en SRON	19	n.v.t.
3. Presentatie	PowerPoint presentatie	Goedgekeurd en gegeven door en voor SRON	20	n.v.t.

Tabel 2: Fasering van stage in tabelvorm

4.5 Strokenplanning

De strokenplanning is te vinden in Bijlage A. Deze strokenplanning is op basis van de fasen in 4.3 Fasering en mijlpalen opgesteld en is op dagbasis in plaats van op weekbasis, omdat dit zorgt voor een strakkere planning. Aan de strokenplanning toegevoegd is de communicatie die plaatsvindt tussen de stagair en SRON.

5 Bijlagen

5.1 Bijlage A

Week	Datum	Fase 1	Planning en PID	Startverslag	Fase 2	Firmware blokschema	Firmware schrijven incl. validatie	Fase 3	End documentatie	Presentatie maken	Communicatie	De heer Van Winden	De heer Grim	Miljitaal omschrijving
	14-2-2022													
	15-2-2022													Review van De heer Grim
	16-2-2022													
	17-2-2022													
	18-2-2022													
	19-2-2022													
	20-2-2022													
	21-2-2022													
	22-2-2022													
	23-2-2022													
	24-2-2022													
	25-2-2022													
	26-2-2022													
	27-2-2022													
	28-2-2022													
	1-3-2022													
	2-3-2022													
	3-3-2022													Review van De heer Van Winden
	4-3-2022													Planning en PID ingediend
	5-3-2022													
	6-3-2022													
	7-3-2022													
	8-3-2022													
	9-3-2022													
	10-3-2022													
	11-3-2022													
	12-3-2022													
	13-3-2022													
	14-3-2022													
	15-3-2022													
	16-3-2022													
	17-3-2022													Startverslag ingediend
	18-3-2022													
	19-3-2022													
	20-3-2022													
	21-3-2022													
	22-3-2022													
	23-3-2022													
	24-3-2022													
	25-3-2022													
	26-3-2022													
	27-3-2022													
	28-3-2022													
	29-3-2022													
	30-3-2022													
	31-3-2022													
	1-4-2022													Firmware blokschema af
	2-4-2022													
	3-4-2022													
	4-4-2022													
	5-4-2022													
	6-4-2022													
	7-4-2022													
	8-4-2022													
	9-4-2022													
	10-4-2022													

										11-4-2022	15
										12-4-2022	
										13-4-2022	
										14-4-2022	
										15-4-2022	
										16-4-2022	
										17-4-2022	
										18-4-2022	16
										19-4-2022	
										20-4-2022	
										21-4-2022	
										22-4-2022	
										23-4-2022	
										24-4-2022	
										25-4-2022	17
										26-4-2022	
										27-4-2022	
										28-4-2022	
										29-4-2022	
										30-4-2022	
										1-5-2022	
										2-5-2022	18
										3-5-2022	
										4-5-2022	
										5-5-2022	
										6-5-2022	
										7-5-2022	
										8-5-2022	
										9-5-2022	19
										10-5-2022	
										11-5-2022	
										12-5-2022	
										13-5-2022	
										14-5-2022	
										15-5-2022	
										16-5-2022	20
										17-5-2022	
										18-5-2022	
										19-5-2022	
										20-5-2022	
										21-5-2022	
										22-5-2022	
										23-5-2022	21
										24-5-2022	
										25-5-2022	
										26-5-2022	
										27-5-2022	
										28-5-2022	
										29-5-2022	
										30-5-2022	22
										31-5-2022	
										1-6-2022	
										2-6-2022	
										3-6-2022	
										4-6-2022	
										5-6-2022	
										6-6-2022	23
										7-6-2022	
										8-6-2022	
										9-6-2022	
										10-6-2022	
										11-6-2022	
										12-6-2022	
										13-6-2022	24
										14-6-2022	
										15-6-2022	
										16-6-2022	
										17-6-2022	
										18-6-2022	
										19-6-2022	

										20-6-2022	25
										21-6-2022	
										22-6-2022	
										23-6-2022	
Firmware af										24-6-2022	
										25-6-2022	
										26-6-2022	
										27-6-2022	26
										28-6-2022	
										29-6-2022	
										30-6-2022	
Eind documentatie af										1-7-2022	
										2-7-2022	
										3-7-2022	
										4-7-2022	27
										5-7-2022	
										6-7-2022	
										7-7-2022	
Presentatie houden										8-7-2022	

6 Literatuurlijst

- Baselmans, J. (2011, juli). Kinetic Inductance Detectors (Nr. 18).
<https://snf.imecsc.org/sites/imecsc.org/files/CR24.pdf>
- Bloemen, H. (2019, 2 mei). PLATO. SRON. Geraadpleegd op 12 februari 2022, van
<https://www.sron.nl/missions-exoplanets/plato>
- Day, P. K., LeDuc, H. G., Mazin, B. A., Vayonakis, A., & Zmuidzinas, J. (2003). A broadband superconducting detector suitable for use in large arrays. *Nature*, 425(6960), 817–821.
<https://doi.org/10.1038/nature02037>
- Scager, M., & Verbeek, P. (2019, oktober). Schriftelijke Vaardigheden dictaat.
<https://canvas.hu.nl/courses/27064/pages/cursusmateriaal>
- Stoffregen, A. P. (2019, 6 juli). High Precision Sine Wave Synthesis Using Taylor Series. PJRC. Geraadpleegd op 12 maart 2022, van
<https://www.pjrc.com/high-precision-sine-wave-synthesis-using-taylor-series/>
- Sultan, A. (2008). CORDIC: How Hand Calculators Calculate. CORDIC: How Hand Calculators Calculate, 87–88.
<https://www.qc.cuny.edu/academics/degrees/dmns/faculty%20documents/sultan1.pdf>
- Xilinx. (2018, april). 7 Series FPGAs SelectIO Resources.
https://docs.xilinx.com/v/u/en-US/ug471_7Series_SelectIO

7 Lijst van afkortingen

Afkorting	Uitleg
ADC	Analog-to-Digital-converter
CORDIC	COordinate Rotation DIgital Computer
DAC	Digital-to-Analog-converter
DDR	Double Data Rate
FIR	Far InfraRed
FPGA	Field-programmable gate array
h	Planck's constante
I/O	Input/Output
I/Q	In-Phase and Quadrature
K	Kelvin
KID	Kinetic Inductance Detector
LUT	LookUp Table
PLATO	PLANetary Transits and Oscillations of stars
RF	Radio frequency
SDR	Single Data Rate
SERDES	Serializer/Deserializer
ν	Frequentie van een foton
VHDL	VHSIC Hardware Description Language

8 Lijst van figuren

2.1	Illustratie van het werkingsprincipe van een KID (Baselmans, 2011). (a) Energie diagram van een supergeleider waarin een foton met energie $h\nu > 2\Delta$ een Cooperpaar breekt in twee quasideeltjes. (b) Verschoven en verbrede microgolfttransmissie $ S_{21} $ van een resonator als functie van frequentie bij straling absorptie (rode stip) vergeleken met de transmissie in evenwicht (blauwe stip).	5
3.1	Eenheidscirkel met punten P_1 , P_2 , P_3 , enzovoorts. (Sultan, 2008)	10
3.2	Het blokdiagram van een OSERDESE2-module (Xilinx, 2018)	11
3.3	Een schematische weergave van het SERDES gedeelte	12
3.4	Een globale schematische weergave van het systeem	13
3.5	Globale blokschema van FPGA en DAC board	13
3.6	V-model voor het weergeven van het testplan	14

9 Lijst van tabellen

1	2-bit LUT	8
2	Fasering van stage in tabelvorm	17