

۱. هدف از پروژه:

همانطور که در صورت پروژه خواسته شده است، هدف طراحی یک تقویت کننده ی تفاضلی دو طبقه با یک خروجی است، بطوریکه:

- ✓ اتلاف توان کمتر از 5mW باشد.
 - ✓ خطای نشست کمتر از ۰.۱ درصد به ازای ورودی پله ی واحد.
 - ✓ زمان نشست کمتر از ۸ نانو ثانیه.
 - ✓ بهره ی DC حلقه باز بالاتر از ۱۰۰.
 - ✓ سوینگ خروجی بالاتر از ۱ ولت.
 - ✓ $CMRR > 50dB$
- با توجه به صورت مساله، فرض های زیر در مورد صورت مساله انجام شده است:

- ✓ ظرفیت خازن بار: $C_L = 2pF$
 - ✓ ظرفیت خازن جبران سازی: $C_C = 2pF$
 - ✓ ظرفیت خازن نمونه گیری: $C_H = 1pF$
 - ✓ ولتاژ مد-مشترک ورودی: $V_{cmi} = 1.0(v)$
 - ✓ ولتاژ مد-مشترک خروجی: $V_{cmo} = 0.75(v)$
 - ✓ ولتاژ منبع DC: $V_{DD} = 1.5(v)$
 - ✓ ولتاژ DC ایده‌آل: $V_{dc} = 0.25(v)$
 - ✓ تکنولوژی ترانزیستور CMOS: $0.13\mu m$
- برای بدست آوردن مطلوب مساله لازم است مقادیر زیر تعیین شوند:
- ✓ جریان I_b
 - ✓ نسبت W/L ترانزیستور ها
 - ✓ مقدار مقاومت جبران سازی میلر: R_C
- فرض کنیم همچنین در نظر گیریم:

$$|V_{THO}| = 0.35$$

$$\mu_n C_{ox} \approx 500 \mu A / V^2$$

$$\mu_p C_{ox} \approx 150 \mu A / V^2$$

در ادامه برای راحتی تجزیه و تحلیل، دو فرض زیر را انجام می دهیم و با آن به پیش می رویم:

$$I_{D7} = k_1 I_b \Leftrightarrow \frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_8} = k_1$$

$$I_{D6} = k_2 I_b \Leftrightarrow \frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_8} = k_2$$

$$I_b = 100 \mu A$$

۲. تحلیل تئوری مساله:

۲.۱. پارامترهای DC:

$$M_8 : \begin{cases} r_{ds,8} = \frac{1}{\lambda I_b} \\ g_{m,8} = \frac{2I_b}{V_{eff}} \end{cases} \quad M_{5 \leq i \leq 7} : \begin{cases} r_{ds,5 \leq i \leq 7} = \frac{1}{\lambda I_b \frac{(W/L)_i}{(W/L)_8}} \\ g_{m,5 \leq i \leq 7} = \frac{2I_b \frac{(W/L)_i}{(W/L)_8}}{V_{eff}} \end{cases} \quad M_{1,2,3,4} : \begin{cases} r_{ds,1,2,3,4} = \frac{1}{\lambda \frac{I_{DS7}}{2}} \\ g_{m,1,2,3,4} = \frac{2 \frac{I_{DS7}}{2}}{V_{eff}} \end{cases}$$

اگر بخواهیم پارامترها را بر اساس k_1 و k_2 بازنویسی کنیم، داریم:

$$M_{5 \leq i \leq 6} : \begin{cases} r_{ds,5 \leq i \leq 6} = \frac{1}{0.1 \times 0.1 \times k_2} = \frac{100}{k_2} \\ g_{m,5 \leq i \leq 6} = \frac{2 \times 0.1 \times k_2}{V_{eff}} = \frac{0.2k_2}{V_{eff}} \end{cases} \quad M_7 : \begin{cases} r_{ds,7} = \frac{1}{0.1 \times 0.1 \times k_1} = \frac{100}{k_1} \\ g_{m,7} = \frac{2 \times 0.1 \times k_1}{V_{eff}} = \frac{0.2k_1}{V_{eff}} \end{cases} \quad M_{1,2,3,4} : \begin{cases} r_{ds,1,2,3,4} = \frac{1}{0.1 \frac{k_1 0.1}{2}} = \frac{200}{k_1} \\ g_{m,1,2,3,4} = \frac{2 \frac{k_1 0.1}{2}}{V_{eff}} = \frac{0.1k_1}{V_{eff}} \end{cases}$$

لازم است سوینگ خرجی بیشتر از مقدار یک ولت (پیک-تا-پیک) باشد؛ لذا داریم:

$$\begin{cases} V_{\max} \approx V_{DD} - |V_{eff5}| \\ V_{\min} \approx V_{eff6} \end{cases} \Rightarrow V_{DD} - |V_{eff5}| - V_{eff6} \geq 1V$$

لذا داریم:

$$|V_{eff5}| + V_{eff6} < 0.5V$$

۲.۲. بهره ی تفاضلی فرکانس پایین:

ابتدا بهره ی DC مدار را بدست میآوریم:

$$A_d \approx (g_{m2} (r_{ds2} \parallel r_{ds4})) \cdot (g_{m5} (r_{ds5} \parallel r_{ds6})) \approx \left(\frac{0.1k_1}{V_{eff2}} \left(\frac{100}{k_1} \right) \right) \cdot \left(\frac{0.2k_2}{V_{eff5}} \left(\frac{50}{k_2} \right) \right) \approx \frac{100}{V_{eff2} V_{eff5}}$$

توجه شود که در این قسمت از تقریب $(r_{ds2} \parallel r_{ds4})$ برای اندازه گیری مقاومت خروجی طبقه ی اول استفاده شده است که با مقدار واقعی کمی متفاوت است.

$$\frac{100}{V_{eff2} V_{eff5}} \geq 250 \Rightarrow V_{eff2} V_{eff5} < 0.4 \quad (1)$$

۲.۳. بهره ی مد مشترک فرکانس پایین:

مشابه بهره مد تفاضلی، بهره ی مدمشترک به اینصورت محاسبه میگردد:

$$A_c \approx \left(\frac{\left(r_{ds2} \parallel r_{ds4} \parallel \frac{1}{g_{m4}} \right)}{2r_{ds7}} \right) \cdot (g_{m5} (r_{ds5} \parallel r_{ds6}))$$

لذا $CMRR$ عبارتست از:

$$CMRR \approx \frac{2r_{ds7} g_{m2} (r_{ds2} \parallel r_{ds4})}{r_{ds2} \parallel r_{ds4} \parallel \frac{1}{g_{m4}}} \approx 2 \frac{100}{k_1} \frac{0.1k_1}{V_{eff2}} \frac{0.1k_1}{V_{eff4}} \frac{100}{k_1} = \frac{200}{V_{eff2} V_{eff4}} \left(\frac{v}{v} \right)$$

$$\frac{200}{V_{eff2} V_{eff4}} \geq 50dB \equiv 316 \longrightarrow V_{eff2} V_{eff4} < 0.63$$

۲.۴. صفرها و قطب ها:

مدار دارای سه قطب به شرح زیر است:

$$\omega_{p,out} = \frac{1}{(C_{out} + C_N) \left(\frac{1}{g_{m5}} \right)} \approx \frac{1}{C_L \left(\frac{1}{g_{m5}} \right)} = \frac{0.2k_2}{C_L} \frac{V_{eff}}{V_{eff}}$$

$$\omega_{p,N} = \frac{1}{(C_C (1 + g_{m5} (r_{ds5} \parallel r_{ds6})) + C_N) (r_{ds4} \parallel r_{ds2})} \approx \frac{1}{C_C g_{m5} (r_{ds5} \parallel r_{ds6}) (r_{ds4} \parallel r_{ds2})}$$

$$\omega_{p,E} = \frac{1}{(C_E) \left(\frac{1}{g_{m3}} \right)}$$

صفر خروجی برابر است با:

$$g_{m5} v_{gs5} = \frac{v_{gs5}}{\frac{1}{sC_C} + R_C} \Rightarrow \frac{1}{sC_C} = \frac{1}{g_{m5}} - R_C \Rightarrow \omega_{z1} = \frac{1}{C_C (g_{m5}^{-1} - R_C)}$$

لذا میتوان صفر را به سمت دلخواه منتقل کرد. مقادیر هرسه خازن در جدول زیر تخمین زده شدهاند.

خازن
$C_E = C_{db3} + C_{gs3} + C_{db1} + C_{gd1} + C_{gs4}$
$C_{out} = C_L + C_{db5} + C_{db6}$
$C_N = C_{db4} + C_{db2} + C_{gd2}$

۲.۵. اتلاف توان:

محدودیت توان به صورت زیر است:

$$(I_{D8} + I_{D7} + I_{D6})V_{DD} \leq 8W \rightarrow I_{D8} + I_{D7} + I_{D6} \leq \frac{5}{1.5} = 3.3 \quad (۲)$$

$$\xrightarrow{I_{D8}=100\mu A} I_{D7} + I_{D6} \leq 3.3 \rightarrow k_1 + k_2 \leq 33$$

a

۲.۶. زمان نشست:

برای نشست خطی داریم:

$$e^{-t_{LS}/\tau} = 10^{-3} \rightarrow t_{LS} = 6.90\tau, \tau = \frac{1}{\omega_{-3dB}} = \frac{1}{\beta\omega_{ta}} = \frac{1}{\omega_{ta}}$$

فرض کنیم که زمان ها به صورت های زیر باشند:

$$t_S = 8 \rightarrow \begin{cases} t_{LS} < 3.5ns \rightarrow \tau < 0.507ns \rightarrow \omega_{-3dB} > 1.971Grad / sec \\ t_{NLS} < 1ns \end{cases}$$

همچنین داریم:

$$\omega_{ta} \approx A_{dc}\omega_{p,N}$$

$$= \frac{1}{(C_C(1 + g_{m5}(r_{ds5} \parallel r_{ds6})) + C_N)(r_{ds4} \parallel r_{ds2})} \cdot (g_{m2}(r_{ds2} \parallel r_{ds4})g_{m5}(r_{ds5} \parallel r_{ds6})) \approx \frac{g_{m2}}{C_C} \approx \frac{0.1k_1}{2 \times 10^{-12}}$$

$$= \frac{k_1}{V_{eff2}} \times 0.5 \times 10^{11} > 1.91Grad / sec \rightarrow k_1 26.17 > V_{eff2} \quad (۳)$$

برای نشست غیر خطی لازم است Slew Rate را بدست آوریم. همانطور که در [1] توضیح داده شده است، هر طبقه دارای یک Slew Rate است که Slew Rate عملی مقدار حداقل ایندو مقدار است.

$$\begin{cases} SR_{int} = \frac{2I_{D1,2}}{C_C} \\ SR_{ext} = \frac{I_{D8} - 2I_{D1,2}}{C_L} \end{cases}$$

که در آن مقدار SR_{int} مقدار Slew Rate طبقه‌ی اول و SR_{ext} مقدار Slew Rate طبقه‌ی دوم است. در اینصورت برای اینکه فرض طراحی برآورده شود، فرض میکنیم که میزان SR مزبور از حداقل میزان دو Slew Rate کمتر باشد. برای سادگی طراحی فرض میکنیم دو Slew Rate با هم یکسان باشند:

$$\frac{2I_{D1,2}}{C_C} = \frac{I_{D6} - 2I_{D1,2}}{C_L} \Rightarrow \frac{2 \frac{k_1 I_b}{2}}{C_C} = \frac{k_2 I_b - 2 \frac{k_1 I_b}{2}}{C_L} \Rightarrow k_2 = 2k_1$$

با توجه به رابطه‌ی (۲) میتوان چنین فرضی انجام داد:

$$k_2 = 2k_1 = 16 \Rightarrow \begin{cases} I_{D7} = 1.6mA \rightarrow I_{D1-4} = 0.8mA \\ I_{D6} = 0.8mA \end{cases} \quad (4)$$

برای برقرار زمان Slew Rate لازم است داشته باشیم:

$$\frac{2I_{D1,2}}{C_C} = \frac{0.5}{t_{NLS}} \rightarrow t_{NLS} = \frac{C_C}{4I_{D1,2}}$$

با در نظر گرفتن مقدار $I_{D1,2} = 0.8mA$ داریم:

$$t_{NLS} = \frac{C_C}{4I_{D1,2}} = 0.625ns < 1n$$

که در فرض مساله می‌گنجد.

همچنین از رابطه‌ی (۳) میتوان بدست آورد:

$$k_1 26.17 > V_{eff2} \rightarrow$$

۲.۷. طراحی نسبت $\frac{W}{L}$ ها:

با توجه به اینکه مقدار مد-مشترک ورودی برابر است با ۱-ولت لازم است داشته باشیم:

$$V_{GS1,2} + V_{eff7} = 1$$

همچنین برای اینکه ولتاژ مد مشترک خروجی برابر باشد با $0.75(v)$ با اعمال شرایط Systematic Offset لازم است که داشته باشیم:

$$V_{GS5} = V_{GS4} = V_{GS3} \Rightarrow \frac{I_{D5}}{I_{D3}} = \frac{\left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_3} \xrightarrow{2I_{D3}=I_{D7}} \frac{I_{D5}}{I_{D7}/2} = \frac{\left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_3}$$

برای حداکثر سوینگ لازم است داشته باشیم: $I_{D6} = I_{D5}$. لذا داریم:

$$\frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_7} = \frac{I_{D6}}{I_{D7}} = \frac{I_{D5}}{I_{D7}} = \frac{1}{2} \frac{\left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_3}$$

بطور خلاصه:

$$2 = \frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_7} = \frac{1}{2} \frac{\left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_3} \rightarrow \frac{\left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_3} = 4$$

$$V_{eff1,2} = 0.18(v)$$

$$(W/L)_{1,2} = \frac{2I_{1,2}}{\mu_n C_{ox} V_{eff1,2}^2} = \frac{2 \times 0.8 \times 10^{-3}}{500 \times 10^{-6} (0.18)^2} = 98.7$$

$$V_{eff3,4} = 0.18(v)$$

$$(W/L)_{3,4} = \frac{2I_{3,4}}{\mu_p C_{ox} V_{eff3,4}^2} = \frac{2 \times 0.8 \times 10^{-3}}{150 \times 10^{-6} (0.18)^2} = 329.2$$

$$V_{eff5} = 0.18(v)$$

$$(W/L)_5 = 4 \times 329.2 = 1316.8$$

$$V_{eff6} = V_{eff7} = 0.18(v)$$

$$(W/L)_6 = \frac{2I_{D6}}{\mu_p C_{ox} V_{eff3,4}^2} = \frac{2 \times 1.6 \times 10^{-3}}{500 \times 10^{-6} (0.18)^2} = 197.5$$

$$2 = \frac{(W/L)_6}{(W/L)_7}$$

در نهایت مقادیر (W/L) به اینصورت در می‌آیند:

اندازه	(W/L)
$5 \times 4.93 \mu m / 0.25 \mu m$	$(W/L)_{1,2}$
$5 \times 9.87 \mu m / 0.15 \mu m$	$(W/L)_{3,4}$
$33 \times 9.97 \mu m / 0.25 \mu m$	$(W/L)_5$
$5 \times 9.87 \mu m / 0.25 \mu m$	$(W/L)_6$
$5 \times 4.93 \mu m / 0.25 \mu m$	$(W/L)_7$
$1 \times 3.08 \mu m / 0.25 \mu m$	$(W/L)_8$

برای مقدار مقاومت جبران سازی:

$$\omega_{z1} = \frac{1}{C_c (g_{m5}^{-1} - R_c)} = 1.2\omega_t \approx 1.2\omega_{ta} \rightarrow R_c = 187\Omega$$

۳. شبیه سازی مدار پیشنهادی در HSPICE:

۳.۱. نقاط کار DC:

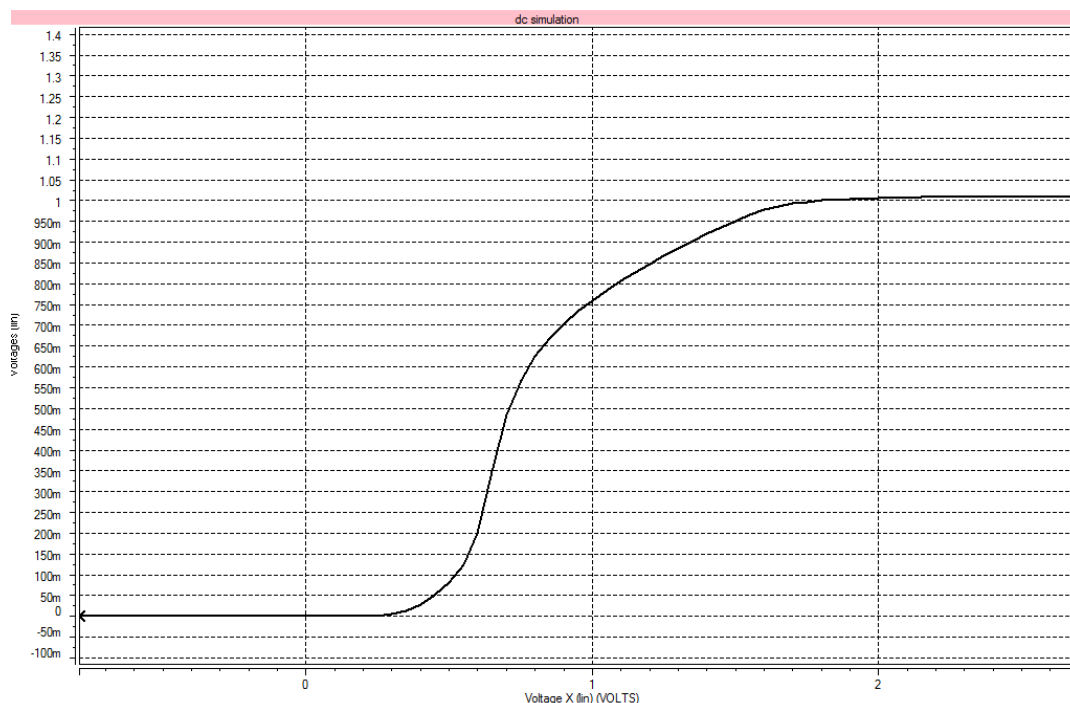
$I_{D8} \approx 0.1mA$	$I_{D7} \approx 798.47\mu A$	$I_{D6} \approx 1.75mA$
$v_{out} \approx 0.79v$	$v_{eff1,2} \approx 0.22v$	$v_{eff3,4,5} \approx 0.14v$
$v_{eff6,7,8} \approx 0.216v$		

مشاهده میشود که میزان $v_{eff1,2}$ افزایش یافته و میزان $v_{eff1,2}$ کاهش چشمگیری داشته است. دلیل این مساله این میتواند باشد که مدل سادهشدهای که برای طراحی استفاده شده است، ممکن است به طور کامل درواقعیت جواب ندهد. همچنین تغییر v_{eff5} باعث شده است که میزان v_{out} از مقدار 0.75 کمی بیشتر شده تا اثر کاهش v_{eff5} را جبران کند. توان مصرفی را میتوان به اینصورت بدست آورد:

$$P = (I_{D8} + I_{D7} + I_{D6})V_{DD} = (0.1 + 0.798 + 1.75)1.5 = 3.97W < 5W$$

که با مقدار تئوری مطابقت دارد.

۳.۲. سویپ DC:

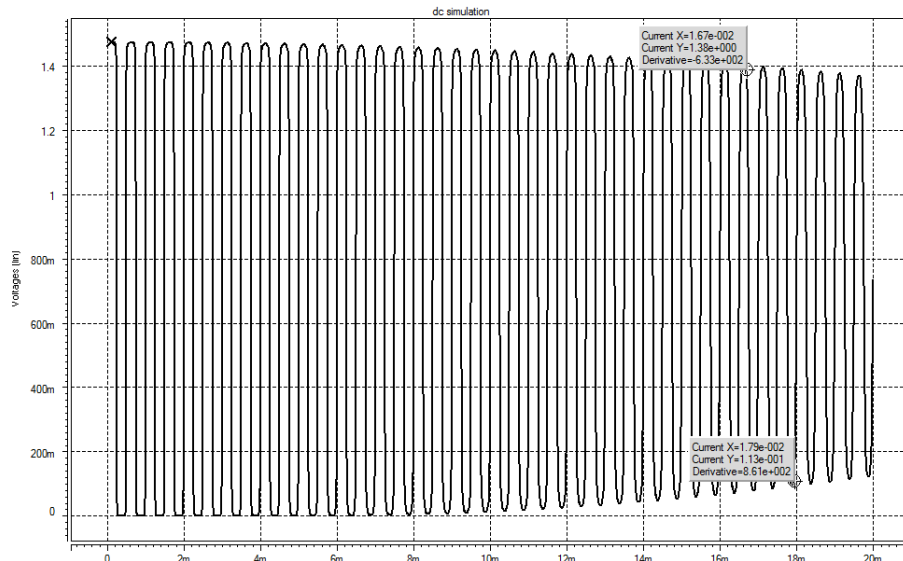


در سویپ dc فوق در حقیقت نسبت بین ولتاژ مد مشترک ورودی و سطح ولتاژ DC خروجی مشاهده میشود. مشاهده میشود که از محدوده $v_{cmi} > 1.7$ و $v_{cmi} < 0.7$ خروجی در مقدار محدودی قطع میشود. مشاهده میشود که نقطه $v_{cmi} \approx 1$ تقریباً در وسط نمودار است که متناظر با $v_{OUT} \approx 0.75$ خروجی است که بیان کننده سطوح ولتاژ DC برای گرفتن بیشترین سوینگ اند.

۳.۳. سوینگ خروجی:

با اتصال منبع سینوسی میراشونده سوینگ به این صورت به دست می آید:

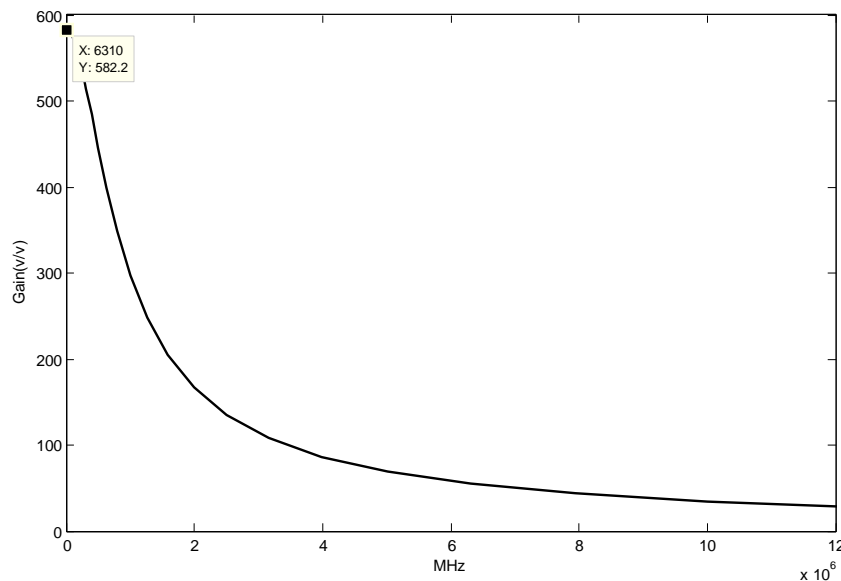
$$\begin{cases} v^+ = 1.28 \\ v^- = 1.13 \end{cases}$$



۳.۴. شبیهسازی در حالت AC حلقه‌باز:

۳.۴.۱. بهره تفاضلی:

بهره‌ی تفاضلی مطابق شکل زیر است:



$$A_d = 582.2$$

با توجه به مقادیر تئوری در صورت طراحی داشتیم $A_{d,theoretical} = 3086$. لذا مشاهده میشود که میزان بهره به شدت در شبیهسازی واقعی کمتر است. دلیل این امر استفاده از مدل ساده‌شده‌ی MOSFET در آنالیز تئوری باشد که همراه با خطا است.

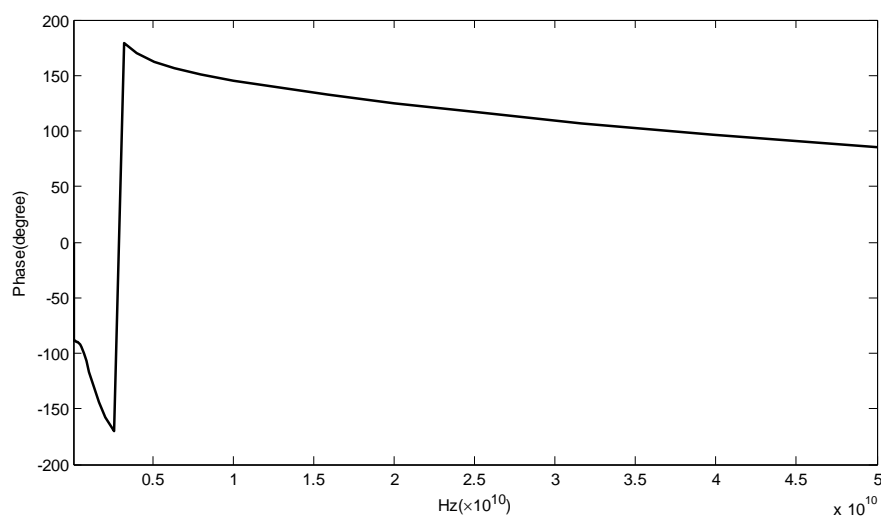
۳.۴.۲. فرکانس بهره‌ی واحد:

با توجه به نمودار پاسخ فرکانسی داریم: $\omega_{a} = 3.3 \times 10^7$

مقدار تئوری فرکانس بهره واحد عبارتست از $\omega_{a,theoretical} = 2.2 \times 10^{12}$

دلیل تفاوت بسیار زیاد این دو مقدار دو مساله است. (۱) کاهش بسیار زیاد بهره در شبیهسازی HSPICE (۲) در نظر نگرفتن اثر صفر و قطب‌های دوم و سوم (به‌خصوص صفر) در محاسبه‌ی فرکانس بهره‌ی واحد است.

۳.۴.۳. حاشیهی فاز:

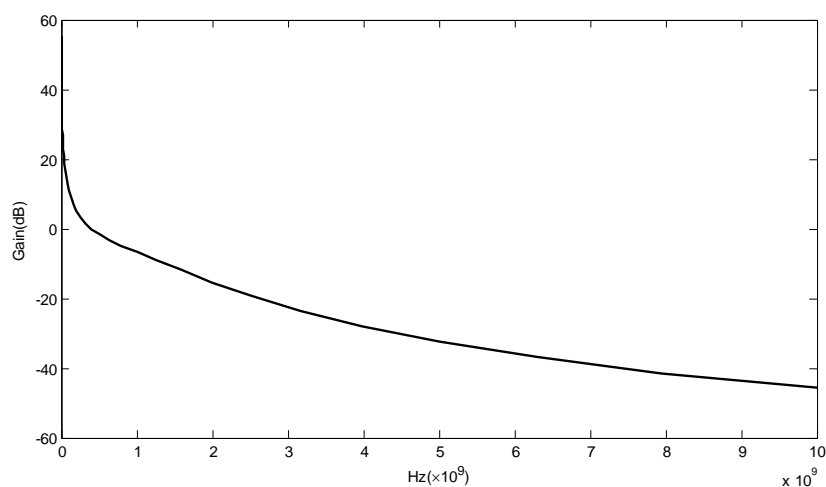


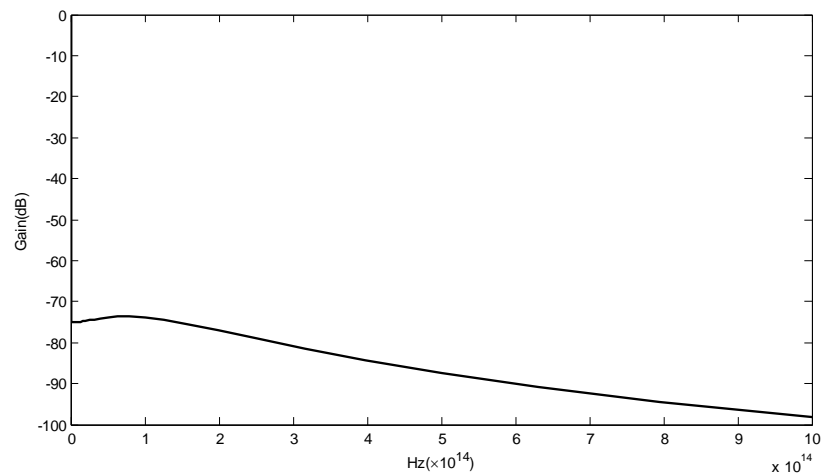
$$PM = 92^{\circ}$$

با توجه به این مقدار حاشیهی فاز، سیستم تا حد بسیار زیادی پایدار است.

۳.۴.۴. قطب و صفرها در حالت تفاضلی:

با توجه به نمودار دامنه بر حسب dB داریم:





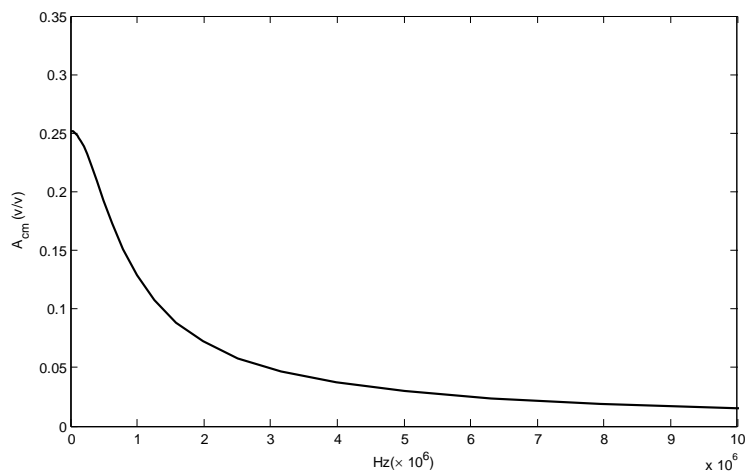
با توجه به شکلها میتوان تخمین زد که سیستم دارای قطب و صفر های زیر است:

$$\omega_{p2} \approx \omega_{p3} \approx 10^{14}$$

$$\omega_z \approx 0.2 \times 10^7$$

قطب غالب در فرکانس های بسیار پایین است.

۳.۴.۵. بهره ی مد مشترک:



$$A_{cm} = 0.25$$

به علت از بین رفتن تقارن نسبی مدار، مقداری از مقدار تئوری بزرگتر است.

۳.۴.۶. CMRR:

با توجه به مقادیر بدست آمده، داریم:

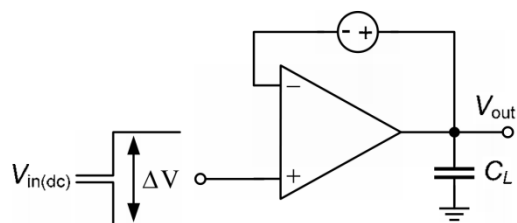
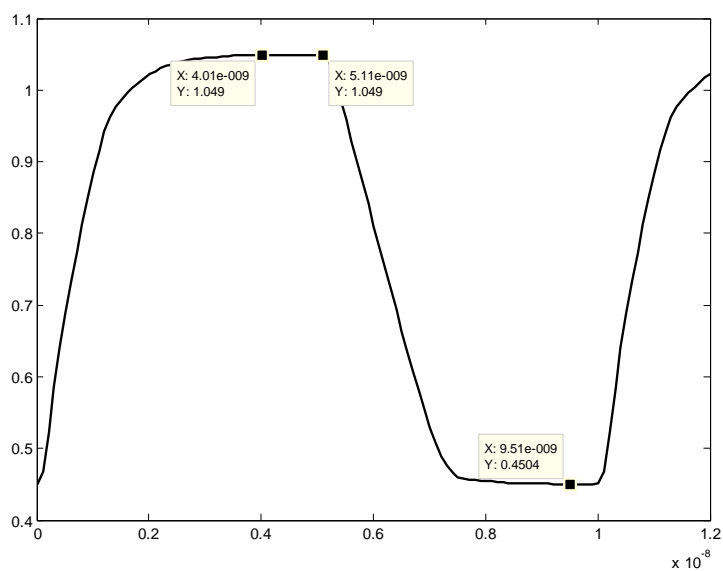
$$CMRR = 20 \log \left(\frac{A_d}{A_{cm}} \right) = 67.33 dB$$

لذا مطلوب مساله برآورده شده است.

۳.۵. پاسخ پله

۳.۵.۱. پله با دامنه‌ی 0.6 v :

پاسخ پله، در ساختار مداری نشان داده شده در شکل، به صورت زیر است:



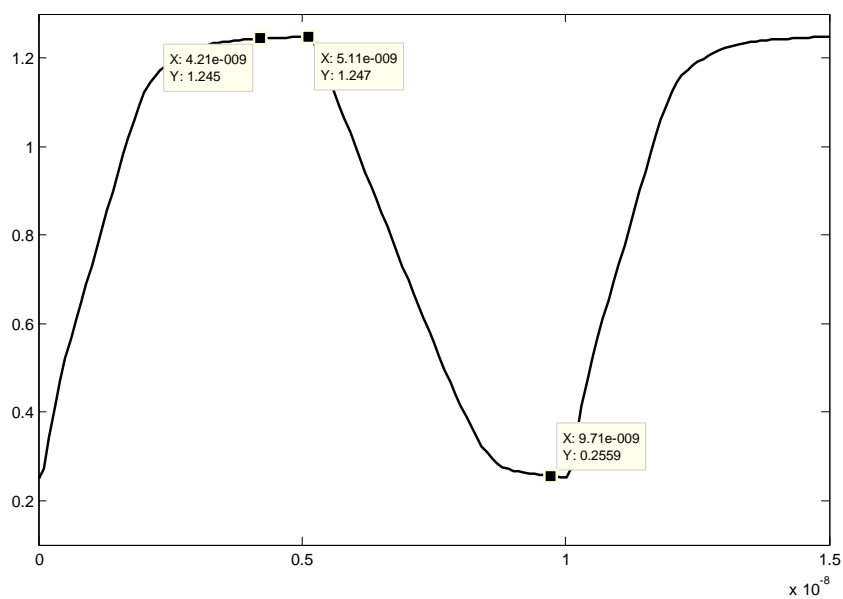
با توجه به شکل داریم:

$$\begin{cases} t_s^+ = 4.1ns \\ t_s^- = 4.4ns \end{cases}$$

دلیل اینکه زمان نشست مثبت و منفی یکسان نیست این است که در واقع Slew Rate مثبت و منفی به علت عدم تقارن مدار یکسان نیستند.

۳.۵.۲. پله با دامنه‌ی 1 v :

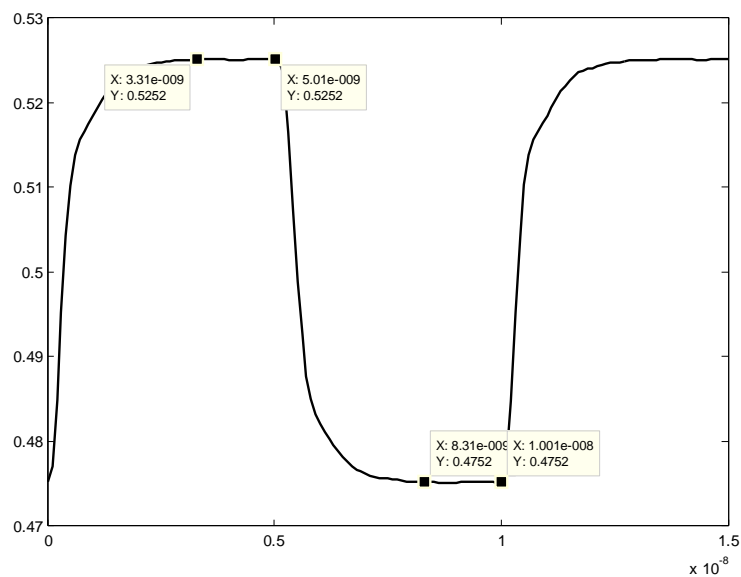
پاسخ پله، در ساختار مداری نشان داده شده در شکل، به صورت زیر است. با مشاهدگی این شکل و شکل قبل، تاثیر Slew Rate در پاسخ دیده میشود.



$$\begin{cases} t_s^+ = 4.21ns \\ t_s^- = 5.5ns \end{cases}$$

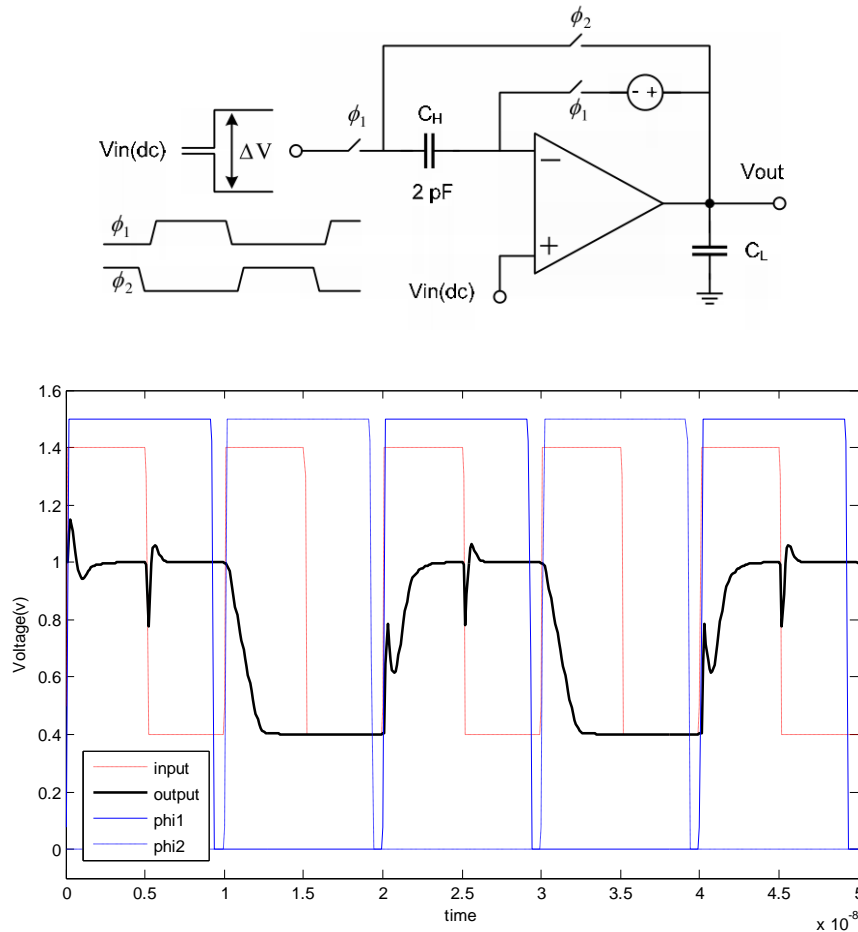
۳.۵.۳. پله با دامنه‌ی 0.05 v :

در این حالت چون دامنه بسیار کم شده‌است، نشت به‌صورت نمایی (نشست خطی) صورت می‌گیرد. لذا زمان آن نیز کمتر است. علاوه بر کاهش زمان، مقدار آنها به همدیگر نیز نزدیک‌تر شده است. در حقیقت دلیل اصلی تقارن زمانی بین پاسخ به پله‌ها، وجود slew rate های نامتقارن است.



$$\begin{cases} t_s^+ = 3.31ns \\ t_s^- = 3.31ns \end{cases}$$

۳.۶. پاسخ به نمونه‌بردار خازنی:



۴. منابع و مراجع:

- 4.1. "Design Procedure for Two-Stage CMOS Transconductance Operational Amplifiers: A tutorial", G.Palmisano, G. Palumbo, S. Pennisi, Journal of Analog Integrated Circuits and Signal Processing, 2007.
- 4.2. "Design of Analog CMOS Integrated Circuits", B.Razavi, McGraw-Hill, 2001.

۵. ضمیمه: کدهای HSPICE استفاده شده در اجرای شبیه‌سازی

HSPICE CODE									
شبیه سازی DC									
DC Simulation									
.lib './BSIM3_130nm' TT									
* Amplifier nestlist									
M1	3	vin-	2	ss	TN	W=4.95u	L=.25u	M=5	
M2	4	vin+	2	ss	TN	W=4.95u	L=.25u	M=5	
M3	3	3	dd	dd	TP	W=10.2u	L=.15u	M=5	
M4	4	3	dd	dd	TP	W=10.2u	L=.15u	M=5	
M5	out	4	dd	dd	TP	W=9.8u	L=.25u	M=30	
M6	out	1	1111	ss	TN	W=9.87u	L=.25u	M=5	
M7	2	1	11	ss	TN	W=4.93u	L=.25u	M=5	
M8	1	1	111	ss	TN	W=3.08u	L=.25u	M=1	
Rc	4	5	187						

```

R1  11      0      1
R2  111     0      1
R3  1111    0      1

Cc  5              out    2p
CL  out  ss    2p

Vdd  dd      0      dc=1.5
Vss  ss      0      dc=0
Ib   dd      1      dc=100u

vindc+  vin+  ss      dc=1
vindc-  vin-  ss      dc=1

.trans          1u          1m    10u

.end

```

HSPICE CODE شبیهسازی AC

```

AC Simulation

.lib './BSIM3_130nm'    TT

* Amplifier nestlist
M1  3      vin-  2      ss      TN      W=4.95u      L=.25u      M=5
M2  4      vin+  2      ss      TN      W=4.95u      L=.25u      M=5
M3  3      3      dd      dd      TP      W=10.2u     L=.15u     M=5
M4  4      3      dd      dd      TP      W=10.2u     L=.15u     M=5
M5  out    4      dd      dd      TP      W=9.8u      L=.25u     M=30
M6  out    1      1111    ss      TN      W=9.87u     L=.25u     M=5
M7  2      1      11      ss      TN      W=4.93u     L=.25u     M=5
M8  1      1      111     ss      TN      W=3.08u     L=.25u     M=1

Rc  4              5      187

R1  11      0      1
R2  111     0      1
R3  1111    0      1

Cc  5              out    2p
CL  out  ss    2p

Vdd  dd      0      dc=1.5
Vss  ss      0      dc=0
Ib   dd      1      dc=100u

vindc+  vin+  s+      dc=1
vindc-  vin-  s-      dc=1

vinac1  s+      0      ac=0.5
vinac2  s-      0      ac=0.5

.ac  dec  10  10  10g

*Rf      vin-  out    10meg
*Cf      vin-  ss      0.1

* To MATLAB

```

```

.print vdb(out, ss)
.print vp(ss, out)
.option ingold=2
.print v(out, ss)

.measure ac gain find vdb(out, ss) at=15
.measure ac unity_gain when vdb(out, ss)=0
.measure ac phase_margin find vp(ss, out) when vdb(out, ss)=0
.probe
.end

```

HSPICE CODE

پاسخ پله

```

DC Simulation

.lib './BSIM3_130nm' TT

* Amplifier nestlist
M1 3 vin- 2 ss TN W=4.95u L=.25u M=5
M2 4 vin+ 2 ss TN W=4.95u L=.25u M=5
M3 3 3 dd dd TP W=10.2u L=.15u M=5
M4 4 3 dd dd TP W=10.2u L=.15u M=5
M5 out 4 dd dd TP W=9.8u L=.25u M=30
M6 out 1 1111 ss TN W=9.87u L=.25u M=5
M7 2 1 11 ss TN W=4.93u L=.25u M=5
M8 1 1 111 ss TN W=3.08u L=.25u M=1

Rc 4 5 187

R1 11 0 1
R2 111 0 1
R3 1111 0 1

Cc 5 out 2p
CL out ss 2p

Vdd dd 0 dc=1.5
Vss ss 0 dc=0
Ib dd 1 dc=100u

*vindc+ vin+ ss dc=1
*vindc- vin- ss dc=1
vpulse1 vin+ 0 pulse(0.5 1.5 0 0.1n 0.1n 5n 10n)
vdc vin- out dc=0.25

* To MATLAB
.print vdb(out, ss)
.print vp(ss, out)
.option ingold=2
.print v(out, ss)

.option accurate=1
.probe

.trans 0.1n 15n 0.01n

.end

```

HSPICE CODE

نمونہ گیر خازنی

```
DC Simulation
```

```

.lib './BSIM3_130nm' TT

* Amplifier nestlist
M1 3 vin- 2 ss TN W=4.95u L=.25u M=5
M2 4 vin+ 2 ss TN W=4.95u L=.25u M=5
M3 3 3 dd dd TP W=10.2u L=.15u M=5
M4 4 3 dd dd TP W=10.2u L=.15u M=5
M5 out 4 dd dd TP W=9.8u L=.25u M=30
M6 out 1 1111 ss TN W=9.87u L=.25u M=5
M7 2 1 11 ss TN W=4.93u L=.25u M=5
M8 1 1 111 ss TN W=3.08u L=.25u M=1

Rc 4 5 187

R1 11 0 1
R2 111 0 1
R3 1111 0 1

Cc 5 out 2p
CL out ss 2p

Vdd dd 0 dc=1.5
Vss ss 0 dc=0
Ib dd 1 dc=100u

*vindc+ vin+ ss dc=1
*vindc- vin- ss dc=1
*vpulse1 vin+ 0 pulse(0.7 1.3 0 0.1n 0.1n 5n 10n)
*vdc vin- out dc=0.25

CH im0 vin- 1p

* Ideal switches in Hspice
g1 input im0 vcr pwl(1) ph1 0 0.0v,10meg 1.5v,10
g2 im0 out vcr pwl(1) ph2 0 0.0v,10meg 1.5v,10
g3 vin- out vcr pwl(1) ph1 0 0.0v,10meg 1.5v,10

* Clock phases
vph1 ph1 0 pulse(0 1.5 0 0.2n 0.2n 9n 20n)
vph2 ph2 0 pulse(0 1.5 10n 0.2n 0.2n 9n 20n)

vpulse1 input 0 pulse(0.4 1.4 0 0.1n 0.1n 5n 10n)
*vpulse2 input 0 pulse(1.4 0.4 0 0.1n 0.1n 5n 10n)
vindc vin+ 0 dc=1

* To MATLAB
.print vdb(out, ss)
.print vp(ss, out)
.option ingold=2
.print v(out, ss)

.print v(ph1, ss)
.print v(ph2, ss)
.print v(input, ss)

.option accurate=1
.probe

.trans 0.1n 50n 0.01n

.end

```

HSPICE CODE

سوئیپ DC

DC Simulation

```
.lib './BSIM3_130nm'    TT

* Amplifier nestlist
M1  3      vin-    2      ss      TN      W=5u      L=.25u      M=5
M2  4      vin+    2      ss      TN      W=5u      L=.25u      M=5
M3  3      3        dd      dd      TP      W=10u     L=.15u     M=5
M4  4      3        dd      dd      TP      W=10u     L=.15u     M=5
M5  out     4        dd      dd      TP      W=9.97u   L=.25u     M=33
*M6  out     1        ss      ss      TN      W=9.87u   L=.25u     M=5
*M7  2      1        ss      ss      TN      W=4.93u   L=.25u     M=5
M8  1      1        ss      ss      TN      W=4.44u   L=.25u     M=1

Rc  4              5      187

R1  1      11      1

Cc  5              out    2p
CL  out  ss  2p

Vdd  dd      0      dc=1.5
Vss  ss      0      dc=0
Ib   dd      11     dc=100u

vindc+  vin+  ss      dc=1
vindc-  vin-  ss      dc=1

.trans          1u          1m      10u

*vinac1  vin+  im0      ac=1
*vinac2  vin-  im1      ac=1

*.ac  dec  500  10  50g

*Rf          vin-  out    10meg
*Cf          vin-  ss      0.1

*.measure  ac  gain          find  vdb(out, ss) at=15
*.measure  ac  unity_gain    when  vdb(out, ss)=0
*.measure  ac  phase_margin  find  vp(ss, out) when vdb(out, ss)=0
*.probe
.end
```

خلاصه مقادیر خواسته شده:

پارامتر	مقدار
بهره تفاضلی	$A_d = 582.2$
بهره م مشترک	$A_{cm} = 0.25$
CMRR	$CMRR = 20\log\left(\frac{A_d}{A_{cm}}\right) = 67.33dB$
حاشیه فاز	$PM = 92^\circ$
زمان نشست	$\begin{cases} t_s^+ = 3.31ns \\ t_s^- = 3.31ns \end{cases}$
توان	$P = 3.97W < 5W$
سویینگ	$\begin{cases} v^+ = 1.28 \\ v^- = 1.13 \end{cases}$