

Lab 09

Ejercicio 1

En este ejercicio se debía implementar un flip flop tipo D de 1, 2 y 4 bits. Primero se debía crear el de 1 bit y usar ese como base para generar los otros 2.

Solo logre hacer el de 1 bit debido a que no logre usar en los siguientes el archivo correspondiente.

Ejercicio 2

Este ejercicio consistía en usar el flip flop tipo d para generar un flip flop tipo T. El cual por la misma razón anterior no se logro hacer

Ejercicio 3

Este era hacer un flip flop JK. Utilizando bases Se logro hacer este código

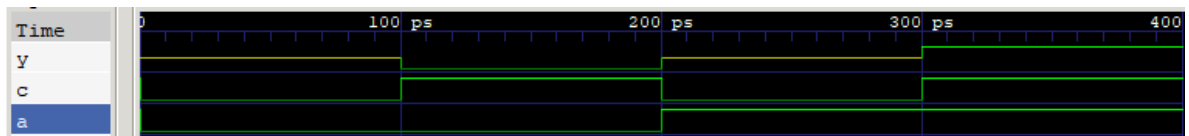
```
module FlipflopJK (input J, K, reset, clk, output reg Q);  
  
    always @(posedge clk or posedge reset) begin  
        if (J==1,K==0)  
            Q <= 1;  
        if (J==0,K==0)  
            Q <= Q;  
        if (J==0,K==1)  
            Q <= 0;  
        else  
            Q <= not Q;  
        end  
    endmodule
```

Sin embargo hay un motivo que aun no logro descifrar que no me permite correrlo.

Ejercicio 4

Este ejercicio consistía en crear un bufer tri estado

```
vvp Buffer3_tb.out  
RESULT a y  
VCD info: dumpfile Buffer3_tb.vcd opened for output.  
PASS 0 z  
PASS 0 0  
PASS 1 z  
PASS 1 1  
gtkwave Buffer3_tb.vcd Buffer3_tb.gtkw
```



Ejercicio 5