Universidad del Valle de Guatemala Facultad de Ingeniería Departamento de Ingeniería Electrónica IE2011 - Electrónica Digital I Kurt Kellner

Laboratorio #03

Este laboratorio será trabajado de forma individual y se entregará de forma digital de acuerdo a la fecha de entrega en Canvas. Haga los ejercicios **SIN** usar una calculadora (a menos que se le indique lo contrario). Deberá identificar su entrega con su nombre, carné y sección. Deberá hacer un repositorio con carpetas por cada ejercicio

Ejercicio 01

Una tabla de verdad con *N* entradas tiene 2^N filas: una por cada posible combinación de las entradas. Cada una de estas filas está asociada a un mintérmino que es **VERDADERO** para esa fila (y **sólo** para esa fila). Es posible escribir una ecuación booleana de **cualquier** tabla de verdad haciendo una **suma** (**or**) de todos los mintérminos para los cuales la salida es **VERDADERA**. Vea, por ejemplo, la siguiente tabla de verdad:

Α	В	Y	minterm	minterm name
0	0	0	$\overline{A} \ \overline{B}$	m_0
0	1	1	ĀB	m_1
1	0	0	ΑB	m_2
1	1	1	АВ	m_3

Figure 1: Ejemplo SOP

La tabla de verdad tiene $\mathbf{4}$ mintérminos en total (m_0 hasta m_3). Sin embargo los mintérminos para los cuales la salida es *verdadera* son únicamente el m_1 y el m_3 . Por lo tanto una ecuación booleana que describe el funcionamiento de la tabla sería:

$$Y = m_1 + m_3 = \bar{A} \cdot B + A \cdot B$$

Esta ecuación es llamada la suma-de-productos o SOP.

Asi como existe una ecuación formada por mintérminos llamada SOP existe también una ecuación formada por maxtérminos llamada producto-de_sumas (o POS). Utilicemos la misma tabla de verdad anterior:

A	В	Y	maxterm	maxterm name
0	0	0	A + B	M_0
0	1	1	$A + \overline{B}$	M_1
(1	0	0	$\overline{A} + B$	M_2
1	1	1	$\overline{A} + \overline{B}$	M_3

Figure 2: Ejemplo POS

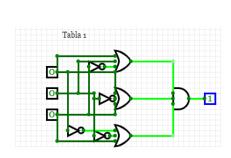
Ya que este circuito es de 2 entradas tendremos un total de $2^2 = 4$ maxtérminos. La ecuación booleana **producto-de-sumas** se forma haciendo un **AND** de todos los **maxtérminos** para los cuales la salida es **FALSA**. De esta cuenta la ecuación booleana sería la siguiente:

$$Y = M_0 \cdot M_2 = (A+B) \cdot (\bar{A}+B)$$

Tanta la ecuación **SOP** como la **POS** son ecuaciones que describen la tabla de verdad, pero no necesariamente son las ecuaciones minimizadas.

Para las siguientes tablas de verdad encuentre la ecuación SOP y POS:

Tabla 01

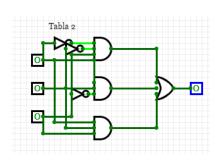


B 0 0 1	0 1 0	1 0 1	1412
0	1	0	M1 M2
1	0	1	M2
•	-		1412
1	4	_	
	1	U	МЗ
0	0	1	M4
0	1	1	M5
1	0	0	M6
1	1	1	М7
	0	0 1 1 0	0 1 1 1 1 0 0

POS Y=M0+M2+M4+M5+M7 Y=(A⁻B⁻C⁻)+(A⁻BC⁻)+(AB⁻C⁻)+(AB⁻C)+(ABC)

SOP Y=M1*M3*M6 Y=(A+B+C⁻)*(A+B⁻+C)*(A⁻+B⁻+C)

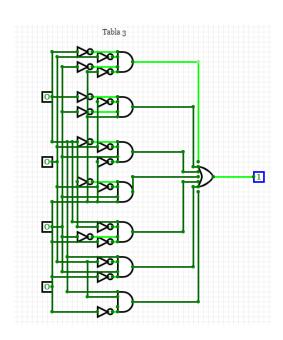
Tabla 02



Α	В	С	Υ
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

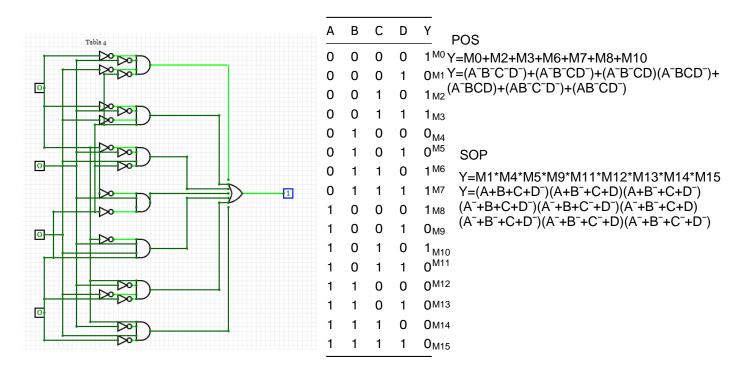
SOP Y=M0*M2*M3*M4*M5 Y=(A+B+C)*(A+B⁻+C)*(A+B⁻+C⁻)*(A⁻+B+C)* (A⁻+B+C⁻)

Tabla 03



				<u></u>
Α	В	С	D	Υ
0	0	0	0	MoPOS 1
0	0	0	1	$Y = (A^{-}B^{-}C^{-}D^{-}) + (A^{-}B^{-}C^{-}D) + (A^{-}B^{-}CD^{-}) + (A^{-}B^{-}CD)$
0	0	1	0	1 ^{M2} +(AB ⁻ C ⁻ D ⁻)+(AB ⁻ CD ⁻)+(ABCD ⁻)
0	0	1	1	1 M3
0	1	0	0	OM4 M5
0	1	0	1	0
0	1	1	0	0 ^{M6} SOP
0	1	1	1	0 ^{M7} Y=M4*M5*M6*M7*M9*M11*M12*M13
1	0	0	0	1 M8 Y=(A+B ⁻ +C+D)(A+B ⁻ +C+D ⁻)(A+B ⁻ +C ⁻ +D) (A+B ⁻ +C ⁻ +D ⁻)(A ⁻ +B+C+D ⁻)(A ⁻ +B+C ⁻ +D ⁻)
1	0	0	1	0 ^{M9} (A ⁻ +B ⁻ +C+D)(A ⁻ +B ⁻ +C+D)(A ⁻ +B ⁻ +C+D ⁻)
1	0	1	0	1 M10 M11
1	0	1	1	0
1	1	0	0	0 ^{M12}
1	1	0	1	0 ^{M13}
1	1	1	0	1 ^{M14}
1	1	1	1	O ^{M15}

Tabla 04



En total deberá entregar 8 ecuaciones booleanas: una SOP y una POS por cada tabla.

Ejercicio 02

Implemente una ecuación booleana de cada tabla de verdad del Ejercicio 01 en el assignment en CircuitVerse. En total deberá implementar 4 circuitos: 1 por tabla (usted escoge si implementa la POS o la SOP).

Tome una captura de pantalla a cada ejercicio que implemente y agrege esta captura a su entrega de laboratorio en Canvas.

Ejercicio 03

Implemente **TODAS** las ecuaciones booleanas del ejercicio 01 en verilog utilizando gate level modelling.

Deberá hacer cada ejercicio en un folder individual (en total necesitará 8 carpetas). Dentro de cada carpeta deberá ejecutar el comando apio init -b TinyFPGA-BX. Este comando creará un archivo .ini que incluye la configuración del TinyFPGA.

Después de eso deberá crear **2** archivos con extensión verilog (.v). El nombre del primer archivo es irrelevante, pero el segundo sí tiene que tener un formato. A manera de ejemplo digamos que usted creó un archivo llamado tabla01P0S.v. El segundo archivo deberá tener el siguiente nombre: tabla01P0S_tb.v. Note que lo importante es agregar el _tb al final. Estas letras le indican al simulador que ese archivo será el *testbench*. Para este laboratorio uno de los dos archivos de verilog deberá estar completamente vacío y su ejercicio estará en el otro archivo. No importa cuál de los dos archivos escoja. Para poder ejecutar su código deberá utilizar el comando apio sim.

- Puede ver un ejemplo del código (que vimos en clase) en el siguiente repositorio: https://github.com/kekellner/digital1_lab03.
- Su simulación deberá incluir pruebas para **cada fila** de la tabla de verdad (es decir, si su tabla de verdad es de 3 entradas deberá tener 8 pruebas diferentes).

En la entrega de Canvas deberá adjuntar un link a su repositorio (su repositorio debe ser público) y también deberá entregar un archivo .zip con todos sus códigos.

https://github.com/dar17320/Lab-3/tree/Final

Ejercicio 04

Utilice *bubble pushing* (el teorema de DeMorgan) para re-dibujar los siguientes 2 circuitos para luego escribir la ecuación booleana del circuito por inspección sencilla.

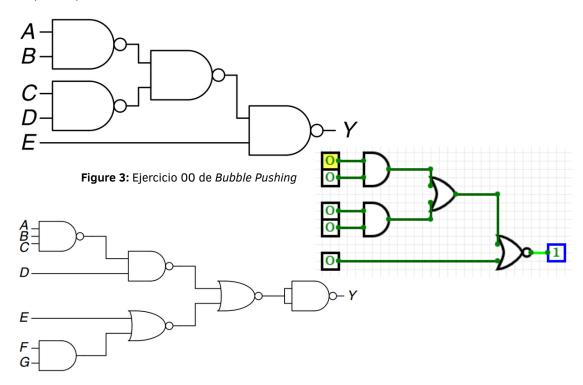


Figure 4: Ejercicio 01 de Bubble Pushing

