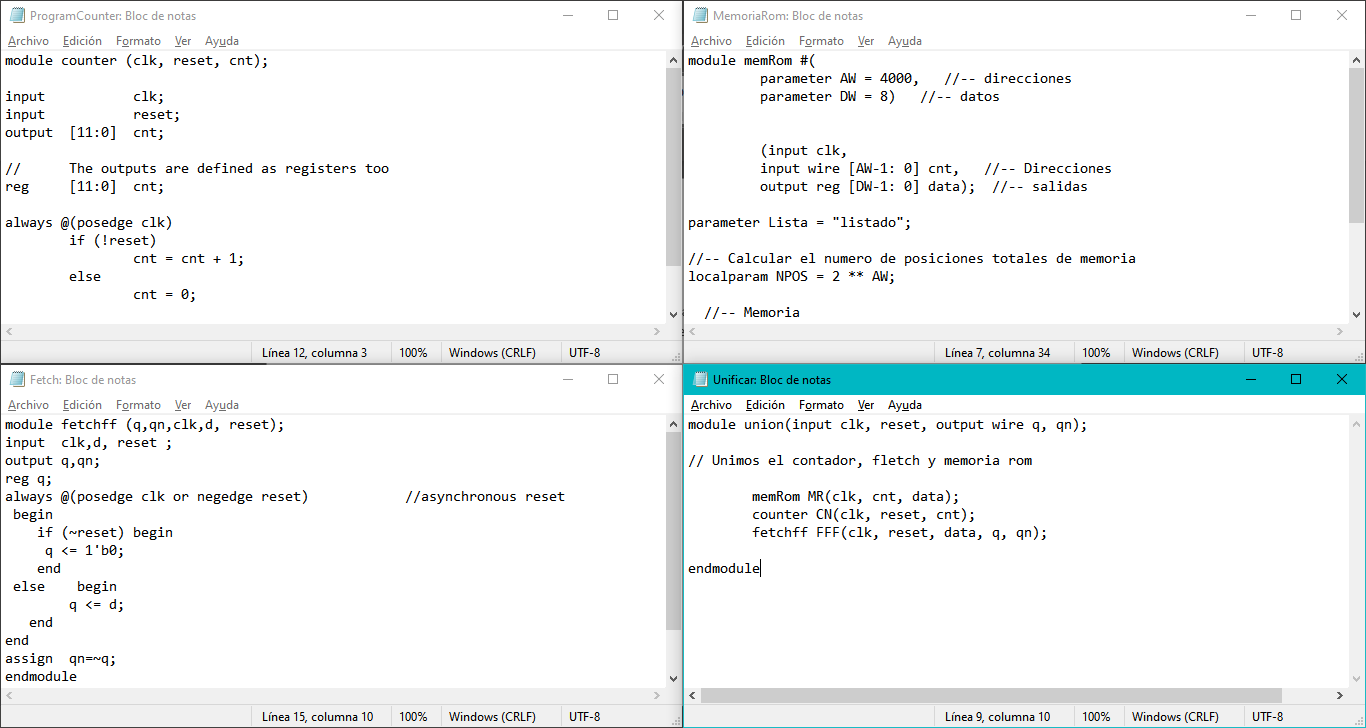
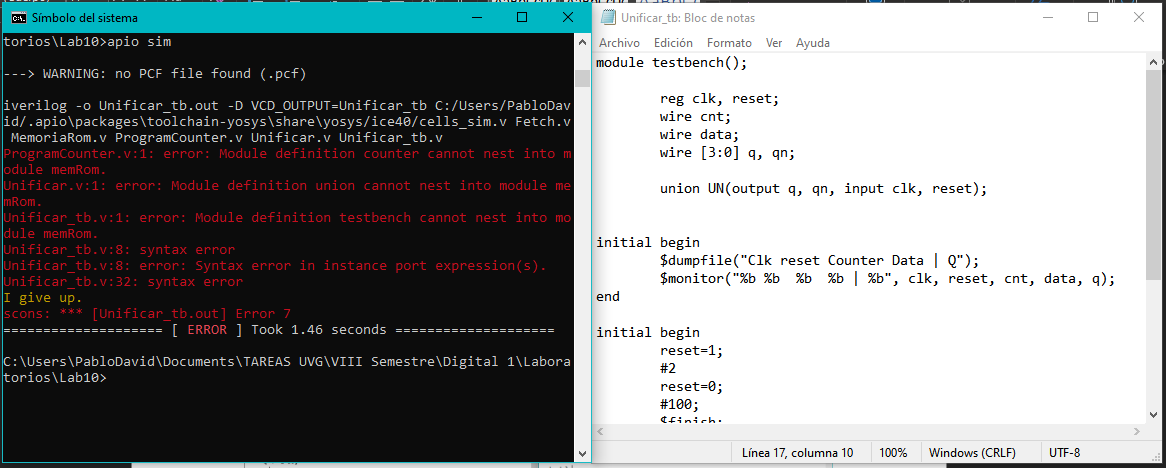
Ejercicio 1

Este ejercicio consistiendo en unir 3 modulos (contador, memoria rom y el fetch ff) se complico debido a que los módulos no se logran comunicar entre ellos de forma exitosa.



Estas son las programaciones básicas, sin embargo por algún motivo el testbench aun no logra desplegar lo requerido



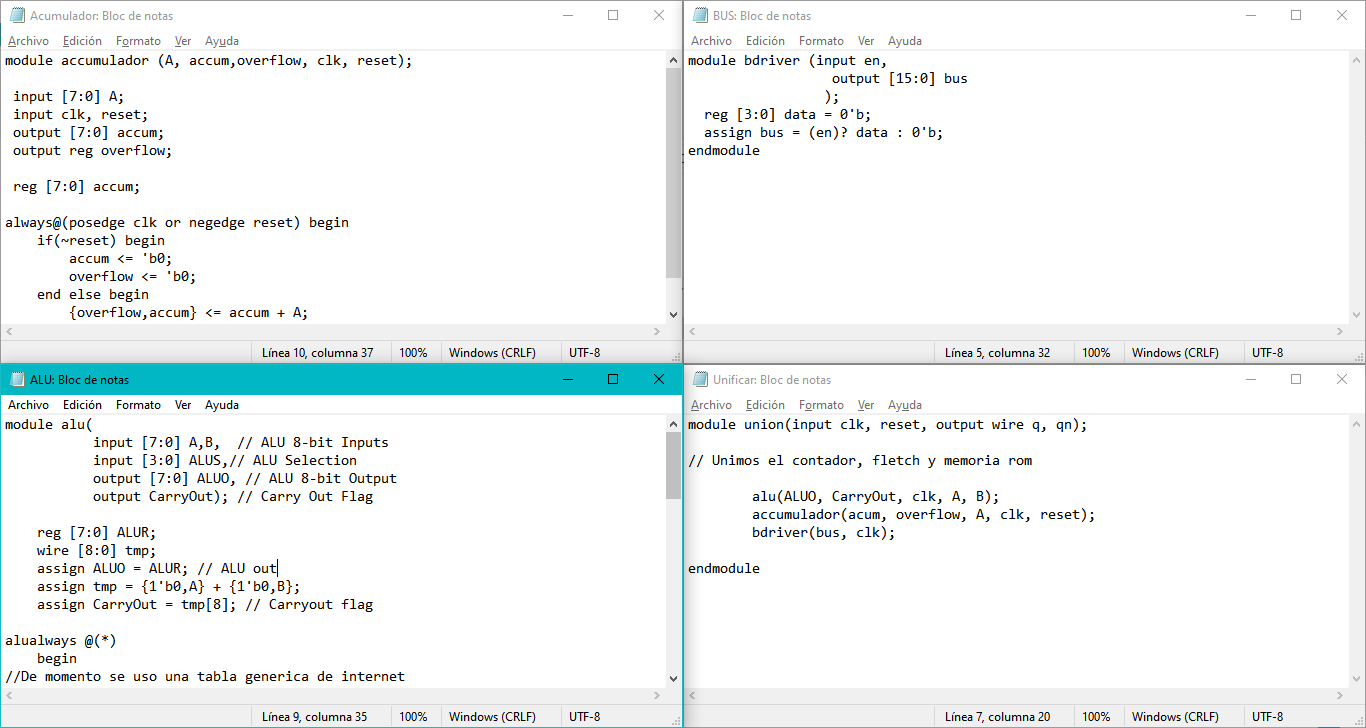
La programación guía para unificar los módulos proviene de <https://julioecheverri.wordpress.com/2016/03/21/instanciar-modulos-en-verilog/>

Que enseño a unificar 3 modulos de Flipflops pero siendo el mismo principio intente simularlo para estos módulos pero no funciono.

Ejercicio 2

Al igual que el ejercicio 1, la interconexión de módulos es un problema.

Siendo la idea la misma que el ejercicio 1, el problema es el mismo pero estas son las programaciones de los módulos requeridos esperando a ser interconectados entre ellos



Nota. Dado que la semana anterior el ALU no me salió, por motivos de tiempo la tabla ingresada no es la requerida, es una tabla genérica extraída de internet para fines del laboratorio que después cambiaré para tener la tabla correcta para el proyecto.

Laboratorio será publicado en este repositorio bajo el nombre de Lab10