

La modélisation et simulation de Look-Up Tables (LUT) pour la prévision de la fiabilité des circuits numériques programmables

Réalisé par :

DARHAI Imad
CHAFIK Mohammed

Encadré par :

François MARC

Projet réalisé au sein de l'Université Bordeaux 1
Laboratoire de l'Intégration du Matériau au Système (IMS)
Février-Mars 2015

Soutenu le : 27 Mars 2015

Devant le jury:

| | |
|-------|---------------------|
| | Responsable du jury |
| | Directeur de projet |
| | Membre du jury |
| | Membre du jury |

Année universitaire : 2014/2015

Remerciement

Nous tenons à remercier d'abord la direction de l'université Bordeaux 1 et le département de la filière EAPS pour nous avoir donné l'opportunité d'effectuer ce stage au sein d'une l'université.

Nous tenons à remercier toutes les personnes qui ont contribué au succès de notre stage et qui nous ont aidés lors de la rédaction de ce rapport. Nous tenons à remercier vivement notre maitre de stage, Mr **François MARC**, professeur chercheur à l'université Bordeaux 1, pour son accueil, le temps passé ensemble et le partage de son expertise. Grâce aussi à sa confiance nous avons pus accomplir totalement dans nos missions avec son aide précieuse dans les moments les plus délicats, nous tenons à remercier Mr **Mohammad NAOUSS**, nous tenons à vous adresser nos sincères expressions de remerciement et de respect de nous avoir encadré aussi bien moralement que techniquement au cours de notre période de stage.

Nous remercions également tous les chercheurs de l'IMS aussi tous les binômes qui étaient dans la section du projet d'électronique pour leur accueil, leur esprit d'équipe.

Résumé

Ce projet concerne la modélisation et la simulation de Look-Up Tables (LUT) ou bien les tables de conversion pour la prévision de la fiabilité des circuits numériques programmables. Dans ce contexte, il s'agit de Contrôler le vieillissement de transistor qui représente le problème majeur de la technologie manométrique. Ces effets du vieillissement ont l'influence sur la variation de la tension de seuil du transistor, ce qui provoque variation de son temps de propagation.

Le FPGA (Field-programmable-gat -array) ou bien réseaux de portes programmables, est un circuit intégré logique qui peut être reconfiguré après son fabrication, on modifie des connexions qui changent le comportement du composant.

Les Look-Up-Tables (LUT) sont la base des FPGAs, c'est pourquoi nous allons ce contenté d'étudier les effets de dégradation sur LUT.

Dans notre stage nous somme chargés d'étudier et de réaliser trois différentes structures de base d'une table de conversion.

Une première structure basée sur des portes logiques, une deuxième basée sur des transistors utilisés comme des commutateurs et une troisième basée sur des portes de transfert.

Abstract

This project concerns the modeling and simulation of Look-Up Tables (LUTs) or conversion tables for predicting the reliability of programmable digital circuits. In this context, it is of Controller transistor aging which represents the major problem of gauge technology. These aging effects have influence on the variation of the threshold voltage of the transistor, which causes variation of its propagation time.

FPGA (Field-programmable-gate-array) is a logic integrated circuit which can be reconfigured after its manufacture, it modifies the connections exchange component behavior.

The Look-Up-Tables (LUTs) are based FPGAs, so that we will simply study the effects of degradation on LUT.

In our training we are responsible to study and perform three different basic structures of a conversion table. A first structure based on logic gates, a second based on transistors used as switches and a third based on transmissions gates.

Sommaire

| | |
|---|-----------|
| Introduction..... | 8 |
| Présentation de l'université Bordeaux 1 | 9 |
| I. L'université Bordeaux 1 | 9 |
| II. Composantes | 9 |
| III. Formation | 9 |
| INVERSEUR | 10 |
| I. Partie théorique | 10 |
| A. Introduction du transistor MOS..... | 10 |
| B. Définition : | 10 |
| C. Introduction de l'inverseur MOS | 13 |
| D. Interprétation du fonctionnement de l'inverseur : | 14 |
| II. Partie logiciel (Software) | 15 |
| A. Cas d'un seul inverseur..... | 18 |
| B. Cas de deux inverseurs en série | 19 |
| C. Cas de trois inverseurs en série | 20 |
| D. Cas d'un inverseur en parallèle | 21 |
| III. Conclusion..... | 23 |
| NOR..... | 24 |
| I. Introduction..... | 24 |
| II. Partie logiciel (Software) | 26 |
| A. Cas d'une entrée fixé à 1..... | 26 |
| B. Cas d'une entrée fixé à 0..... | 27 |
| C. Cas de deux entrées identiques | 28 |
| D. Cas de deux entrées de fréquences doublés..... | 30 |
| NAND | 31 |
| I. Introduction..... | 31 |
| II. Partie logiciel (Software) | 32 |
| A. Cas d'une entrée fixé à 1..... | 32 |

| | |
|---|-----------|
| B. Cas d'une entrée fixé à 0..... | 34 |
| C. Cas de deux entrées identiques..... | 35 |
| D. Cas de deux entrées de fréquences doublés..... | 36 |
| Table de conversion (LUT)..... | 37 |
| I. Introduction..... | 37 |
| A. Structure basée sur les portes de transfert..... | 37 |
| B. Structure basée sur les portes logiques..... | 39 |
| II. Conclusion..... | 41 |
| Bibliographie..... | 43 |

Table des figures

| | |
|---|----|
| Figure 1 : structure physique interne d'un transistor MOS..... | 10 |
| Figure 2 : Dopage de deux transistors PMOS et NMOS. | 11 |
| Figure 3 : Caractéristique du transistor MOS..... | 12 |
| Figure 4 : Structure interne du l'inverseur MOS. | 13 |
| Figure 5 : Différentes zones de caractéristique de transfert..... | 14 |
| Figure 6 : Schéma interne de l'inverseur..... | 15 |
| Figure 7 : paramètres d'alimentation..... | 16 |
| Figure 8 : Paramètres d'entrée..... | 16 |
| Figure 9 : Paramètres du PMOS..... | 17 |
| Figure 10 : Paramètres du NMOS..... | 17 |
| Figure 11 : Schéma symbolique d'un inverseur à l'air..... | 18 |
| Figure 12 : Simulation quasi-statique d'un inverseur à l'air..... | 18 |
| Figure 13 : Schéma symbolique de deux inverseurs série..... | 19 |
| Figure 14 : Simulation de deux inverseurs série..... | 19 |
| Figure 15 : Schéma symbolique de 3 inverseurs en série..... | 20 |
| Figure 16 : Simulation de 3 inverseurs en série..... | 20 |
| Figure 17 : Schéma symbolique d'un inverseur en parallèle..... | 21 |
| Figure 18 : Simulation d'un inverseur en parallèle..... | 21 |
| Figure 19 : Schéma de la structure interne du porte NOR..... | 25 |
| Figure 20 : Schéma symbolique du porte NOR..... | 25 |
| Figure 21 : schéma symbolique du porte NOR..... | 26 |

| | |
|--|----|
| Figure 22 : Simulation du NOR à une entrée fixée à 1 | 27 |
| Figure 23 : Simulation du NOR à une entrée fixée à 0 | 28 |
| Figure 24 : Simulation du NOR à deux entrées identiques..... | 29 |
| Figure 25 : Simulation du NOR pour deux entrées à double fréquences..... | 30 |
| Figure 26 : Schéma interne et symbolique du porte NAND | 32 |
| Figure 27 : Schéma symbolique du porte NAND lié à des inverseurs | 33 |
| Figure 28 : Simulation de la porte NAND à une entrée fixée à 1 | 33 |
| Figure 29 : Simulation de la porte NAND à une entrée fixée à 0 | 34 |
| Figure 30 : Simulation de la porte NAND à deux entrées identiques..... | 35 |
| Figure 31 : Simulation de la porte NOR pour deux entrées de fréquences doublées..... | 36 |
| Figure 32 : Schéma interne et symbolique de la porte de transfert | 37 |
| Figure 33 : Schéma symbolique de la LUT à base de porte de transfert (TG)..... | 38 |
| Figure 34 : Schéma symbolique de la LUT à base de porte logique (LG) | 40 |

Tableaux

| | |
|---|----|
| Tableau 1 : Tableau de vérité de l'inverseur | 13 |
| Tableau 2 : Simulation des temps de propagation sur CADENCE | 22 |
| Tableau 3 : Tableau de vérité du NON-OU | 24 |
| Tableau 4 : Simulation de temps de propagation du porte NON-OU | 24 |
| Tableau 5 : Tableau de vérité de la porte NOR pour une entrée fixée à 1..... | 26 |
| Tableau 6 : Tableau de vérité de la porte NOR pour une entrée fixée à 0..... | 27 |
| Tableau 7 : Tableau de vérité de la porte NOR à deux entrées identiques..... | 28 |
| Tableau 8 : Simulation des temps de propagation di porte NOR..... | 30 |
| Tableau 9 : Tableau de vérité du porte NAND | 31 |
| Tableau 10 : Simulation des temps de propagation du porte NAND..... | 31 |
| Tableau 11 : Tableau de vérité de la porte NAND à une entrée fixée à 1..... | 32 |
| Tableau 12 : Tableau de vérité de la porte NAND à une entrée fixé à 0..... | 34 |
| Tableau 13 : Tableau de vérité de la porte NAND à deux entrées identiques | 35 |
| Tableau 14 : Simulation des temps de propagation de la porte NAND | 36 |
| Tableau 15 : Simulation des temps de propagation de l'inverseur de commande de la LUT..... | 38 |
| Tableau 16 : Temps de propagation de la LUT TG au cas de fonctionnement en mode inverseur | 39 |
| Tableau 17 : Temps de propagation de la LUT TG au cas de fonctionnement en mode buffer | 39 |
| Tableau 18 : Temps de propagation de la LUT LG au cas de fonctionnement en mode inverseur | 40 |
| Tableau 19 : Temps de propagation de la LUT LG au cas de fonctionnement en mode buffer..... | 40 |

Introduction

Ce rapport est le témoin de cinq semaines de stage au sein de l'université Bordeaux 1 Sciences et Technologies sous la tutelle de Monsieur François MARC, professeur chercheur en électronique à l'université Bordeaux 1, dans le cadre de la formation de Master EAPS (Electronique, Automatique, Productique et Signal).

L'objectif de ce stage est de traiter un problème majeur et basique de la technologie manométrique en électronique, le thème qu'on a eu au cours de notre projet d'électronique concerne la modélisation et la simulation des LUTs ou bien les tables de conversion. La mission consistait à contrôler le vieillissement des transistors et vu que la lut est l'élément base de la FPGA, nous sommes chargé à appliquer ces études sur la LUT.

Ce rapport est composé de 5 parties : une première sur une introduction et une représentation de l'université Bordeaux 1 Sciences et technologies. La deuxième présente l'étude de l'inverseur MOS. La troisième sur la porte logique NOR, la quatrième sur la porte logique NAND. Une avant dernière sur la LUT et enfin une conclusion de ce rapport.

Présentation de l'université Bordeaux 1

I. L'université Bordeaux 1

L'université Bordeaux 1 Sciences et Technologies, est une université française ayant existé entre 1971 et 2015. Elle fusionne le 1er janvier 2014 avec deux autres universités bordelaises pour former l'Université de Bordeaux.

Basée dans la banlieue de Bordeaux (Gironde), plus exactement dans le domaine universitaire de Talence Pessac Gradignan, ses activités d'enseignement supérieur de recherche sont dans le champ des sciences et de la technologie.

L'université Bordeaux 1 a été créée en 1971 suite à la division en trois de l'université de Bordeaux. Elle regroupait alors les Sciences, les Technologies, le Droit et les Sciences sociales et politiques. Les secteurs « sciences » et « droit » ont tout de même un fonctionnement séparé. Cette université comptait 24 257 étudiants en 1994-1995.

En 1995, l'université Bordeaux-IV est créée et Bordeaux 1 ne garde que les Sciences et les Technologies, en 2007 Bordeaux 1 est membre fondateur du PRES « Université de Bordeaux », et en janvier 2010, l'université accède aux « compétences élargies ».

II. Composantes

Conformément au code de l'éducation qui fixe l'organisation légale des universités publiques en France, Bordeaux 1 se découpe en plusieurs composantes. On trouve d'une part les unités de formation et de recherche (UFR) et d'autre part les « instituts et écoles ». Ainsi, l'université est structurée de la manière suivante :

- ✚ L'UFR de mathématiques et informatique.
- ✚ UFR de physique.
- ✚ UFR de chimie.
- ✚ UFR de sciences biologiques.
- ✚ UFR de sciences de la terre et de la mer.
- ✚ L'institut universitaire de technologies.
- ✚ Le département licence.

III. Formation

- ✚ Licences et assimilés.
- ✚ Masters et assimilés.
- ✚ Doctorat.

INVERSEUR

I. Partie théorique

A. Introduction du transistor MOS

Le transistor MOS ou bien à effet de champs a été réalisée en 1926, et c'est le composant le plus employé de nos jours, parce qu'il a plusieurs avantages vis-à-vis le transistor bipolaire.

Parmi ces avantages :

- ✚ Une structure très simple, il existe des puces de 10^9 transistor MOS.
- ✚ Surface trop réduite, ce qui diminue le cout technologique des composants électronique.
- ✚ Consommation très faible du courant ce qui diminue le cout d'exploitation.
- ✚ Réalisation des fonctions complexes.

B. Définition :

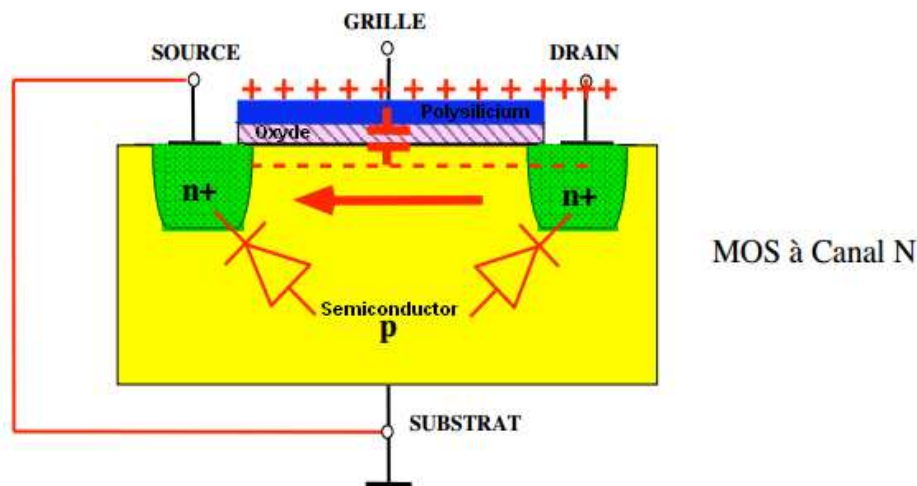


Figure 1 : structure physique interne d'un transistor MOS

- ✚ Le transistor à Effet de Champ à Métal Oxyde Semi-conducteur a une grille isolée du canal de conduction par une couche de dioxyde de silicium.
- ✚ Le transistor MOS possède 4 électrodes :
- ✚ La Source : c'est le point de départ des porteurs négatifs (électrons).
- ✚ Le Drain : c'est le point de collecte des porteurs négatifs.
- ✚ La Grille : c'est le point de commande du transistor.

✚ Le Substrat : c'est la capacité MOS lié à la grille qui contrôle le nombre de porteurs dans le canal entre drain-source.

Le courant circulant entre la source et le drain est commandée par la tension entre la grille et le substrat, le courant entre le Drain et la Source I_{ds} est commandé par une tension entre la Grille et la Source V_{GS} .

On à deux types de transistor MOS qui sont le **NMOS** et **PMOS**, pour le **NPN** il exige une tension positive de commande au niveau de la grille $V_G > 0$ et une tension négative $V_G < 0$ pour le **PNP**.

Voila ci-dessous la figure qui représente les deux transistors :

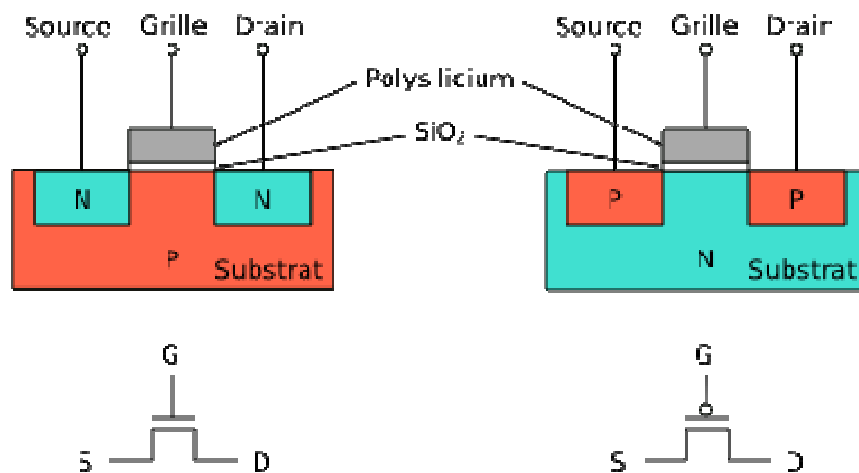


Figure 2 : Dopage de deux transistors PMOS et NMOS.

Pour distinguer entre les deux il suffit juste de voir le dopage des Source-Drain, s'elles sont dopés un dopage négative dans ce cas c'est un **NMOS** si non si c'est un dopage positive alors c'est un transistor **PMOS**.

Le dopage de type N : qui consiste à produire un excès d'électrons, qui sont négativement chargés.

Le dopage de type P : qui consiste à produire un déficit d'électrons, donc un excès de trous considéré comme s'ils sont positivement chargés.

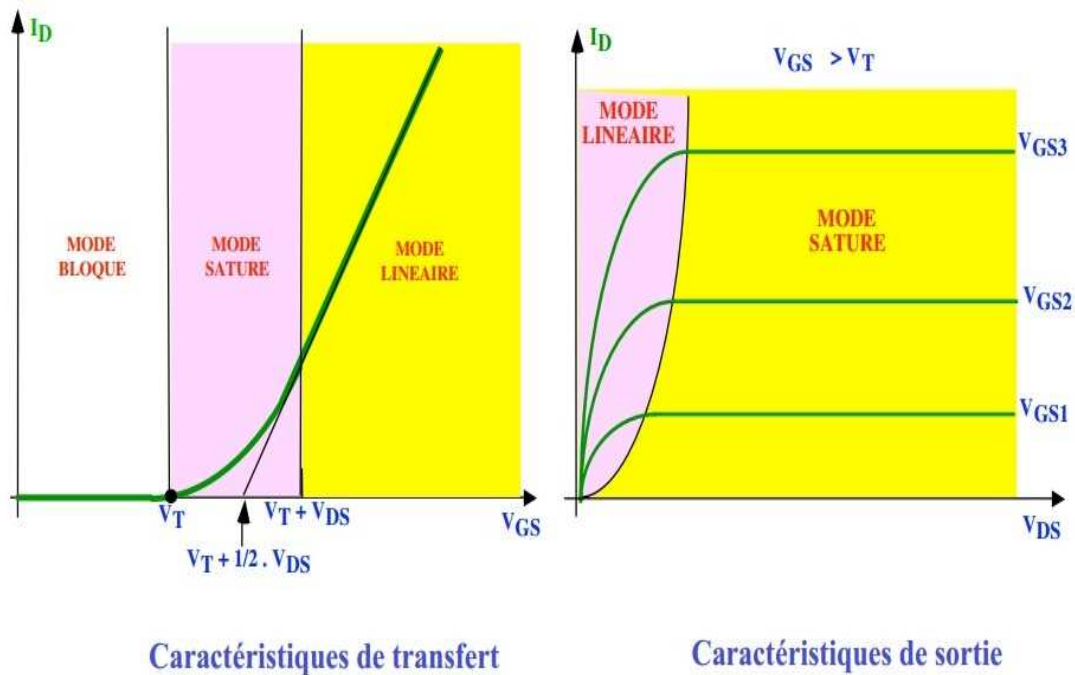


Figure 3 : Caractéristique du transistor MOS

⚡ Mode bloqué :

$V_{GS} < V_T$ dans ce cas on n'a pas d'apparition de canal et pas de passage de courant entre Source-Drain $\Rightarrow I_D = 0$.

⚡ Mode linéaire (mode conduction) :

$V_{GS} > V_T$ & $V_{DS} < V_{DSSAT} = V_{GS} - V_T$ dans ce cas le transistor conduit et on obtient l'apparition d'un canal non uniforme entre Source-Drain.

⚡ Mode saturé :

$V_{GS} > V_T$ & $V_{DS} > V_{DSSAT} = V_{GS} - V_T$ dans ce cas le transistor conduit et on obtient l'apparition d'un canal avec existence d'un pincement au niveau du Drain.

C. Introduction de l'inverseur MOS

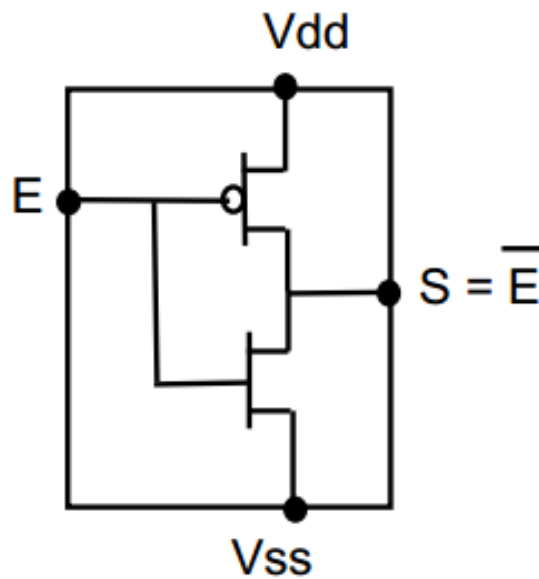


Figure 4 : Structure interne du l'inverseur MOS.

D'après la figure dessus l'inverseur CMOS composé de deux transistors, un N et un P, qui réalise la fonction NON.

Le tableau de vérité de l'inverseur est le suivant :

| ENTREE | SORTIE |
|--------|--------|
| 0 | 1 |
| 1 | 0 |

Tableau 1 : Tableau de vérité de l'inverseur

Si on applique à l'entrée E un niveau haut, le transistor NMOS qui conduit et le PMOS bloqué alors à la sortie prend le V_{DS} du NMOS qui est lié à la masse, qui donnera 0 à la masse.

D'autre part lorsqu'on applique à l'entrée un niveau bas, le transistor PMOM qui conduit et le NMOS reste bloqué alors dans ce cas la sortie prend le V_{DS} du PMOS qui lié à V_{DD} .

D. Interprétation du fonctionnement de l'inverseur :

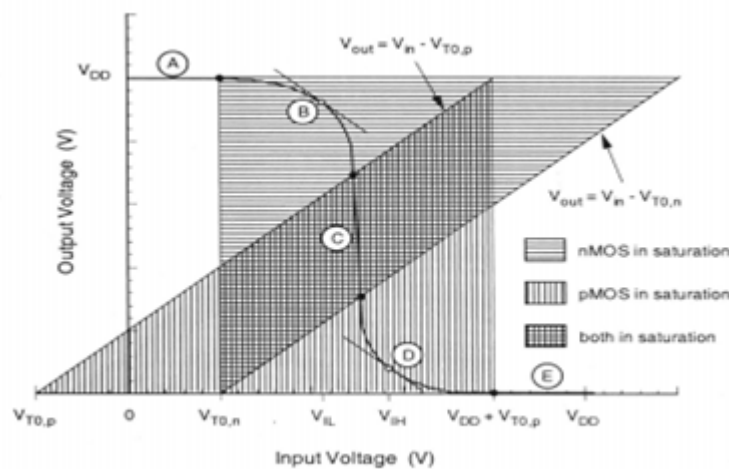


Figure 5 : Différentes zones de caractéristique de transfert

- ✚ Zone A : TrN bloqué ($V_{gs} < V_T$) ; $i=0$; TrP quadratique (linéaire) ($V_{ds} = 0$) ; $V_{out} = V_{dd}$.
- ✚ Zone B : TrN saturé ($V_{ds} = V_{dd}$) ; TrP quadratique ($V_{ds} = 0$).
- ✚ Zone C : TrN saturé ($V_{ds} = V_{dd}/2$) ; TrP saturé ($V_{ds} = V_{dd}/2$).
- ✚ Zone D : TrN quadratique ($V_{ds} = 0$ v) ; TrP saturé ($V_{ds} = V_{dd}$).
- ✚ Zone E : TrN quadratique ($V_{ds} = 0$ v) ; $i=0$; TrP bloqué ($V_{gs} < V_T$) $V_{out} = 0$ v.

II. Partie logiciel (Software)

Dans cette partie nous allons voir tous ce qui est logiciel (schémas, simulation, calcul) sur **CADENCE**. Premièrement on verra le schéma de la réalisation d'un inverseur avec tous les paramètres soit au niveau des transistors MOS soit au niveau de l'entrée et de l'alimentation aussi. Après nous allons aborder les calculs de temps de propagation pour différents étages en ajoutant des inverseurs en série et en parallèle sur la sortie du premier inverseur branché à une entrée qui est une succession d'impulsion de **2,4v**. Avec une alimentation pour chacun des inverseurs une tension continu de **2,4 v** aussi.

Ci-dessous la représentation du schéma d'un inverseur sur **cadence** :

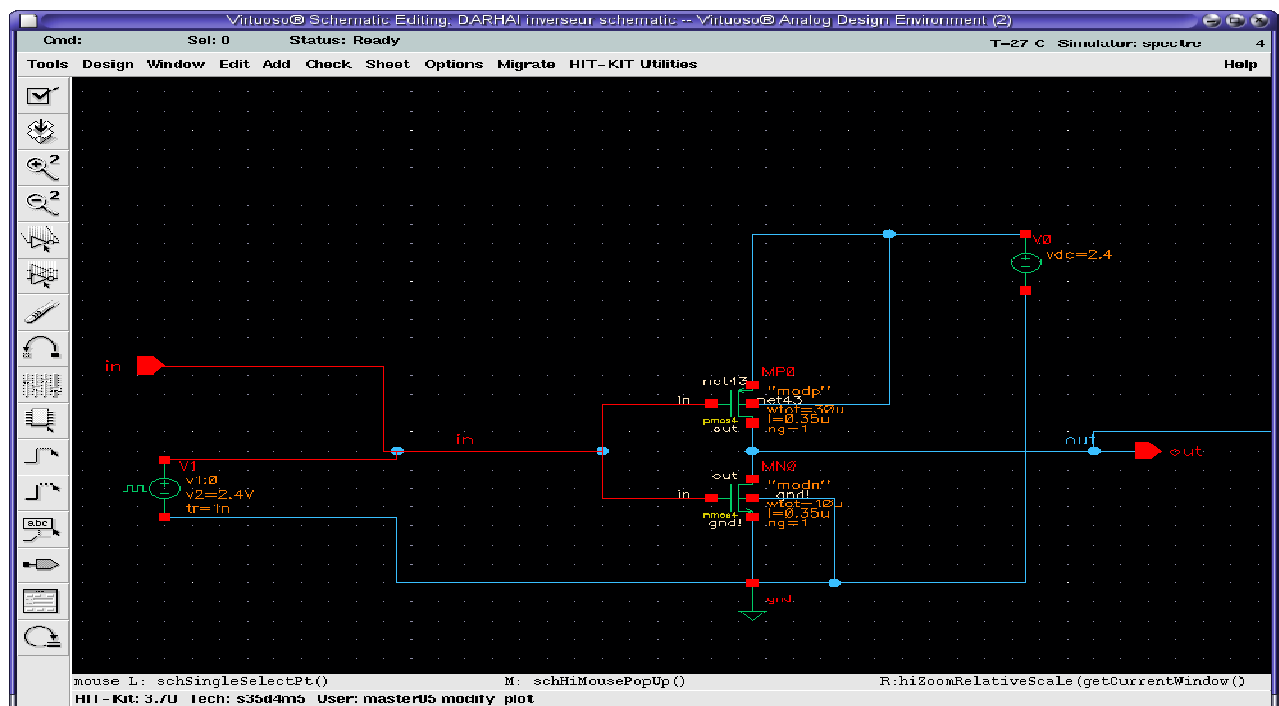


Figure 6 : Schéma interne de l'inverseur

- Voilà nous avons un inverseur qui est constitué de deux transistors NMOS et PMOS, avec le PMOS qui est relié à la source de tension et le NMOS qui est relié à la masse, On applique au niveau de la grille des deux transistors une tension impulsionnelle de **2,4v**. Avec le substrat du PMOS qui est lié normalement au potentiel le plus haut, et celle du NMOS lié à la masse.

✚ Pour ce qui concerne les paramètres :

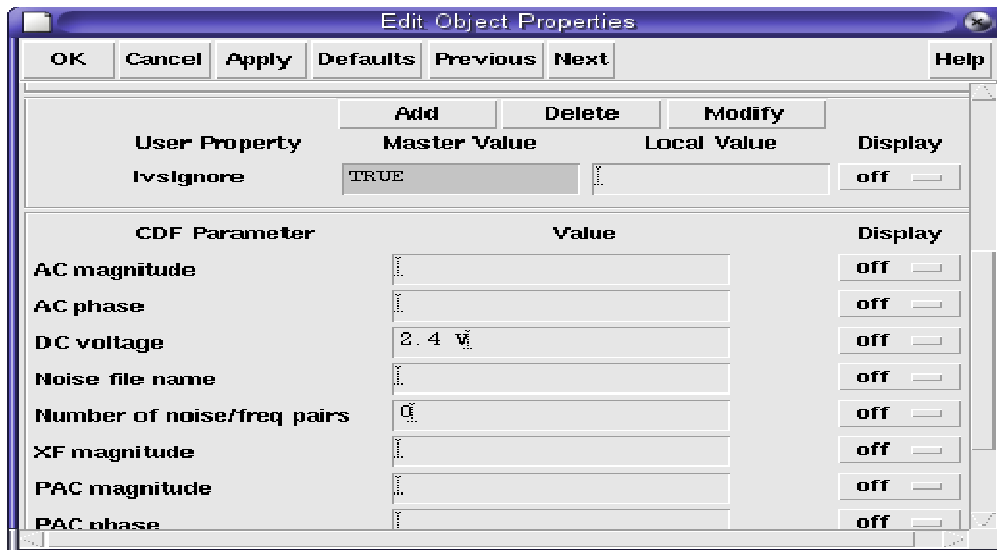


Figure 7 : paramètres d'alimentation

✚ Nous avons la tension d'alimentation au niveau du Drain de 2,4v.

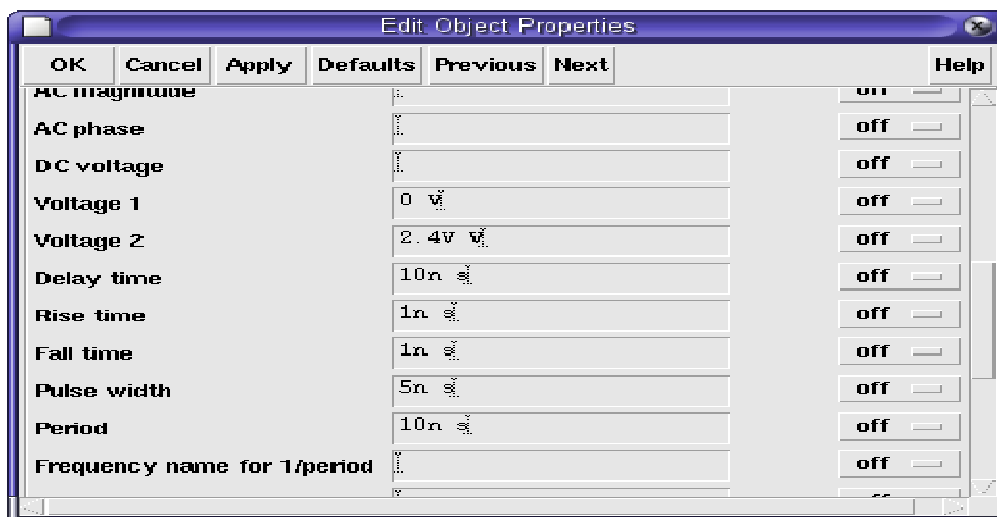


Figure 8 : Paramètres d'entrée

✚ Nous avons à l'entrée qui est sous forme d'une tension impulsionnelle de deux niveaux 0v et 2,4v.

- ✚ Nous avons pris temps de montée de **1ns**, temps de descente de **1ns**, temps d'impulsion de **5ns**, un temps de retard de **10ns** et une période de cycle de **10ns** pour le signal d'entrée .

| CDF Parameter | Value | Display |
|-----------------|--------|---------|
| Model name | modp | off |
| Width | 30μm | off |
| Width stripe | 30μm | off |
| Length | 0.35μm | off |
| Number of Gates | 1 | off |

Figure 9 : Paramètres du PMOS

- ✚ Pour le transistor PMOS nous avons pris une largeur est de **30 μm** et **0,35 μm** pour la longueur.

| CDF Parameter | Value | Display |
|-----------------|--------|---------|
| Model name | modn | off |
| Width | 10μm | off |
| Width Stripe | 10μm | off |
| Length | 0.35μm | off |
| Number of Gates | 1 | off |

Figure 10 : Paramètres du NMOS

- ✚ Pour le transistor NMOS nous avons pris une largeur de **10 μm** et **0,35 μm** pour la longueur.
- ✚ Nous avons pris les dimensions du PMOS presque deux fois plus grandes que celles du NMOS pour avoir un équilibre entre le temps de montée et de descente au niveau du signal de sortie de l'inverseur.

A. Cas d'un seul inverseur

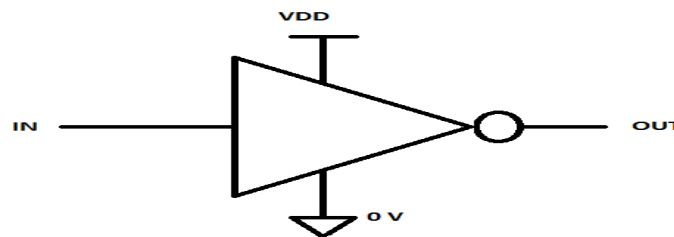


Figure 11 : Schéma symbolique d'un inverseur à l'air

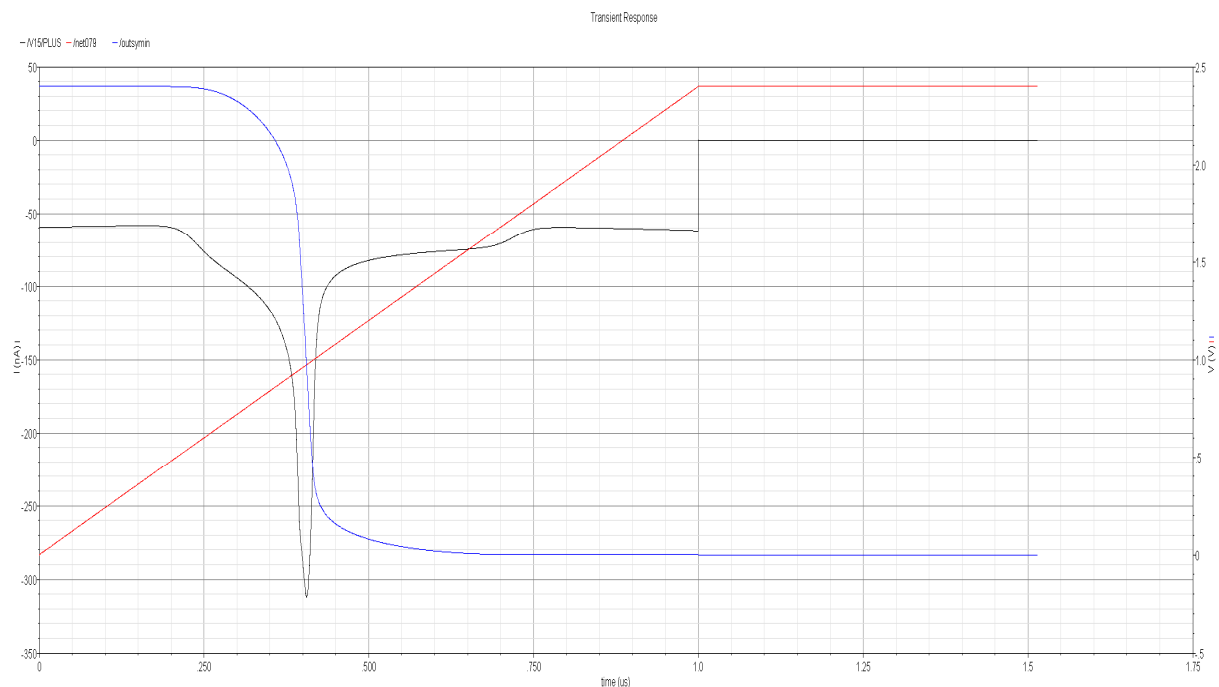


Figure 12 : Simulation quasi-statique d'un inverseur à l'air

- ✚ C'est le cas de la quasi-statique pour une période d'entrée de **10 μs** et un temps de montée de **1 μs** et un temps de descente de **1 μs** .
- ✚ Nous avons le rouge qui représente l'entrée, le bleu représente le signal (tension) de sortie et le noir qui représente le courant d'alimentation.

B. Cas de deux inverseurs en série

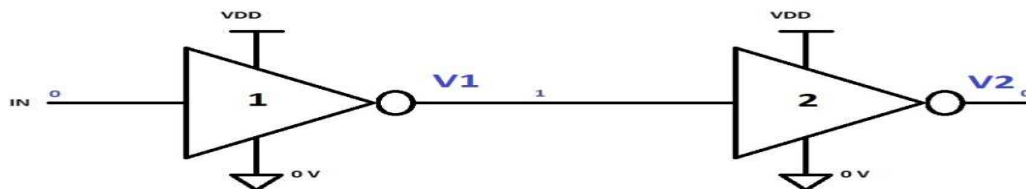


Figure 13 : Schéma symbolique de deux inverseurs série

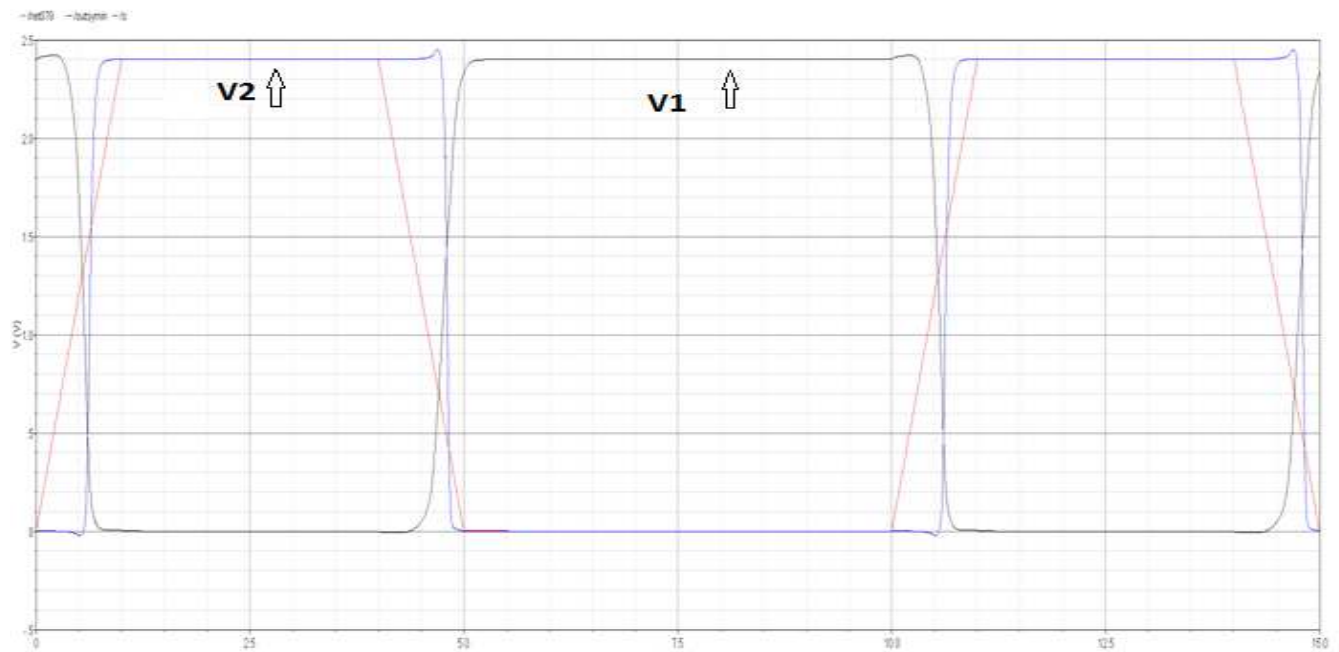


Figure 14 : Simulation de deux inverseurs série

- ✚ Nous avons le rouge qui représente la tension d'entrée, le noir qui représente la tension V1 et le bleu qui représente la tension V2.
- ✚ On remarque la présence d'un pic au niveau de la tension V2 pour le passage de 0 à 1 et l'inverse de 1 à 0 d'une valeur de 0,051v qu'on peut le considérer négligeable devant 2,4 v.

C. Cas de trois inverseurs en série

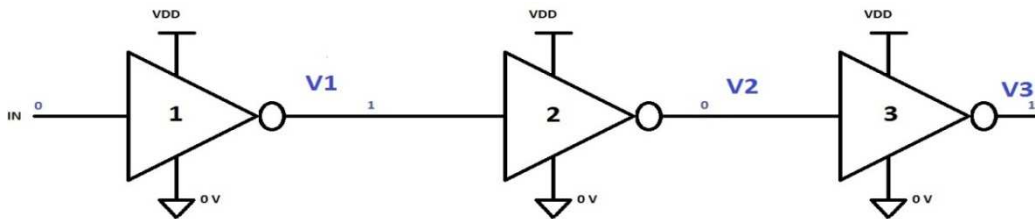


Figure 15 : Schéma symbolique de 3 inverseurs en série

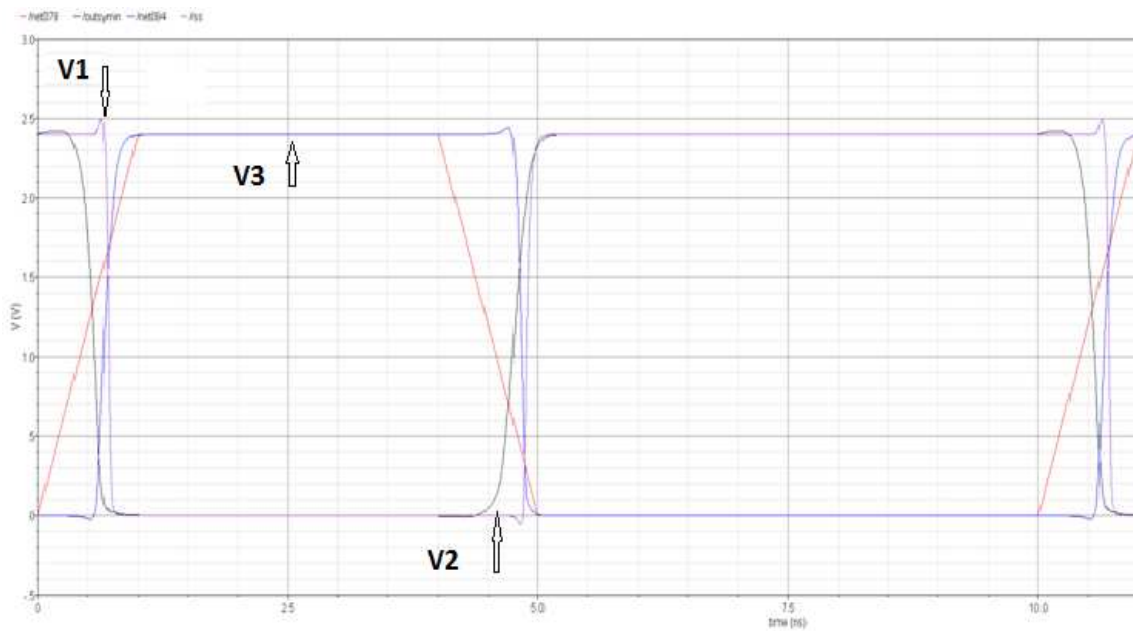


Figure 16 : Simulation de 3 inverseurs en série

- ✚ Nous avons le rouge qui représente la tension d'entrée, le violet qui représente la tension V1, le noir qui représente la tension V2 et le bleu qui représente la tension V3.
- ✚ On remarque la présence d'un pic au niveau de la tension V3 pour le passage de 0 à 1 et l'inverse de 1 à 0 d'une valeur de 0,112v.

D. Cas d'un inverseur en parallèle

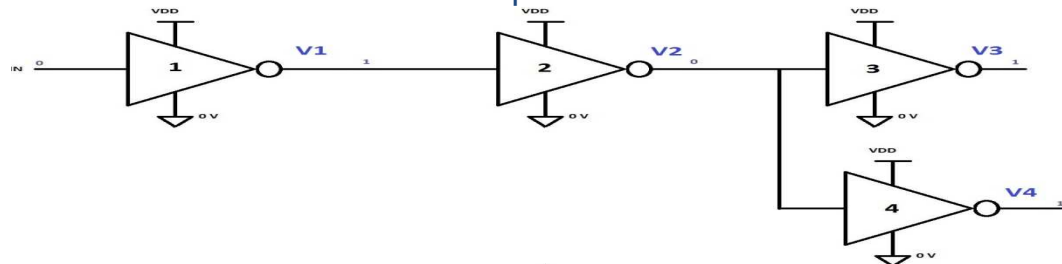


Figure 17 : Schéma symbolique d'un inverseur en parallèle

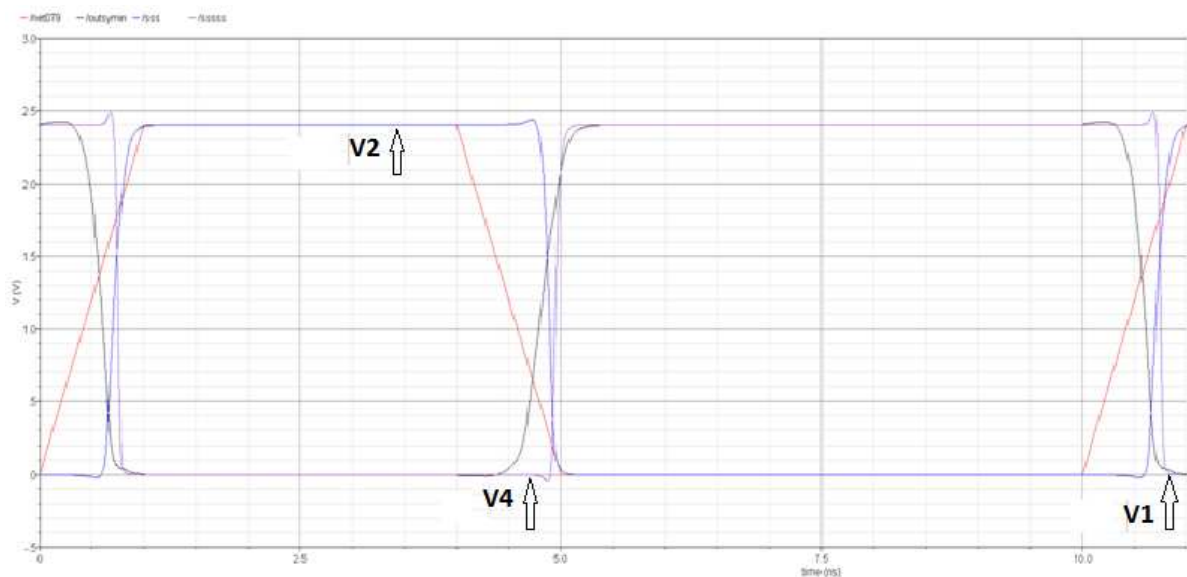


Figure 18 : Simulation d'un inverseur en parallèle

- ✚ Nous avons le rouge qui représente la tension d'entrée, le noir qui représente la tension V1, le bleu représente la tension V2 et le violet la tension V4.
- ✚ On remarque la présence d'un pic au niveau de la tension V4 pour le passage de 0 à 1 et l'inverse de 1 à 0 d'une valeur de 0,113v.
- ✚ Nous avons trouvé que la courbe du V4 est la même que celle du V3, alors qu'ils ont le même temps de montée, de descente et aussi de propagation.

| Les cas | | T_m : le temps de montée | T_d : le temps de descente | $\uparrow T$: temps de propagation de montée. | T : temps de propagation de descente. |
|----------------------------------|----|----------------------------|------------------------------|--|---|
| Un seul inverseur cas dynamique | | 0.189 ns | 0.158 ns | 0,122 ns | 0,09 ns |
| Cas de deux inverseurs en série | V1 | 0.266 ns | 0.246 ns | 0.187 ns | 0.140 ns |
| | V2 | 0.091 ns | 0.070 ns | 0.06 ns | 0.065 |
| Cas de trois inverseurs en série | V1 | 0.262 ns | 0.231 ns | 0.186 ns | 0.14 ns |
| | V2 | 0.143 ns | 0.124 ns | 0.1 ns | 0.094 ns |
| | V3 | 0.074 ns | 0.056 ns | 0.048 ns | 0.06 ns |
| Cas d'inverseur en parallèle | V1 | 0.257 ns | 0.226 ns | 0,19 ns | 0,14 ns |
| | V2 | 0.194 ns | 0.182 ns | 0.12 ns | 0.12 ns |
| | V3 | 0.085 ns | 0.064 ns | 0.06 ns | 0.065 ns |
| | V4 | 0.085 ns | 0.064 ns | 0.055 ns | 0.065 ns |

Tableau 2 : Simulation des temps de propagation sur CADENCE

⚡ T_m : le temps de passage de 10% à 90% du signal de sortie.

⚡ T_d : Le temps de passage de 90% à 10% su signal de sortie.

⚡ $\uparrow T$: Le temps entre la montée de la sortie et la descente de l'entrée à la valeur $\frac{V_{dd}}{2}$

⚡ $\downarrow T$: Le temps entre la descente de la sortie et montée de l'entrée à la valeur $\frac{V_{dd}}{2}$.

III. Conclusion

- ✚ Nous allons considérer le premier cas où l'on a un seul inverseur avec une sortie liée à l'air comme un cas particulier. Une fois qu'on commence à brancher des étages d'inverseur on arrive à obtenir des résultats comparables et convenables parce que sur un schéma intégré l'inverseur doit être branché à une charge soit au niveau de l'entrée soit au niveau de sa sortie.
- ✚ Nous avons trouvés que le temps de propagation d'un inverseur augmente lorsqu'on branche une charge à sa sortie.
- ✚ Le temps de propagation reste le même pour chaque inverseur.
- ✚ Pour les deux inverseurs en parallèles, ils ont les mêmes temps de propagation.
- ✚ Le temps de montée et de descente diminue à chaque fois quand on ajoute un étage inverseur.
- ✚ On remarque aussi que le pic qui apparaît au niveau du signal de la sortie qui est proportionnelle à la demande de courant qui augmente à chaque fois quand on ajoute d'étage.
- ✚ Au niveau du troisième étage on commence à avoir un temps de propagation de PMOS plus rapide que celui du NMOS et d'après cette petite remarque nous allons considérer que sur un circuit intégré le PMOS est plus rapide que l'NMOS.

NOR

I. Introduction

La fonction **NON-OU** (NOR en anglais) est un opérateur logique de l'algèbre de Boole. À deux opérandes, qui peuvent avoir chacun la valeur VRAI ou FAUX, il associe un résultat d'une valeur VRAI seulement si les deux opérandes ont la valeur FAUX. Voilà ci-dessous le tableau de vérité du porte NON-OU :

| Entre 1 | Entre 2 | Sortie |
|---------|---------|--------|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Tableau 3 : Tableau de vérité du NON-OU

Le tableau des temps de propagation :

| | |
|----------------|---------|
| T _m | 1.037ns |
| T _d | 1.037ns |
| ↑ T | 0.261ns |
| ↓ T | 0.023ns |

Tableau 4 : Simulation de temps de propagation du porte NON-OU

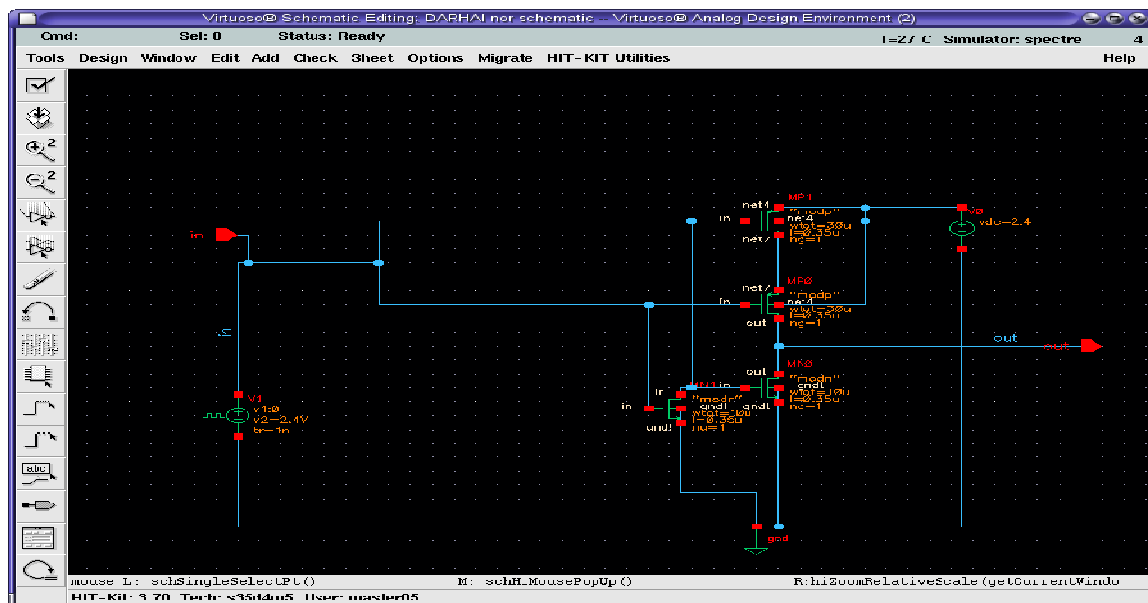


Figure 19 : Schéma de la structure interne du porte NOR

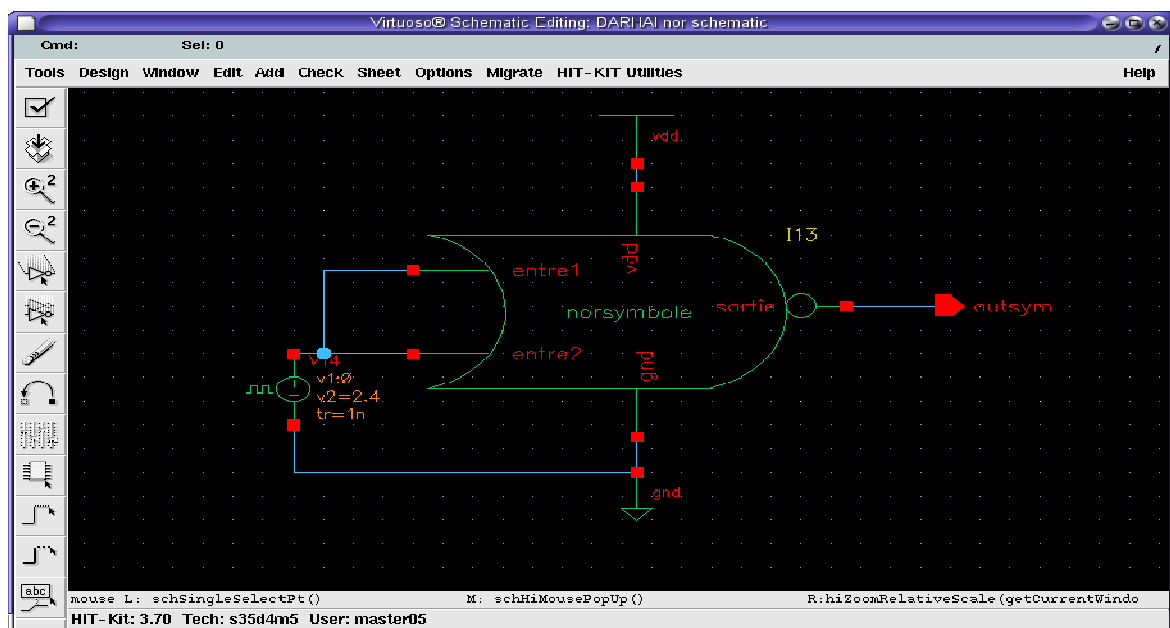


Figure 20 : Schéma symbolique du porte NOR

- Après nous avons fait l'étude et la simulation du porte NOR lié à deux inverseur en entrée et un inverseur en sortie, pour avoir les temps de propagation lorsque le NOR est intégré dans un schéma.

II. Partie logiciel (Software)

A. Cas d'une entrée fixé à 1

D'après le tableau de vérité on obtient que la sortie reste fixée à 0.

| Entre 1 | Entre 2 | Sortie |
|---------|---------|--------|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Tableau 5 : Tableau de vérité de la porte NOR pour une entrée fixée à 1

Ci-dessous le schéma symbolique du porte NAND lié à des inverseurs

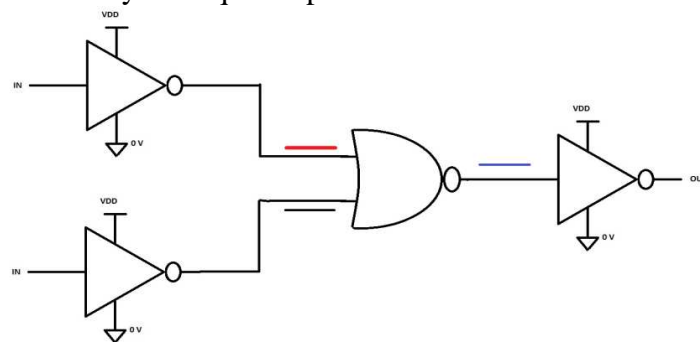


Figure 21 : schéma symbolique du porte NOR

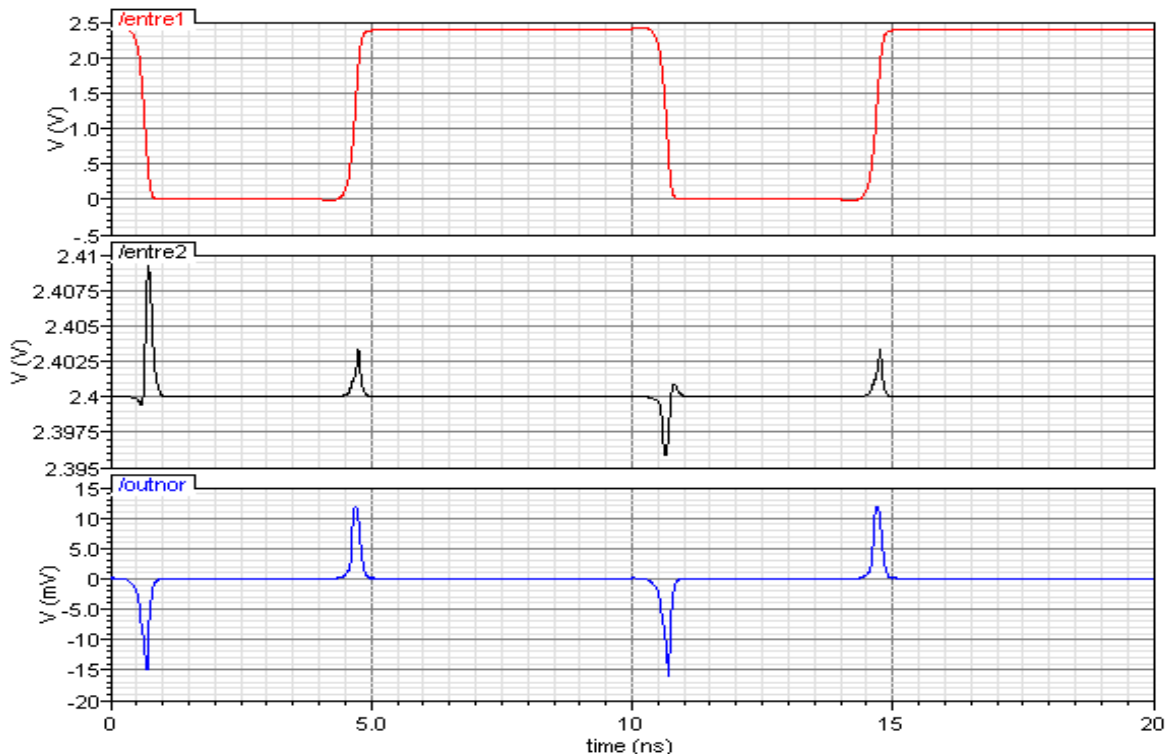


Figure 22 : Simulation du NOR à une entrée fixée à 1

- Le rouge représente la première entrée du porte NOR.
- Le rouge représente la 1^{ère} entrée qui est une tension impulsionnelle qui passe de 0 à 2,4 v chaque 10ns.
- Le noir qui représente la 2eme entrée fixé à 2,4 V.
- Le bleu représente la sortie qui est fixé à zéro, mais on a aussi des petits pics au niveau de la montée et la descente de 15 mV.

B. Cas d'une entrée fixé à 0

D'après le tableau de vérité on obtient que la sortie passe de 1 à 0.

| Entre 1 | Entre 2 | Sortie |
|---------|---------|--------|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Tableau 6 : Tableau de vérité de la porte NOR pour une entrée fixée à 0

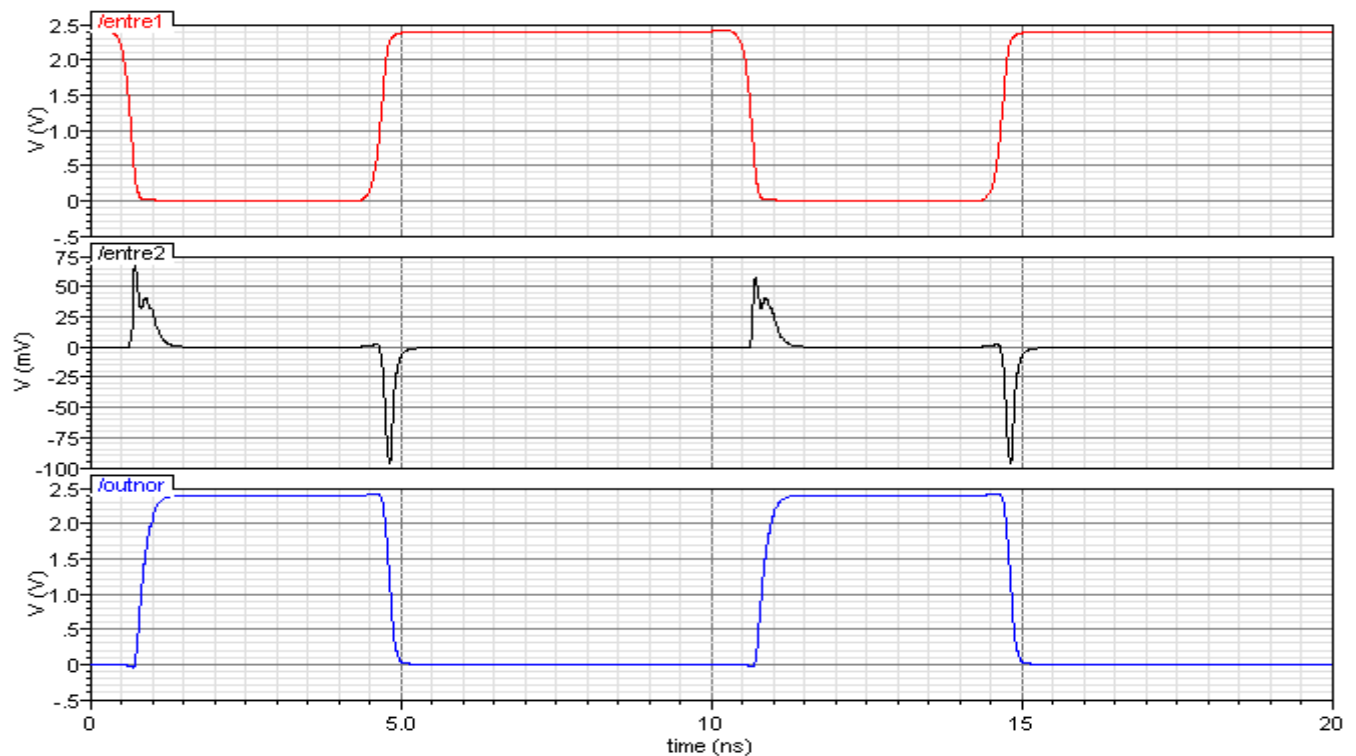


Figure 23 : Simulation du NOR à une entrée fixée à 0

- ✚ Le rouge représente la 1^{ère} entrée qui est une tension impulsionnelle qui passe de 0 à 2,4 v chaque 10ns.
- ✚ Le noir qui représente la 2eme entrée fixé à 0 V.
- ✚ Le bleu représente la sortie qui passe de 0 à 1 comme c'est montré sur le tableau de vérité.

C. Cas de deux entrées identiques

D'après le tableau de vérité on obtient que la sortie prenne la valeur 0 lorsque les entrées sont à 1 et l'inverse, alors dans ce cas le porte NOR joue le rôle d'un inverseur.

| Entree 1 | Entree 2 | Sortie |
|----------|----------|--------|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Tableau 7 : Tableau de vérité de la porte NOR à deux entrées identiques

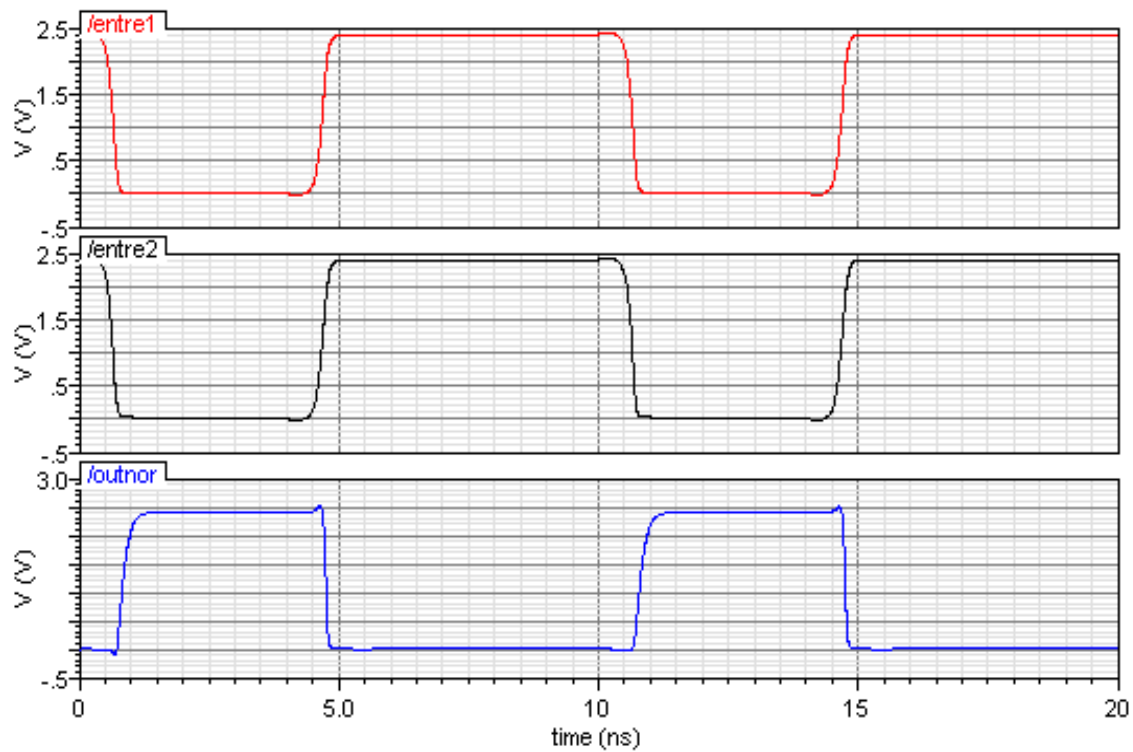


Figure 24 : Simulation du NOR à deux entrées identiques

- ✚ Nous avons le rouge et le noir qui représente deux entrées identiques.
- ✚ Le bleu qui représente la sortie, qui prend l'inverse des deux entrées.

D. Cas de deux entrées de fréquences doublés

Dans ce cas on va voir les 4 sorties du tableau de vérité entier parce qu'on va prendre la fréquence de l'une des entrées qui est la double de l'autre entrée.

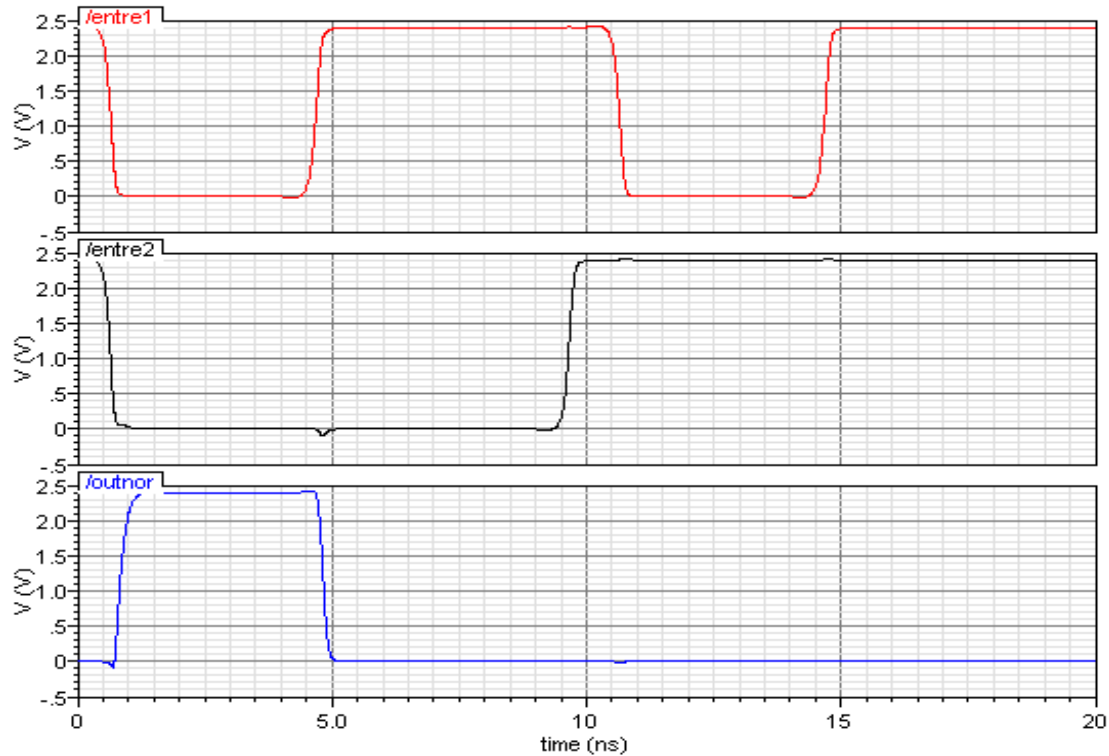


Figure 25 : Simulation du NOR pour deux entrées à double fréquences

- ✚ On a le rouge qui représente une entrée d'une période de 10ns, le noir qui représente la deuxième entrée d'une période double de 20ns.
- ✚ Le bleu représente la sortie qui prene 1 pour les deux entrées à 0, et 0 d'ailleurs.
- ✚ D'après la simulation sur CADENCE nous avons trouvez les valeurs suivantes :

| cas | Tm: le temps de montée | Td: le temps de descente | T ↑ : temps de propagation de montée. | T ↓: temps de propagation de descente. |
|-----|------------------------|--------------------------|---------------------------------------|--|
| NOR | 0.281 ns | 0.083 ns | 0.158 ns | 0.067 ns |

Tableau 8 : Simulation des temps de propagation di porte NOR

NAND

I. Introduction

La fonction NON-ET (NAND en anglais) est un opérateur logique de l'algèbre de Boole. À deux opérands, qui peuvent avoir chacun la valeur VRAI ou FAUX, il associe un résultat d'une valeur FAUX seulement si les deux opérands ont la valeur VRAI.

Voila ci-dessous le tableau de vérité du porte NON-ET :

| Entre 1 | Entre 2 | Sortie |
|---------|---------|--------|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Tableau 9 : Tableau de vérité du porte NAND

Le tableau des temps de propagation :

| | |
|----------------|---------|
| T _m | 1.073ns |
| T _d | 1.103ns |
| ↑ T | 0.064ns |
| ↓ T | 0.253ns |

Tableau 10 : Simulation des temps de propagation du porte NAND

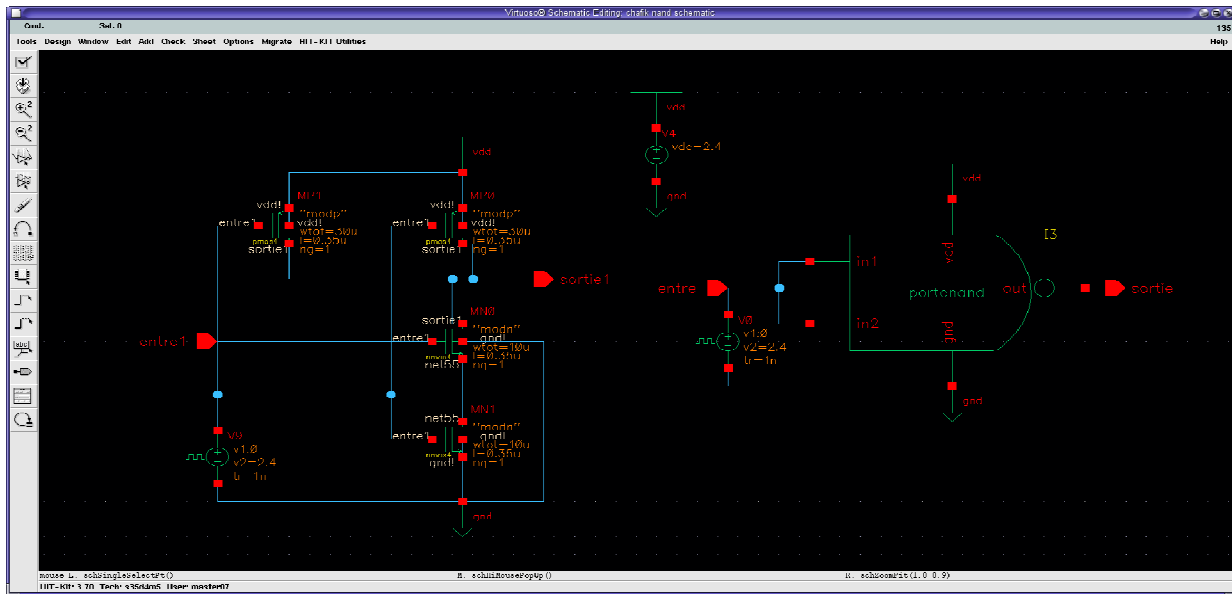


Figure 26 : Schéma interne et symbolique du porte NAND

- Après nous avons fait l'étude et la simulation du porte NAND lié à deux inverseur en entrée et un inverseur en sortie, pour avoir les temps de propagation lorsque le NAND est intégré dans un schéma.

II. Partie logiciel (Software)

A. Cas d'une entrée fixé à 1

D'après le tableau de vérité on obtient que la sortie passe de 1 à 0.

| Entre 1 | Entre 2 | Sortie |
|---------|---------|--------|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Tableau 11 : Tableau de vérité de la porte NAND à une entrée fixée à 1

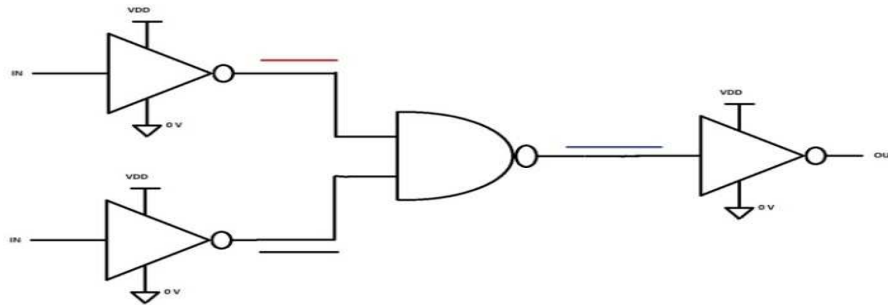


Figure 27 : Schéma symbolique du porte NAND lié à des inverseurs

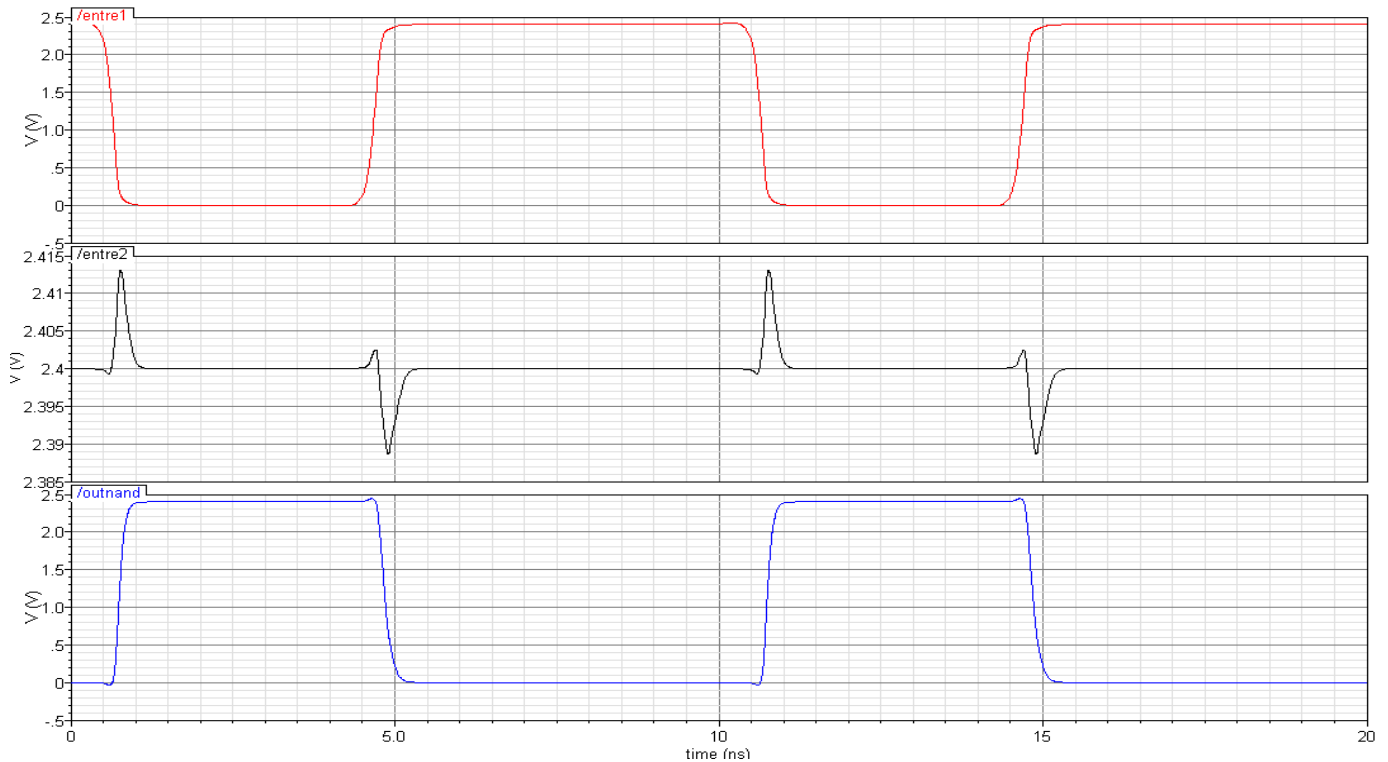


Figure 28 : Simulation de la porte NAND à une entrée fixée à 1

- ✚ Nous avons le rouge qui représente la première entrée qui est une tension impulsionnelle de deux états 0 et 2,4v.
- ✚ Le noir représente la deuxième entrée fixé à 2,4 V.
- ✚ Le bleu représente la sortie qui passe de 0 à 1 comme c'est montré sur le tableau de vérité.

B. Cas d'une entrée fixé à 0

D'après le tableau de vérité nous avons bien trouvés que la sortie reste fixée à 1.

| Entre 1 | Entre 2 | Sortie |
|---------|---------|--------|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Tableau 12 : Tableau de vérité de la porte NAND à une entrée fixé à 0

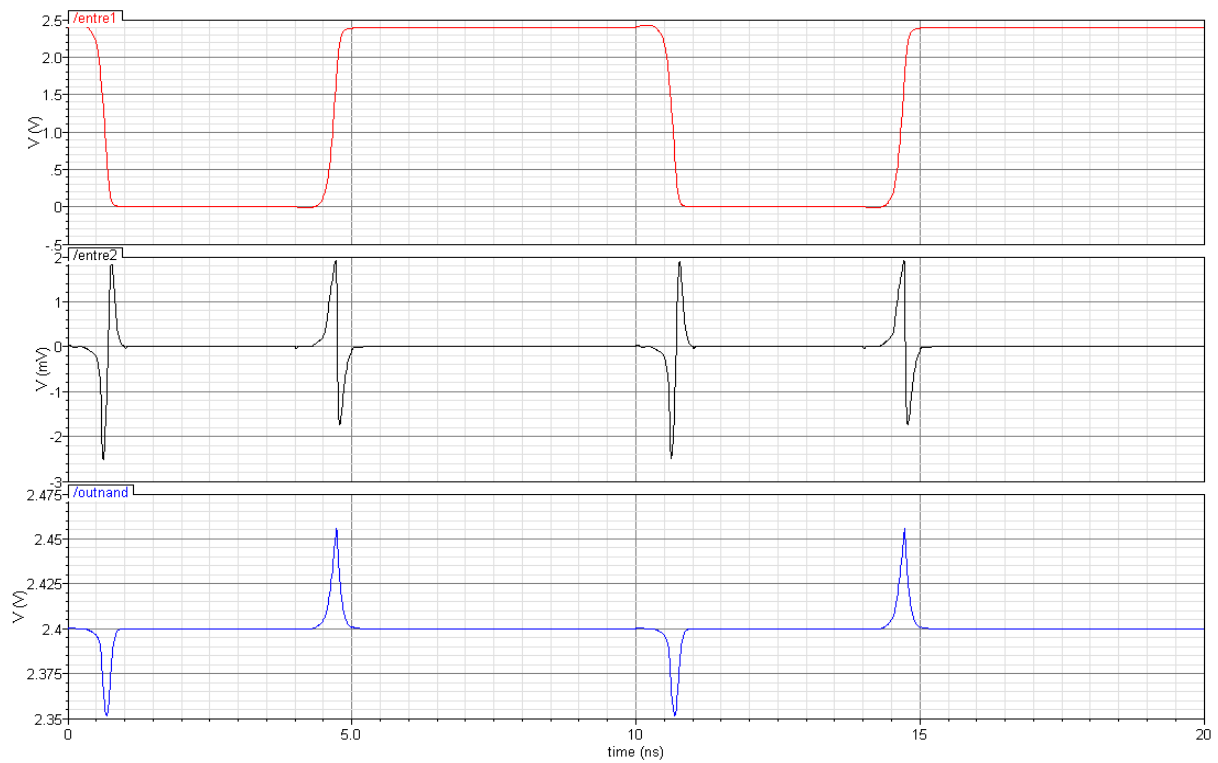


Figure 29 : Simulation de la porte NAND à une entrée fixée à 0

- Le rouge représente la première entrée de deux états 0 et 2,4V.
- Le noir représente la deuxième entrée qui est fixée à 0 V.
- Le bleu représente la sortie qui reste fixe à 2,4V.

C. Cas de deux entrées identiques

D'après le tableau de vérité nous avons bien trouvé que la sortie prend la valeur de 0 lorsque les entrées sont à 1 et l'inverse, alors dans ce cas le porte NAND joue le rôle d'un inverseur.

| Entre 1 | Entre 2 | Sortie |
|---------|---------|--------|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Tableau 13 : Tableau de vérité de la porte NAND à deux entrées identiques

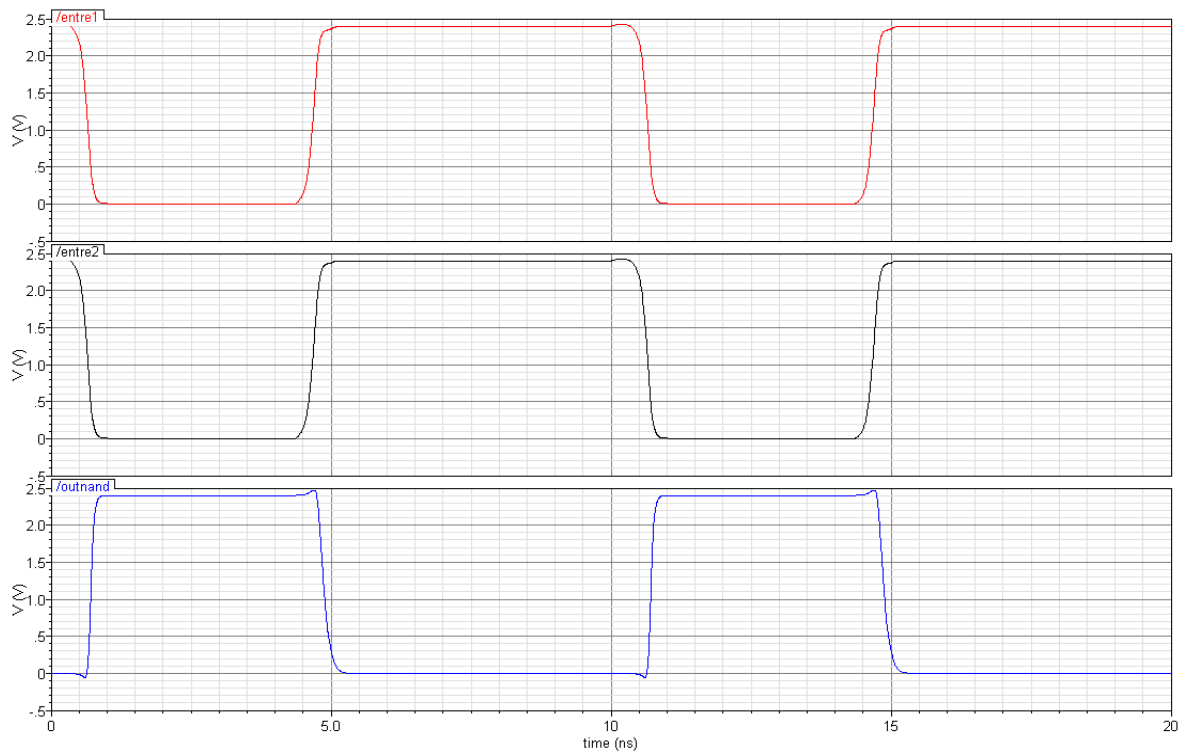


Figure 30 : Simulation de la porte NAND à deux entrées identiques

- ✚ Le rouge et le noir représente les deux entrées qui sont identiques.
- ✚ Le bleu représente la sortie qui prend l'inverse des deux entrées.

D. Cas de deux entrées de fréquences doublées

Dans ce cas on va voir les 4 sorties du tableau de vérité entier parce qu'on va prendre la fréquence de l'une des entrées qui est la double de l'autre entrée.

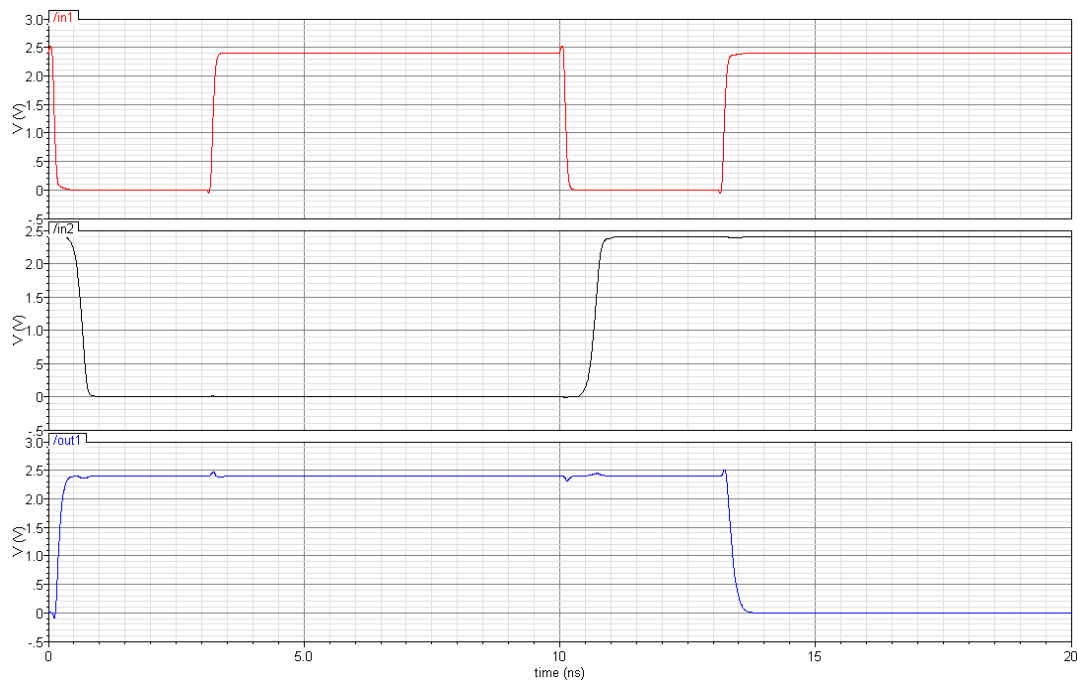


Figure 31 : Simulation de la porte NOR pour deux entrées de fréquences doublées

- ✚ Nous avons le rouge qui représente une entrée d'une période de 10ns, le noir qui représente la deuxième entrée d'une période double de 20ns.
- ✚ Nous avons pris une double fréquence pour avoir tous les cas du tableau de vérité.
- ✚ Le bleu représente la sortie qui prend 0 pour les deux entrées à 1, et 1 d'ailleurs.
- ✚ D'après la simulation sur CADENCE nous avons trouvé les valeurs suivantes :

| Les cas | Tm: le temps de montée | Td: le temps de descente | T ↑ : temps de propagation de montée. | T ↓: temps de propagation de descente. |
|---------|------------------------|--------------------------|---------------------------------------|--|
| NAND | 0.113 ns | 0.241 ns | 0.072 ns | 0.182 ns |

Tableau 14 : Simulation des temps de propagation de la porte NAND

Table de conversion (LUT)

I. Introduction

Un LUT (Look-up-Table) ou bien un table de conversion est un bloc logique qui appartient au circuit intégré (FPGA), il est constitué d'un certain nombre d'entrées N et une sortie. Les N entrées sont utilisées comme adresse d'une mémoire de 2^N bits qui code la fonction booléenne à réaliser, Il est constitué d'un bloc configuré par une mémoire vive (SRAM en FPGA) qui peut implémenter n'importe quelle fonction booléenne. La sortie est reliée par les deux entrées par une équation logique selon sa table de vérité et ce qui détermine l'état des configurations de la SRAM.

Dans ce projet nous somme censé à faire des LUTs à base de différentes composants électronique parmi les quelles:

- ✚ Structure basée sur des portes logiques.
- ✚ Structure basée sur les portes de transfert.

A. Structure basée sur les portes de transfert

Pour une LUT à base de portes de transfert est constituée d'un inverseur d'entrée et de deux portes de transfert qui transmettent la configuration de la SRAM.

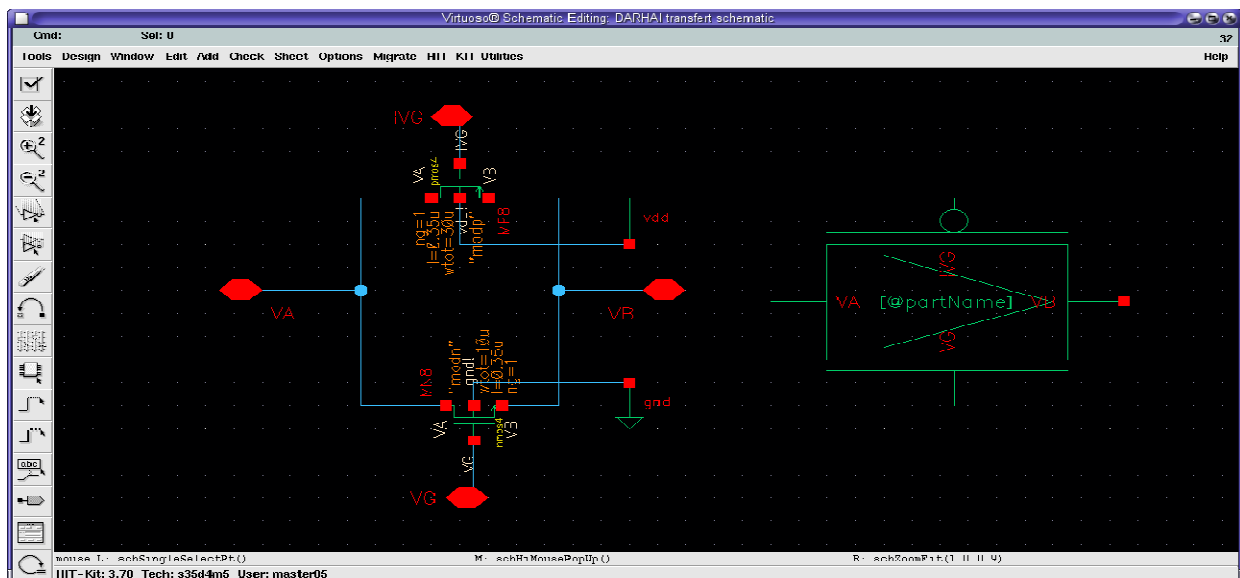


Figure 32 : Schéma interne et symbolique de la porte de transfert

La figure dessus représente la structure interne d'un porte de transmission CMOS, il se compose d'un transistor NMOS parallèle avec un PMOS aussi que les deux transistors sont commandées par deux tensions opposés par un inverseur V_G appliqué au NMOS, et $\overline{V_G}$ appliqué sur PMOS.

D'après les simulations de la porte de transfert nous avons trouvés que le NMOS transmet le niveau haut et le PMOS transmet le niveau bas.

La fonction de la porte de transfert est de transmettre l'entrée à la sortie (E=S), il transmet le niveau haut par son transistor NMOS, et le niveau bas par transistor PMOS.

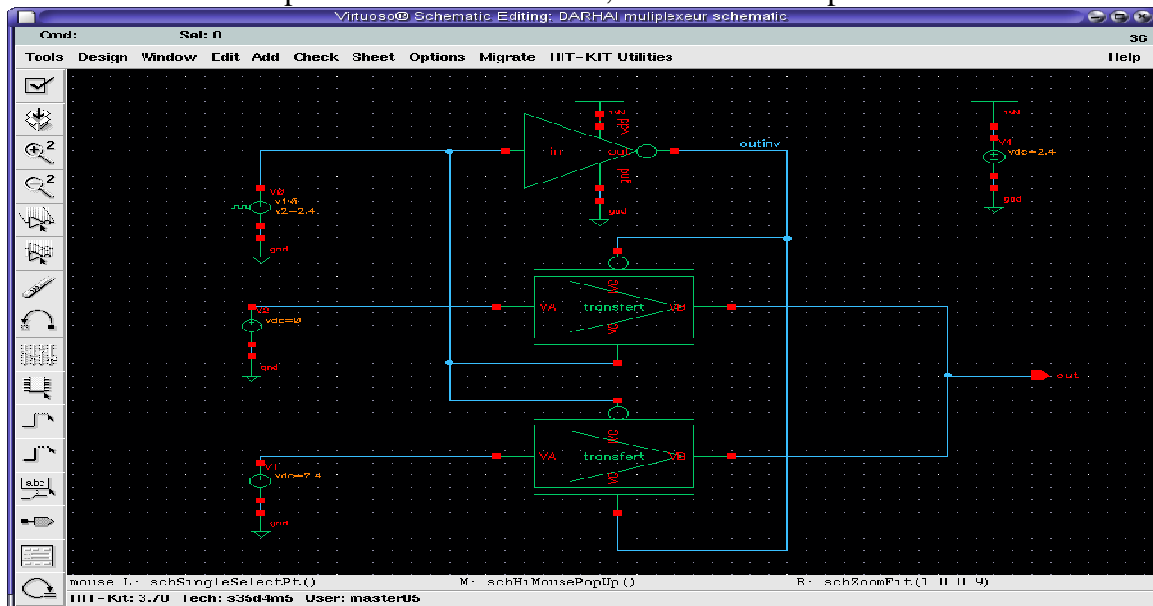


Figure 33 : Schéma symbolique de la LUT à base de porte de transfert (TG)

La figure dessus représente la structure interne d'une LUT à base de porte de transfert, qui est constitué d'un inverseur au niveau de l'entrée et de deux portes de transferts qui transmettent les blocs de la mémoire vive. La LUT normalement effectue deux modes de fonctionnement :

- ✚ **INVERSEUR** pour les deux entrées ($E_0 = 0$ et $E_1 = 1$).
- ✚ **BUFFER** pour les deux entrées ($E_0 = 1$ et $E_1 = 0$).

D'après les simulations sur CADENCE nous avons trouvez les valeurs suivants :

| INVERSEUR D'ENTREE (T_{inv}) | |
|--|--|
| $T_{inv} \uparrow$: temps de propagation de montée. | $T_{inv} \downarrow$: temps de propagation de descente. |
| 0,043ns | 0,053ns |

Tableau 15 : Simulation des temps de propagation de l'inverseur de commande de la LUT

| LUT TG INVERSEUR (TG_{inv}) | |
|---|---|
| $TG_{inv} \uparrow$: temps de propagation de montée. | $TG_{inv} \downarrow$: temps de propagation de descente. |
| 0,2157ns | 0,230ns |

Tableau 16 : Simulation des temps de propagation de la LUT TG au cas de fonctionnement en mode inverseur

| LUT TG BUFFER (TG_{buff}) | |
|--|--|
| $TG_{buff} \uparrow$: temps de propagation de montée. | $TG_{buff} \downarrow$: temps de propagation de descente. |
| 0,17ns | 0,192ns |

Tableau 17 : Simulation des temps de propagation de la LUT TG au cas de fonctionnement en mode buffer

- ✚ D'après les résultats figurés sur les tableaux nous avons conclu que le NMOS transmet le niveau haut et le PMOS transmet le niveau bas.
- ✚ Nous avons trouvé que le BUFFER est plus rapide que l'INVERSEUR parce que au cas de l'inverseur la tension d'alimentation doit dépasser l'inverseur pour que la sortie soit active, sachant bien que le PMOS nécessite une tension négative au niveau de la grille pour conduire et conduit l'état bas, et le NMOS nécessite une tension positive au niveau de la grille pour conduire et il conduit l'état haut.
- ✚ D'après les tableaux nous avons ressortis les formules suivantes :

$$TG_{inv} \uparrow = T_{inv} \uparrow + TG_{buff} \uparrow$$

$$TG_{inv} \downarrow = T_{inv} \downarrow + TG_{buff} \downarrow$$

$$TG_{buff} \uparrow = 80\% TG_{inv} \uparrow$$

$$TG_{buff} \downarrow = 83\% TG_{inv} \downarrow$$

B. Structure basée sur les portes logiques

Pour une LUT à base de portes logiques est constituée de deux portes logiques NAND, deux portes inverseurs NOT et une porte logique NOR.

Le seul inconvénient structurel c'est qu'elle utilise un grand nombre de transistors (60 transistors). Nous avons déjà étudiés et parlés des portes NAND et NOR.

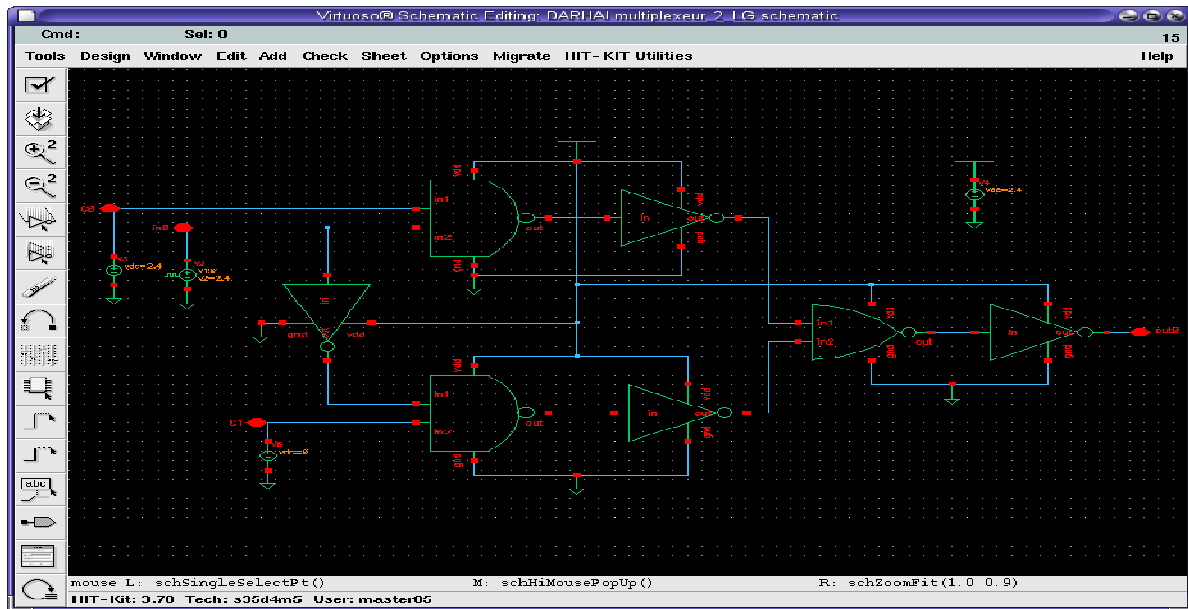


Figure 34 : Schéma symbolique de la LUT à base de porte logique (LG)

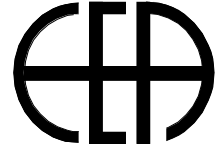
La figure dessus représente la structure interne d'une LUT à base de portes logiques, qui est constitué d'un inverseur au niveau de l'entrée et de deux portes NAND qui transmettent les blocs de la mémoire vive. La LUT normalement effectue deux modes de fonctionnement : **INVERSEUR** et **BUFFER**. D'après les simulations sur **CADENCE** nous avons trouvez les valeurs suivantes :

| LUT LG INVERSEUR (TLG_{inv}) | |
|--|--|
| $TLG_{inv} \uparrow$: temps de propagation de montée. | $TLG_{inv} \downarrow$: temps de propagation de descente. |
| 0,446ns | 0,45ns |

Tableau 18 : Simulation des temps de propagation de la LUT LG au cas de fonctionnement en mode inverseur

| LUT LG BUFFER (TLG_{buff}) | |
|---|---|
| $TLG_{buff} \uparrow$: temps de propagation de montée. | $TLG_{buff} \downarrow$: temps de propagation de descente. |
| 0,4ns | 0,406ns |

Tableau 19 : Simulation des temps de propagation de la LUT LG au cas de fonctionnement en mode buffer



✚ D'après les résultats figurés sur les tableaux dessous à partir de la simulation nous avons ressortis les formules suivantes :

$$TLG_{buff} \uparrow = 89\% TLG_{inv}$$

$$TLG_{buff} \downarrow = 90\% TLG_{inv} \downarrow$$

II. Conclusion

D'après les résultats nous avons conclus que la LUT à base de portes de transferts est plus rapide que celle à base de porte logique d'un ratio de 50% pour le cas d'un inverseur et d'un ratio de 42% pour le buffer, alors nous avons ressortis les formules suivantes :

$$TG_{inv} = 50\% TLG_{inv}$$

$$TG_{buff} = 42\% TLG_{buff}$$

Conclusion

Ce stage au sein de l'université Bordeaux 1 était l'occasion pour nous d'approfondir et de compléter nos connaissances acquises durant nos études, surtout au niveau de la maîtrise du logiciel **CADENCE**, aussi d'enrichir notre culture scientifique en ce qui concerne l'électronique et surtout au niveau de la conception des composants électroniques.

Notre sujet, consiste à régler le problème de vieillissement des transistors dans une table de conversion (LUT), notre étude a été consacrée premièrement à la réalisation d'un inverseur, porte NAND, porte NOR et une porte de transfert pour qu'en fin de compte nous pouvons réaliser des LUT soit à base de portes logiques soit à base de porte de transfert. Nous avons conclu que la table de conversion à base de porte de transfert est plus rapide et efficace que celle à base de porte logique.

Ce projet a été presque réalisé, nous sommes arrivés à réaliser des LUTs à base de porte de transfert et aussi à base de porte logique, nous avons réalisé une fonction booléenne XOR grâce à une LUT de deux entrées.

Nous n'avons plus le temps de réaliser une LUT à base de transistors commutateurs et aussi d'étudier le stress des transistors.

Bibliographie

Bonnassieux, F. A. (2007). *Conception des circuits VLSI du composant au système*. Paris: Dunod.

Danger, J.-L. (s.d.). Consulté le Mars 2015, sur http://perso.telecom-paristech.fr/~danger/sujets_these/2005/these_fpga_reconfigurable.pdf

vabre, G. M.-p. (1988). *Pratique des circuits intégrés numériques*. PARIS: Ellipses.

wikipedia. (s.d.). Consulté le Mars 2015, sur wikipedia:
http://fr.wikipedia.org/wiki/Circuit_logique_programmable#FPGA

Tutoriel. (s.d.). Consulté le Mars 2015, sur Youtube:
https://www.youtube.com/watch?v=u0WgSMa1hrc&list=PLK2eyR1C9gjr7j-YoL_-JwJmjU6INZGTO