



7ª edición

# Organización y arquitectura de computadores

[www.librosite.net/stallings1](http://www.librosite.net/stallings1)

William Stallings

PEARSON  
Prentice  
Hall

# Organización y arquitectura de computadores



# Organización y arquitectura de computadores

Séptima Edición

**WILLIAM STALLINGS**

## **Traducción**

Antonio Cañas Vargas

Beatriz Prieto Campos

Francisco José Pelayo Valle

Julio Ortega Lopera

*Departamento de Arquitectura y Tecnología de Computadores  
Universidad de Granada*

## **Coordinación y revisión técnica**

Alberto Prieto Espinosa

*Departamento de Arquitectura y Tecnología de Computadores  
Universidad de Granada*



Madrid • México • Santafé de Bogotá • Buenos Aires • Caracas • Lima • Montevideo • San Juan •  
San José • Santiago • São Paulo • White Plains

**ORGANIZACIÓN Y ARQUITECTURA DE COMPUTADORES**  
WILLIAM STALLINGS

PEARSON EDUCACIÓN, S.A., Madrid, 2005

ISBN 10: 84-8966-082-4

ISBN 13: 978-84-832-2858-6

Materia: Informática. 0004.4

Formato: 195 × 250 mm

Páginas: 840

Todos los derechos reservados.

Queda prohibida, salvo excepción prevista en la Ley, cualquier forma de reproducción, distribución, comunicación pública y transformación de esta obra sin contar con autorización de los titulares de propiedad intelectual. La infracción de los derechos mencionados puede ser constitutiva de delito contra la propiedad intelectual (*arts. 270 y sgts. Código Penal*).

**DERECHOS RESERVADOS**

© 2006 PEARSON EDUCACIÓN, S.A.

C/ Ribera del Loira, 28

28042 Madrid (España)

**ORGANIZACIÓN Y ARQUITECTURA DE COMPUTADORES**

WILLIAM STALLINGS

**ISBN 10:** 84-8966-082-4

**ISBN 13:** 978-84-8966-082-3

Depósito Legal: M-

PEARSON-PRENTICE HALL es un sello editorial autorizado de PEARSON EDUCACIÓN, S.A.

Authorized translation from the English language edition, entitled COMPUTER ORGANIZATION AND ARCHITECTURE: DESIGNING FOR PERFORMANCE, 7<sup>th</sup> Edition, by STALLINGS, WILLIAM, published by Pearson Education, Inc, publishing as Prentice Hall, Copyright © 2006.  
ISBN: 0-13-146592-9

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

**Equipo editorial:**

**Editor:** Miguel Martín-Romo

**Técnico editorial:** Marta Caicoya

**Equipo de producción:**

**Director:** José Antonio Clares

**Técnico:** José Antonio Hernán

**Diseño de cubierta:** Equipo de diseño de Pearson Educación, S.A.

**Focomposición:** JOSUR, TRATAMIENTO DE TEXTOS, S.L.

**Impreso por:**

IMPRESO EN ESPAÑA - PRINTED IN SPAIN

# Contenido

---

## Prólogo

<b>Capítulo 0</b>	<b>Guía del lector</b>	<b>1</b>
0.1	Esquema del libro	2
0.2	Internet y recursos web	2
	<i>Otros sitios web</i>	3
	<i>Grupos de noticias USENET</i>	4

## PRIMERA PARTE: VISIÓN GENERAL 5

<b>Capítulo 1</b>	<b>Introducción</b>	<b>7</b>
1.1	Organización y arquitectura	8
1.2	Estructura y funcionamiento	9
	<i>Funcionamiento</i>	10
	<i>Estructura</i>	11
1.3	¿Por qué estudiar la organización y arquitectura de los computadores?	16
<b>Capítulo 2</b>	<b>Evolución y prestaciones de los computadores</b>	<b>17</b>
2.1	Una breve historia de los computadores	18
	<i>La primera generación: los tubos de vacío</i>	18
	<i>La segunda generación: los transistores</i>	26
	<i>La tercera generación: los circuitos integrados</i>	30
	<i>Últimas generaciones</i>	35
2.2	Diseño buscando mejores prestaciones	40
	<i>Velocidad del microprocesador</i>	40
	<i>Equilibrio de prestaciones</i>	41
	<i>Mejoras en la organización y arquitectura de chips</i>	44
2.3	Evolución del Pentium y del PowerPC	47
	<i>Pentium</i>	47
	<i>PowerPC</i>	48

2.4	Lecturas y sitios web recomendados	49
	<i>Sitios Web recomendados</i>	50
2.5	Palabras clave, preguntas de repaso y problemas	51
	<i>Palabras clave</i>	51
	<i>Preguntas de repaso</i>	51
	<i>Problemas</i>	51

## **SEGUNDA PARTE: EL COMPUTADOR    55**

### **Capítulo 3      Perspectiva de alto nivel del funcionamiento y de las interconexiones del computador    57**

3.1	Componentes del computador	58
3.2	Funcionamiento del computador	61
	<i>Los ciclos de captación y ejecución</i>	62
	<i>Interrupciones</i>	66
	<i>Funcionamiento de las E/S</i>	73
3.3	Estructuras de interconexión	75
3.4	Interconexión con buses	77
	<i>Estructura del bus</i>	77
	<i>Jerarquías de buses múltiples</i>	80
	<i>Elementos de diseño de un bus</i>	82
3.5	PCI	87
	<i>Estructura del bus</i>	88
	<i>Órdenes del PCI</i>	90
	<i>Transferencias de datos</i>	93
	<i>Arbitraje</i>	95
3.6	Lecturas y sitios web recomendados	97
	<i>Sitios web recomendados</i>	97
3.7	Palabras clave, cuestiones y problemas	97
	<i>Palabras clave</i>	97
	<i>Cuestiones</i>	98
	<i>Problemas</i>	98

Apéndice 3A	Diagramas de tiempo	101
-------------	---------------------	-----

<b>Capítulo 4</b>	<b>Memoria caché</b>	<b>103</b>
4.1	Conceptos básicos sobre sistemas de memoria de computadores	104
	<i>Características de los sistemas de memoria</i>	104
	<i>Jerarquía de memoria</i>	107
4.2	Principios básicos de las memorias caché	111
4.3	Elementos de diseño de la caché	114
	<i>Tamaño de caché</i>	115
	<i>Función de correspondencia</i>	115
	<i>Algoritmos de sustitución</i>	126
	<i>Política de escritura</i>	126
	<i>Tamaño de línea</i>	128
	<i>Número de cachés</i>	128
4.4	Organización de la caché en el Pentium 4 y el PowerPC	130
	<i>Organización de caché en el Pentium 4</i>	130
	<i>Organización de caché en el PowerPC</i>	133
4.5	Lecturas recomendadas	134
4.6	Palabras clave, preguntas de repaso y problemas	135
	<i>Palabras clave</i>	135
	<i>Preguntas de repaso</i>	135
	<i>Problemas</i>	136
Apéndice 4A	Prestaciones de las memorias de dos niveles	140
	<i>Localidad</i>	141
	<i>Funcionamiento de la memoria de dos niveles</i>	143
	<i>Prestaciones</i>	144
<b>Capítulo 5</b>	<b>Memoria interna</b>	<b>149</b>
5.1	Memoria principal semiconductor	150
	<i>Organización</i>	150
	<i>DRAM y SRAM</i>	151
	<i>Tipos de ROM</i>	154
	<i>Lógica del chip</i>	155
	<i>Encapsulado de los chips</i>	157
	<i>Organización en módulos</i>	158



5.2	Corrección de errores	158
5.3	Organización avanzada de memorias DRAM	165
	<i>DRAM síncrona</i>	165
	<i>DRAM rambus</i>	168
	<i>SDRAM DDR</i>	169
	<i>DRAM cachés</i>	169
5.4	Lecturas y sitios web recomendados	169
	<i>Sitios web recomendados</i>	170
5.5	Palabras clave, preguntas de repaso y problemas	170
	<i>Palabras clave</i>	170
	<i>Preguntas de repaso</i>	170
	<i>Problemas</i>	171
<b>Capítulo 6</b>	<b>Memoria externa</b>	<b>175</b>
6.1	Discos magnéticos	176
	<i>Mecanismos de lectura y escritura magnética</i>	177
	<i>Organización y formato de los datos</i>	178
	<i>Características físicas</i>	180
	<i>Parámetros para medir las prestaciones de un disco</i>	182
6.2	RAID	185
	<i>Nivel 0 del RAID</i>	188
	<i>Nivel 1 del RAID</i>	191
	<i>Nivel 2 del RAID</i>	192
	<i>Nivel 3 del RAID</i>	192
	<i>Nivel 4 del RAID</i>	193
	<i>Nivel 5 del RAID</i>	194
	<i>Nivel 6 del RAID</i>	194
6.3	Memoria óptica	196
	<i>Discos compactos</i>	196
	<i>Disco digital versátil</i>	200
6.4	Cinta magnética	201
6.5	Lecturas y sitios web recomendados	203
	<i>Sitios web recomendados</i>	203

6.6	Palabras clave, preguntas de repaso y problemas	204
	<i>Palabras clave</i>	204
	<i>Preguntas de repaso</i>	204
	<i>Problemas</i>	204
<b>Capítulo 7</b>	<b>Entrada/salida</b>	<b>207</b>
7.1	Dispositivos externos	209
	<i>Teclado/Monitor</i>	211
	<i>Controlador de disco (Disk Drive)</i>	211
7.2	Módulos de E/S	214
	<i>Funciones de un módulo</i>	214
	<i>Estructura de un módulo de E/S</i>	216
7.3	E/S programada	217
	<i>Resumen de la E/S programada</i>	218
	<i>Órdenes de E/S</i>	218
	<i>Instrucciones de E/S</i>	218
7.4	E/S mediante interrupciones	221
	<i>Procesamiento de la interrupción</i>	221
	<i>Cuestiones de diseño</i>	224
	<i>Controlador de interrupciones Intel 82C59A</i>	225
	<i>La interfaz programable de periféricos Intel 82C55A</i>	227
7.5	Acceso directo a memoria	229
	<i>Inconvenientes de la E/S programada y con interrupciones</i>	229
	<i>Funcionamiento del DMA</i>	229
	<i>Controlador de DMA 8237A de Intel</i>	231
7.6	Canales y procesadores de E/S	235
	<i>La evolución del funcionamiento de las E/S</i>	235
	<i>Características de los canales de E/S</i>	235
7.7	La interfaz externa: FireWire e Infiniband	237
	<i>Tipos de interfaces</i>	237
	<i>Configuraciones punto-a-punto y multipunto</i>	238
	<i>Bus Serie FireWire</i>	238
	<i>InfiniBand</i>	243

7.8	Lecturas y sitios web recomendados	246
-----	------------------------------------	-----

<i>Sitios web recomendados</i>	247
--------------------------------	-----

7.9	Palabras clave, cuestiones y problemas	247
-----	--	-----

<i>Palabras clave</i>	247
-----------------------	-----

<i>Cuestiones</i>	247
-------------------	-----

<i>Problemas</i>	248
------------------	-----

## **Capítulo 8      Sistemas operativos      253**

8.1	Conceptos básicos sobre sistemas operativos	255
-----	---	-----

<i>Objetivos y funciones del sistema operativo</i>	255
--	-----

<i>Tipos de sistemas operativos</i>	257
-------------------------------------	-----

8.2	Planificación	265
-----	---------------	-----

<i>Planificación a largo plazo</i>	266
------------------------------------	-----

<i>Planificación a medio plazo</i>	266
------------------------------------	-----

<i>Planificación a corto plazo</i>	267
------------------------------------	-----

8.3	Gestión de la memoria	272
-----	-----------------------	-----

<i>Intercambio (Swapping)</i>	272
-------------------------------	-----

<i>Definición de particiones</i>	273
----------------------------------	-----

<i>Paginación</i>	276
-------------------	-----

<i>Memoria virtual</i>	278
------------------------	-----

<i>Buffer de traducción anticipada (Translation Lookaside Buffer, TLB)</i>	280
--	-----

<i>Segmentación</i>	282
---------------------	-----

8.4	Gestión de memoria en el Pentium II y en el PowerPC	283
-----	---	-----

<i>Hardware de gestión de memoria en el Pentium II</i>	283
--	-----

<i>Hardware de gestión de memoria en el PowerPC</i>	288
---	-----

8.5	Lecturas y sitios web recomendados	292
-----	------------------------------------	-----

<i>Sitios web recomendados</i>	292
--------------------------------	-----

8.6	Palabras clave, cuestiones y problemas	292
-----	--	-----

<i>Palabras clave</i>	292
-----------------------	-----

<i>Cuestiones</i>	293
-------------------	-----

<i>Problemas</i>	293
------------------	-----

**TERCERA PARTE: LA UNIDAD CENTRAL DE PROCESAMIENTO 297****Capítulo 9 Aritmética del computador 301**

- 9.1 La unidad aritmético-lógica 302
- 9.2 Representación de enteros 303
  - Representación en signo y magnitud* 304
  - Representación en complemento a dos* 304
  - Conversión entre longitudes de bits diferentes* 307
  - Representación en coma fija* 309
- 9.3 Aritmética con enteros 309
  - Negación* 309
  - Suma y resta* 311
  - Multiplicación* 314
  - División* 321
- 9.4 Representación en coma flotante 324
  - Fundamentos* 324
  - Estándar del IEEE para la representación binaria en coma flotante* 328
- 9.5 Aritmética en coma flotante 331
  - Suma y resta* 331
  - Multiplicación y división* 334
  - Consideraciones sobre precisión* 335
  - Estándar IEEE para la aritmética binaria en coma flotante* 337
- 9.6 Lecturas y sitios web recomendados 339
  - Sitios web recomendados* 340
- 9.7 Palabras clave, preguntas de repaso y problemas 341
  - Palabras clave* 341
  - Preguntas de repaso* 341
  - Problemas* 342

**Capítulo 10 Repertorios de instrucciones: características y funciones 347**

- 10.1 Características de las instrucciones máquina 350
  - Elementos de una instrucción máquina* 350
  - Representación de las instrucciones* 351

	<i>Tipos de instrucciones</i>	352
	<i>Número de direcciones</i>	353
	<i>Diseño del repertorio de instrucciones</i>	356
10.2	Tipos de operandos	356
	<i>Números</i>	357
	<i>Caracteres</i>	358
	<i>Datos lógicos</i>	358
10.3	Tipos de datos en el Pentium y el PowerPC	359
	<i>Tipos de datos en el Pentium</i>	359
	<i>Tipos de datos en el PowerPC</i>	360
10.4	Tipos de operaciones	361
	<i>Transferencia de datos</i>	365
	<i>Aritméticas</i>	366
	<i>Lógicas</i>	366
	<i>Conversión</i>	369
	<i>Entrada/Salida</i>	370
	<i>Control del sistema</i>	370
	<i>Control de flujo</i>	370
10.5	Tipos de operaciones en el Pentium y el PowerPC	375
	<i>Tipos de operaciones del Pentium</i>	375
	<i>Instrucciones de llamada/retorno</i>	379
	<i>Tipos de operaciones del PowerPC</i>	384
10.6	Lenguaje ensamblador	387
10.7	Lecturas recomendadas	389
10.8	Palabras clave, preguntas de repaso y problemas	390
	<i>Palabras clave</i>	390
	<i>Preguntas de repaso</i>	390
	<i>Problemas</i>	390
Apéndice 10A	Pilas	396
	<i>Pilas</i>	396
	<i>Implementación de la pila</i>	397
	<i>Evaluación de expresiones</i>	398

Apéndice 10B	Endian: Extremo menor, extremo mayor y ambos extremos	401
	<i>Orden de los bytes</i>	401
	<i>Orden de los bits</i>	405
<b>Capítulo 11</b>	<b>Repertorio de instrucciones: modos de direccionamiento y formatos</b>	<b>407</b>
11.1	Direccionamiento	408
	<i>Direccionamiento inmediato</i>	410
	<i>Direccionamiento directo</i>	411
	<i>Direccionamiento indirecto</i>	411
	<i>Direccionamiento de registros</i>	412
	<i>Direccionamiento indirecto con registro</i>	412
	<i>Direccionamiento con desplazamiento</i>	413
	<i>Direccionamiento de pila</i>	415
11.2	Modos de direccionamiento en el Pentium y el PowerPC	415
	<i>Modos de direccionamiento del Pentium</i>	415
	<i>Modos de direccionamiento del PowerPC</i>	418
11.3	Formatos de instrucciones	420
	<i>Longitud de instrucción</i>	421
	<i>Asignación de los bits</i>	421
	<i>Instrucciones de longitud variable</i>	425
11.4	Formatos de instrucciones del Pentium y del PowerPC	428
	<i>Formatos de instrucción del Pentium</i>	428
	<i>Formatos de instrucción del PowerPC</i>	431
11.5	Lecturas recomendadas	432
11.6	Palabras clave, preguntas de repaso y problemas	433
	<i>Palabras clave</i>	433
	<i>Preguntas de repaso</i>	433
	<i>Problemas</i>	433
<b>Capítulo 12</b>	<b>Estructura y funcionamiento del procesador</b>	<b>437</b>
12.1	Organización del procesador	438
12.2	Organización de los registros	440
	<i>Registros visibles por el usuario</i>	440
	<i>Registros de control y de estado</i>	443
	<i>Ejemplos de organizaciones de registros de microprocesadores</i>	444

12.3	Ciclo de instrucción	446
	<i>El ciclo indirecto</i>	446
	<i>Flujo de datos</i>	447
12.4	Segmentación de instrucciones	449
	<i>Estrategia de segmentación</i>	449
	<i>Prestaciones de un cauce segmentado</i>	455
	<i>Tratamiento de saltos</i>	456
	<i>Segmentación del Intel 80486</i>	461
12.5	El procesador Pentium	464
	<i>Organización de los registros</i>	464
	<i>Procesamiento de interrupciones</i>	469
12.6	El procesador PowerPC	472
	<i>Organización de los registros</i>	472
	<i>Procesamiento de interrupciones</i>	476
12.7	Lecturas recomendadas	479
12.8	Palabras clave, preguntas de repaso y problemas	480
	<i>Palabras clave</i>	480
	<i>Preguntas de repaso</i>	480
	<i>Problemas</i>	480
<b>Capítulo 13</b>	<b>Computadores de repertorio reducido de instrucciones</b>	<b>485</b>
13.1	Características de la ejecución de instrucciones	489
	<i>Operaciones</i>	490
	<i>Operandos</i>	491
	<i>Llamadas a procedimientos</i>	492
	<i>Consecuencias</i>	492
13.2	Utilización de un amplio banco de registros	493
	<i>Ventanas de registros</i>	494
	<i>Variables globales</i>	496
	<i>Un amplio banco de registros frente a una caché</i>	496
13.3	Optimización de registros basada en el compilador	497
13.4	Arquitectura de repertorio reducido de instrucciones	499