

# Guía de ejercicios # 1 - Lógica Digital

Organización de Computadoras 2014

UNQ

1. Escribir la tabla de verdad de las siguientes expresiones booleanas.

- a)  $p \bullet q + \overline{p \bullet q}$
- b)  $(\overline{p} + q) \bullet (p + \overline{q})$
- c)  $(p \bullet q \bullet w) + \overline{p \bullet q \bullet w}$
- d)  $(p \bullet q \bullet w) + p \bullet \overline{q \bullet w} + \overline{p \bullet q \bullet w}$
- e)  $p \bullet (q \bullet \overline{w} + \overline{q} \bullet w)$
- f)  $(p + q) \bullet (p + w) \bullet (\overline{p} + \overline{q})$

2. Dadas las siguientes tablas de verdad, escribir la expresión booleana subyacente:

a)

p	q	$F(p, q)$
0	0	1
0	1	1
1	0	1
1	1	0

b)

p	q	$G(p, q)$
0	0	0
0	1	1
1	0	1
1	1	0

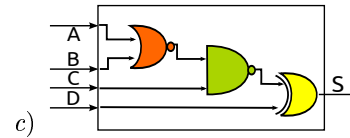
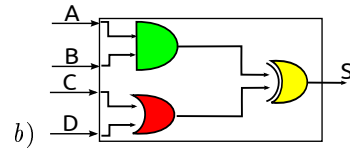
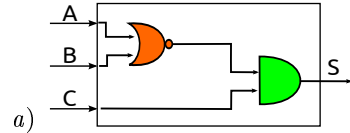
c)

A	B	C	$F(A, B, C)$
1	1	0	0
1	0	0	1
1	0	1	1
0	1	0	0
0	0	1	0
0	1	1	1
1	1	1	1
0	0	0	0

3. Dada la expresión booleana de verdad del ejercicio 2c:

- a) Calcular la cantidad de compuertas que requiere la implementación literal de la expresión.
- b) ¿Se puede simplificar la expresión usando propiedades del álgebra booleana? Dibujar el circuito correspondiente utilizando la menor cantidad de compuertas que pueda.

4. Construir la fórmula de verdad para los siguientes circuitos:



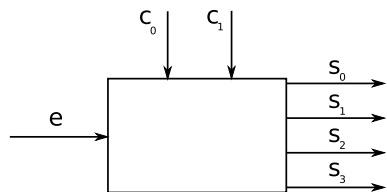
5. Especifique la tabla de verdad de cada circuito del ejercicio anterior.
6. Diseñe un circuito de 3 entradas y una salida, cuya salida sea tal que la cantidad de unos entre las entradas y las salidas sea par (por ejemplo, para la entrada 101 la salida es 0 y para la entrada 111 la salida es 1). Plantee la solución como una tabla de verdad y derive el circuito de esta última.
7. Haga un circuito con 4 entradas y una salida tal que la salida sea 1 si y sólo si hay exactamente 2 entradas en 1.
8. Haga el circuito de un comparador de 1 bit. Debe tener 2 entradas (a y b) y 5 salidas ( $S_1$ ,  $S_2$ ,  $S_3$ ,  $S_4$ ,  $S_5$ ), tales que:

- $S_1 = 1 \leftrightarrow a > b$
- $S_2 = 1 \leftrightarrow a \geq b$
- $S_3 = 1 \leftrightarrow a = b$
- $S_4 = 1 \leftrightarrow a \leq b$
- $S_5 = 1 \leftrightarrow a < b$

9. Dibujar el circuito de un demultiplexor de 2 líneas de control, 1 línea de entrada y 4 líneas de salida. Este circuito dirige la única línea de entrada a una de las cuatro líneas de salida, dependiendo del estado de las dos líneas de control. Es decir:

- Si  $c_1 = c_0 = 0$  entonces  $s_0 = e$  y las restantes salidas valen 0
- Si  $c_1 = 0$  y  $c_0 = 1$  entonces  $s_1 = e$  y las restantes salidas valen 0

- Si  $c_1 = 1$  y  $c_0 = 0$  entonces  $s_2 = e$  y las restantes salidas valen 0
- Si  $c_1 = c_0 = 1$  entonces  $s_3 = e$  y las restantes salidas valen 0



10. Dibujar el circuito de un decodificador de 2 líneas de entrada ( $e_i$ ) y 4 líneas de salida ( $s_i$ ), cuya tabla de verdad es la siguiente:

$e_1$	$e_0$	$s_3$	$s_2$	$s_1$	$s_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

11. **Usando el circuito anterior**, dibujar un demultiplexor de 1 línea de entrada, 2 líneas de control y 4 líneas salidas.

12. Diseñar un *full adder* de 1 bit

13. Diseñar un restador de 1 bit:



14. Diseñar un restador con carry de 1 bit:

15. Diseñar un *full adder* de 4 bits reusando circuitos que conozca.

16. Diseñar un *restador* de 4 bits reusando circuitos que conozca.