

# Guía de ejercicios # 10 - Jerarquía de memoria

Organización de Computadoras 2014

UNQ

1. Considerar una máquina con

- Una memoria principal de 64 celdas con celdas de un byte:
- Bloques de 8 celdas
- Una memoria cache con 4 líneas<sup>1</sup>
- correspondencia directa

Y dada una dirección de memoria calcular la cantidad de bits que se destinan a: *tag*, *línea* y *palabra*.

2. Considerando el escenario del ejercicio 1, dar los números de bloque y las líneas de la cache en las que se almacenan las direcciones:

Dirección	Nro. Bloque	Nro. línea
111000		
011001		
111111		
101000		
101001		

3. Considerando el escenario del ejercicio 1, listar todas las direcciones en el mismo bloque que la dirección 111000.

4. Suponer que la cache descrita en el ejercicio 1 está vacía, y que se realizan lecturas de direcciones en el siguiente orden. Determinar para cada lectura si ésta produjo un fallo o un acierto.

Dirección	Nro. Bloque	Nro. línea	¿F/A?
111000			
011001			
011111			
011101			
111111			
111000			
101000			
101001			

5. Cuantos bits de una dirección se destinan a: *tag*, *línea* y *palabra* en el siguiente esquema:

- Una memoria principal de 32 celdas de un byte
- Bloques de 1 celda
- Una memoria cache con 4 líneas
- correspondencia asociativa

6. Cuantos bits de una dirección se destinan a: *tag*, *línea* y *palabra* en el siguiente esquema:

- Una memoria principal de 32 celdas de un byte
- Bloques de 4 celdas
- Una memoria cache con 4 líneas
- correspondencia asociativa

7. Cuantos bits de una dirección se destinan a: *tag*, *línea* y *palabra* en el siguiente esquema:

- Una memoria principal de 32 celdas de un byte
- Bloques de 4 celdas
- Una memoria cache con 4 líneas
- correspondencia directa

8. Cuantos bits de una dirección se destinan a: *tag*, *línea* y *palabra* en el siguiente esquema:

- Una memoria principal de 32 celdas de un byte
- Bloques de 4 celdas
- Una memoria cache con 4 líneas
- correspondencia asociativa por conjuntos, conjuntos de 2 ranuras

9. Cuantos bits de una dirección se destinan a: *tag*, *línea* y *palabra* en el siguiente esquema:

- Una memoria principal de 64 Kbytes, con celdas de un byte
- Bloques de 8 celdas
- Una memoria cache con 256 Bytes de capacidad para datos (sin contar tag)
- correspondencia directa

10. Considerar una máquina con una memoria principal de 16 celdas (de 2 bytes cada una) agrupadas en bloques de 4 celdas, y una memoria cache de mapeo directo de sólo 2 ranuras. A partir de la posición 0000 está ensamblado el siguiente programa. El PC comienza en la etiqueta *main* y la caché está inicialmente vacía.

```
main: MOV R7, 0x0005 ; iniciar el contador
      MOV R6, 0x0001 ; iniciar el acumulador
arriba: MUL R6, 0x0002
      SUB R7, 0x0001;
      JNE arriba
```

<sup>1</sup>ranura=línea=slot

Completar la siguiente tabla

Celda	Nro. Bloque	Nro. linea	tag	¿F/A?

11. Considerar el siguiente programa:

```

arriba: MOV R0, 0x0000
        MOV R1, 0x0000
        MOV R2, 0x0000
        MOV R3, 0x0000
        MOV R4, 0x0000
        MOV R5, 0x0000
        MOV R6, 0x0000
        MOV R7, 0x0000
        ADD R0, 0x0001
        ADD R1, 0x0001
        ADD R2, 0x0001
        ADD R3, 0x0001
        ADD R4, 0x0001
        ADD R5, 0x0001
        ADD R6, 0x0001
        ADD R7, 0x0001
        CMP R7, 0x000F
        JNE arriba

```

que se ejecuta en una computadora con la arquitectura **Q6**, con:

- Una memoria principal de  $2^{16}$  celdas de 2 bytes
- Bloques de 4 celdas
- Una memoria cache con 4 líneas
- correspondencia directa

¿Qué cantidad de accesos a memoria caché y a memoria principal se llevan a cabo durante su ejecución?

12. Considerar el siguiente programa ensamblado a partir de la celda **A012**:

```

        MOV R0, 0xAAAA
arriba: MOV R1, 0x0004
        CALL shiftN
        CMP R0, 0x0000
        JNE arriba

```

y la siguiente rutina ensamblada a partir de la celda **B012**

```

shiftN: CMP R1, 0x0000
        JE salir
        DIV R0, 0x0002
        JMP shiftN
salir:  RET

```

Si el programa se ejecuta en una máquina **Q6**, con:

- Una memoria principal de  $2^{16}$  celdas de 2 bytes
- Bloques de 4 celdas
- Una memoria cache con 4 líneas

- correspondencia directa

¿Qué cantidad de accesos a memoria caché y a memoria principal se llevan a cabo durante su ejecución? ¿Qué cantidad de fallos se producen?

13. Considerar la arquitectura del ejercicio 9:

- Dar las líneas en las que se almacenan las direcciones: **111B**, **C334**, **D01D**, **AAAA**.
- Listar todas las direcciones que se almacenarán en el mismo bloque que la dirección **1A1A**.
- Suponer que la cache está vacía para completar la siguiente tabla con una secuencia de lecturas:

Celda	Nro. Bloque	Nro. linea	tag	¿F/A?
111B				
1100				
C334				
D01D				
AAAA				
1118				
D01A				