



DARÍO SUÁREZ GRACIA

Generado desde: Universidad de Zaragoza

Fecha del documento: 15/03/2020

v 1.4.0

f75c12f99508d8b05293bf2a6db596a0

Este fichero electrónico (PDF) contiene incrustada la tecnología CVN (CVN-XML). La tecnología CVN de este fichero permite exportar e importar los datos curriculares desde y hacia cualquier base de datos compatible. Listado de Bases de Datos adaptadas disponible en <http://cvn.fecyt.es/>

Resumen libre del currículum

Descripción breve de la trayectoria científica, los principales logros científico-técnicos obtenidos, los intereses y objetivos científico-técnicos a medio/largo plazo de la línea de investigación. Incluye también otros aspectos o peculiaridades importantes.

Los méritos principales de mi CV son 3: experiencia laboral en Qualcomm Research Silicon Valley, QRSV, el trabajo de mi tesis doctoral y mi investigación postdoctoral, que incluye la dirección de una tesis.

En QRSV trabajé en un runtime heterogéneo y paralelo para dispositivos móviles. Mis tareas principales fueron la implementación de la ejecución en el DSP, la gestión de afinidad y otras propiedades de los procesadores, la optimización de aplicaciones de usuarios y la definición e implementación de los interfaces y mecanismos de control de rendimiento y energía, primer runtime en soportarlos. Además contribuí en 15 patentes, una publicación en IEEE Pervasive Concurrency, JCR Q2, y fui responsable de un área en las becas Qualcomm Innovation Fellowship.

Mi tesis doctoral presenta la arquitectura e implementación VLSI de una memoria cache basada en networks-in-cache. Entre los resultados destacan una publicación en el Transaction on VLSI Systems, Q2, otra en Transaction on Architecture and Code Optimization, Q4, y otra en la conferencia DATE, numero 5 en la categoría computer hardware design de Google Scholar. En total he trabajado en más de 20 proyectos de investigación. También he sido revisor de revistas (IEEE MICRO, ACM TECS o Microprocessors y Microsystems,...) y conferencias (HPCA, SIGCSE, ...). A la par, trabajé en detección de condiciones de carrera y junto a un grupo de la UIUC publicado en conferencia ISCA, core A*, que cuenta con más de 100 citas. En 2007 obtuvimos el premio al mejor artículo en el Workshop on Computer Architecture Education dentro de ISCA con un propuesta sobre la enseñanza de la energía para estudiantes.

Otro punto destacable son las estancias de investigación: the University of Toronto, Canada (5 meses); the University of Illinois at Urbana-Champaign, USA (4 meses); y the Foundation for Research and Technology-Hellas, Grecia (3 meses), Eonite Perception Inc, USA (2 meses y medio y 1 mes). Todas estas estancias, excepto las 2 últimas, han sido financiadas con fondos tanto nacionales como europeos obtenidos de manera competitiva. Mientras trabajé en QRSV continué investigando dentro del grupo de arquitectura de computadores de la Universidad de Zaragoza codirigiendo una tesis doctoral y colaborando en la realización de otra. Entre los resultados puede reseñarse dos Transaction on Computers, Q1, dos Journal of Parallel and Distributed Computing, Q2, y una conferencia DATE.



Indicadores generales de calidad de la producción científica

Descripción breve de los principales indicadores de calidad de la producción científica (sexenios de investigación, tesis doctorales dirigidas, citas totales, publicaciones en primer cuartil (Q1), índice h....). Incluye también otros aspectos o peculiaridades importantes.

Número de Sexenios: 1

Tesis doctorales dirigidas: 1

Tesis doctorales en curso: 1

Trabajos fin de máster dirigidos: 5

Citas totales: 334

Citas por año (2015-2019): 27, 23, 35, 26, 80

Número de revistas en primer cuartil, Q1: 2

Número de conferencias clase 1 GII-GRIN-SCIE: 1

Índice h: 9

Índice i10: 8

Número de patentes internacionales: 15 solicitadas, de las cuales 9 en explotación

Información de citas obtenida de google scholar, <https://scholar.google.es/citations?user=GMN3oxEAAAAJ&hl=en&oi=ao>.

DARÍO SUÁREZ GRACIA

Apellidos: SUÁREZ GRACIA
Nombre: DARÍO
DNI: 18443694V
ORCID: 0000-0002-7490-4067
Fecha de nacimiento: 25/07/1980
Sexo: Hombre
Correo electrónico: dario@unizar.es
Teléfono móvil: (0034) 676855833
Página web personal: <http://webdiis.unizar.es/~dario/>

Situación profesional actual

Entidad empleadora: Universidad de Zaragoza **Tipo de entidad:** Universidad
Departamento: Departamento de Informática e Ingeniería de Sistemas. Área: Arquitectura y Tecnología de Computadores. Área de conocimiento (Macroárea): Ingeniería y Arquitectura. Campo de conocimiento de evaluación CNEAI: Ingenierías y Arquitectura, Escuela de Ingeniería y Arquitectura
Categoría profesional: Profesor contratado doctor
Fecha de inicio: 22/09/2016
Régimen de dedicación: Tiempo completo
Primaria (Cód. Unesco): 330404 - Unidades centrales y de proceso

Cargos y actividades desempeñados con anterioridad

	Entidad empleadora	Categoría profesional	Fecha de inicio
1	Qualcomm Research Silicon Valley	Staff Engineer	01/02/2015
2	Qualcomm Research Silicon Valley	Senior Engineer	01/10/2012

- Entidad empleadora:** Qualcomm Research Silicon Valley
Ciudad entidad empleadora: Santa Clara, CA, Estados Unidos de América
Categoría profesional: Staff Engineer
Fecha de inicio: 01/02/2015 **Duración:** 7 meses - 7 días
- Entidad empleadora:** Qualcomm Research Silicon Valley
Ciudad entidad empleadora: Santa Clara, CA, Estados Unidos de América
Categoría profesional: Senior Engineer
Fecha de inicio: 01/10/2012 **Duración:** 2 años - 4 meses - 1 día



Formación académica recibida

Titulación universitaria

Estudios de 1º y 2º ciclo, y antiguos ciclos (Licenciados, Diplomados, Ingenieros Superiores, Ingenieros Técnicos, Arquitectos)

Nombre del título: Ingeniero en Informática
Ciudad entidad titulación: Zaragoza, España
Entidad de titulación: Centro Politécnico Superior
Fecha de titulación: 18/09/2003

Doctorados

Programa de doctorado: Programa Oficial de Doctorado en Ingeniería de Sistemas e Informática
Entidad de titulación: Universidad de Zaragoza
Ciudad entidad titulación: Zaragoza, España
Fecha de titulación: 11/11/2011
Doctorado Europeo: Si
Título de la tesis: A Tiled Cache Organization
Director/a de tesis: Teresa Monreal Arnal y Víctor Viñals Yúfera
Calificación obtenida: Sobresaliente cum laude
Mención de calidad: Si

Conocimiento de idiomas

Idioma	Comprensión auditiva	Comprensión de lectura	Interacción oral	Expresión oral	Expresión escrita
Inglés	C2	C2	C2	C2	C2
Francés	C1	C1	C1	C1	C1

Actividad docente

Formación académica impartida

- 1** **Nombre de la asignatura/curso:** Administración de sistemas
Titulación universitaria: Graduado en Ingeniería Informática
Fecha de inicio: 21/09/2015 **Fecha de finalización:** 13/09/2020
Entidad de realización: Universidad de Zaragoza



- 2** **Nombre de la asignatura/curso:** Proyecto hardware
Titulación universitaria: Graduado en Ingeniería Informática
Fecha de inicio: 21/09/2015 **Fecha de finalización:** 13/09/2020
Entidad de realización: Universidad de Zaragoza
- 3** **Nombre de la asignatura/curso:** Garantía y seguridad
Titulación universitaria: Graduado en Ingeniería Informática
Fecha de inicio: 21/09/2015 **Fecha de finalización:** 13/09/2020
Entidad de realización: Universidad de Zaragoza
- 4** **Nombre de la asignatura/curso:** Redes y sistemas distribuidos
Titulación universitaria: Máster Universitario en Ingeniería Informática
Fecha de inicio: 21/09/2015 **Fecha de finalización:** 13/09/2020
Entidad de realización: Universidad de Zaragoza
- 5** **Nombre de la asignatura/curso:** Trabajo fin de Grado
Titulación universitaria: Graduado en Ingeniería Química
Fecha de inicio: 17/09/2018 **Fecha de finalización:** 15/09/2019
Entidad de realización: Universidad de Zaragoza
- 6** **Nombre de la asignatura/curso:** Redes de computadores
Titulación universitaria: Graduado en Ingeniería Informática
Fecha de inicio: 17/09/2018 **Fecha de finalización:** 15/09/2019
Entidad de realización: Universidad de Zaragoza
- 7** **Nombre de la asignatura/curso:** Trabajo fin de Grado (Computación)
Titulación universitaria: Graduado en Ingeniería Informática
Fecha de inicio: 17/09/2018 **Fecha de finalización:** 15/09/2019
Entidad de realización: Universidad de Zaragoza
- 8** **Nombre de la asignatura/curso:** Trabajo fin de Grado (Ingeniería de computadores)
Titulación universitaria: Graduado en Ingeniería Informática
Fecha de inicio: 17/09/2018 **Fecha de finalización:** 15/09/2019
Entidad de realización: Universidad de Zaragoza
- 9** **Nombre de la asignatura/curso:** Trabajo fin de Grado (Tecnologías de la Información)
Titulación universitaria: Graduado en Ingeniería Informática
Fecha de inicio: 17/09/2018 **Fecha de finalización:** 15/09/2019
Entidad de realización: Universidad de Zaragoza
- 10** **Nombre de la asignatura/curso:** Trabajo fin de Máster
Titulación universitaria: Máster Universitario en Ingeniería Informática
Fecha de inicio: 17/09/2018 **Fecha de finalización:** 15/09/2019
Entidad de realización: Universidad de Zaragoza
- 11** **Nombre de la asignatura/curso:** Seguridad Web y Móvil
Titulación universitaria: Curso Avanzado de Ciberdefensa
Fecha de inicio: 25/05/2017 **Fecha de finalización:** 26/05/2017
Entidad de realización: Academia de Ingenieros del Ejército de Tierra



- 12** **Nombre de la asignatura/curso:** Seguridad Web y Móvil
Titulación universitaria: Curso Avanzado de Ciberdefensa
Fecha de inicio: 21/11/2016 **Fecha de finalización:** 22/11/2016
Entidad de realización: Academia de Ingenieros del Ejército de Tierra
- 13** **Nombre de la asignatura/curso:** ADMINISTRACION DE SISTEMAS INFORMATICOS
Titulación universitaria: Ingeniero en Informática
Fecha de inicio: 21/09/2015 **Fecha de finalización:** 18/09/2016
Entidad de realización: Universidad de Zaragoza
- 14** **Nombre de la asignatura/curso:** Arquitectura y organización de computadores 2
Titulación universitaria: Graduado en Ingeniería Informática
Fecha de inicio: 19/09/2011 **Fecha de finalización:** 16/09/2012
Entidad de realización: Universidad de Zaragoza
- 15** **Nombre de la asignatura/curso:** Arquitectura y organización de computadores 1
Titulación universitaria: Graduado en Ingeniería Informática
Fecha de inicio: 20/09/2010 **Fecha de finalización:** 16/09/2012
Entidad de realización: Universidad de Zaragoza
- 16** **Nombre de la asignatura/curso:** Curso de Programación Efectiva en C++ (12 horas)
Titulación universitaria: Estudios de post-grado
Fecha de inicio: 04/09/2012 **Fecha de finalización:** 06/09/2012
Entidad de realización: Universidad de Zaragoza
- 17** **Nombre de la asignatura/curso:** ARQUITECTURA DE COMPUTADORES
Titulación universitaria: Ingeniero en Informática
Fecha de inicio: 22/09/2008 **Fecha de finalización:** 20/09/2010
Entidad de realización: Universidad de Zaragoza

Dirección de tesis doctorales y/o proyectos fin de carrera

- 1** **Título del trabajo:** Análisis del paralelismo masivo en un computador Adapteva Paralela
Tipo de proyecto: Proyecto Final de Grado
Entidad de realización: Universidad de Zaragoza **Tipo de entidad:** Universidad
Alumno/a: Mario Arcega Sanjuán
Calificación obtenida: Sobresaliente
Fecha de defensa: 18/12/2019
- 2** **Título del trabajo:** Caracterización térmica de una plataforma multiprocesador refrigerada por aire
Tipo de proyecto: Proyecto Final de Grado
Codirector/a tesis: Montijano Muñoz, Eduardo
Entidad de realización: Universidad de Zaragoza **Tipo de entidad:** Universidad
Alumno/a: Sergio Escolar de Torres-Solanot
Calificación obtenida: Notable
Fecha de defensa: 16/12/2019
- 3** **Título del trabajo:** Análisis de vulnerabilidades hardware basadas en la ejecución especulativa
Tipo de proyecto: Proyecto Final de Grado
Codirector/a tesis: Gran Tejero, Rubén



Entidad de realización: Universidad de Zaragoza
Alumno/a: Miguel Santiago Moniente Pannocchia
Calificación obtenida: Matrícula de honor
Fecha de defensa: 04/10/2019

Tipo de entidad: Universidad

4 Título del trabajo: Mitigación de ataques de canal lateral basados en caracterización térmica y eléctrica
Tipo de proyecto: Proyecto Final de Grado
Codirector/a tesis: Valero Bresó, Alejandro
Entidad de realización: Universidad de Zaragoza
Alumno/a: Javier Corbalán Colino
Calificación obtenida: Sobresaliente
Fecha de defensa: 11/09/2019

Tipo de entidad: Universidad

5 Título del trabajo: Caracterización de aplicaciones HPC para extensiones vectoriales de ARM
Tipo de proyecto: Proyecto Final de Grado
Entidad de realización: Ministerio de Educación y Cultura
Alumno/a: Víctor Soria Pardos
Calificación obtenida: Sobresaliente
Fecha de defensa: 27/08/2019

Tipo de entidad: Universidad

6 Título del trabajo: Técnicas de control avanzadas para gestionar la temperatura en multiprocesadores
Tipo de proyecto: Proyecto Final de Máster
Codirector/a tesis: Montijano Muñoz, Eduardo
Entidad de realización: Universidad de Zaragoza
Alumno/a: Pablo Hernández Almudí
Calificación obtenida: Matrícula de honor
Fecha de defensa: 10/07/2019

Tipo de entidad: Universidad

7 Título del trabajo: Aplicación móvil para la gestión de servidores Linux/UNIX
Tipo de proyecto: Proyecto Final de Grado
Entidad de realización: Universidad de Zaragoza
Alumno/a: Alvaro Gomez Muñoz
Calificación obtenida: Notable
Fecha de defensa: 10/07/2019

Tipo de entidad: Universidad

8 Título del trabajo: DADE: Motor de detección de datos anómalos
Tipo de proyecto: Proyecto Final de Grado
Codirector/a tesis: Briz Velasco, José Luis
Entidad de realización: Universidad de Zaragoza
Alumno/a: Luis Fueris Martín
Calificación obtenida: Matrícula de honor
Fecha de defensa: 05/10/2018

Tipo de entidad: Universidad

9 Título del trabajo: Evaluación de SLAMBench en un sistema completamente heterogéneo: CPU, GPU y FPGA
Tipo de proyecto: Proyecto Final de Máster
Codirector/a tesis: Gran Tejero, Rubén
Entidad de realización: Universidad de Zaragoza
Alumno/a: Marcos Canales Mayo
Calificación obtenida: Notable
Fecha de defensa: 02/10/2018

Tipo de entidad: Universidad



- 10** **Título del trabajo:** Eficiencia energética de dispositivos de cálculo en el minado de criptomoneda basada en Blockchain
Tipo de proyecto: Proyecto Final de Máster
Codirector/a tesis: Gran Tejero, Rubén
Entidad de realización: Universidad de Zaragoza **Tipo de entidad:** Universidad
Alumno/a: Pedro Horno Maggioni
Calificación obtenida: Notable
Fecha de defensa: 02/10/2018
- 11** **Título del trabajo:** Diseño de un Governor basado en Control Inteligente de Temperatura
Tipo de proyecto: Proyecto Final de Grado
Codirector/a tesis: Montijano Muñoz, Eduardo
Entidad de realización: Universidad de Zaragoza **Tipo de entidad:** Universidad
Alumno/a: Pablo Hernández Almuñí
Calificación obtenida: Sobresaliente
Fecha de defensa: 14/09/2017
- 12** **Título del trabajo:** Aceleradores hardware para visión por computador
Tipo de proyecto: Proyecto Final de Grado
Codirector/a tesis: Murillo Arnal, Ana Cristina
Entidad de realización: Universidad de Zaragoza **Tipo de entidad:** Universidad
Alumno/a: Alberto Álvarez Aldea
Calificación obtenida: Matrícula de honor
Fecha de defensa: 10/07/2017
- 13** **Título del trabajo:** Medición precisa del consumo energético en procesadores X86
Tipo de proyecto: Proyecto Final de Carrera
Entidad de realización: Universidad de Zaragoza **Tipo de entidad:** Universidad
Alumno/a: Victor Manuel Malo Oiz
Calificación obtenida: Notable
Fecha de defensa: 13/03/2017
- 14** **Título del trabajo:** Sistema de información/Entretenimiento para vehículo con soporte de voz y diagnóstico
Tipo de proyecto: Proyecto Final de Grado
Entidad de realización: Universidad de Zaragoza **Tipo de entidad:** Universidad
Alumno/a: Juan Antonio Cepero Chicote
Calificación obtenida: Notable
Fecha de defensa: 16/02/2017
- 15** **Título del trabajo:** Reconocimiento de objetos en Android para aplicaciones de asistencia
Tipo de proyecto: Proyecto Final de Grado
Codirector/a tesis: Murillo Arnal, Ana Cristina
Entidad de realización: Universidad de Zaragoza **Tipo de entidad:** Universidad
Alumno/a: Alejandro Márquez Ferrer
Calificación obtenida: Notable
Fecha de defensa: 14/12/2016
- 16** **Título del trabajo:** Exploiting natural on-chip redundancy for energy efficient memory and computing.
Tipo de proyecto: Tesis Doctoral
Codirector/a tesis: Alastruey Benedé, Jesús



Entidad de realización: Universidad de Zaragoza
Alumno/a: Alexandra Ferrerón Labari
Calificación obtenida: Sobresaliente cum laude
Fecha de defensa: 25/11/2016

Tipo de entidad: Universidad

17 Título del trabajo: Characterization of interconnection networks in CMPs using full-system simulation

Tipo de proyecto: Proyecto Final de Máster

Codirector/a tesis: Villarroja Gaudó, Maria

Entidad de realización: Universidad de Zaragoza

Tipo de entidad: Universidad

Alumno/a: Marta Ortín Obón

Calificación obtenida: Notable

Fecha de defensa: 05/10/2012

18 Título del trabajo: Efficient instruction and data caching for high performance low-power embedded systems

Tipo de proyecto: Proyecto Final de Máster

Codirector/a tesis: Alastruey Benede, Jesus

Entidad de realización: Universidad de Zaragoza

Tipo de entidad: Universidad

Alumno/a: Alexandra Ferrerón Labari

Calificación obtenida: Sobresaliente

Fecha de defensa: 05/10/2012

19 Título del trabajo: Estudio y modelo térmico de la refrigeración de microprocesadores

Tipo de proyecto: Proyecto Final de Carrera

Codirector/a tesis: Marin Herrero, Jose Maria

Entidad de realización: Universidad de Zaragoza

Tipo de entidad: Universidad

Alumno/a: Angel Bernad Casale

Calificación obtenida: Aprobado

Fecha de defensa: 11/07/2012

20 Título del trabajo: Caracterización del comportamiento de la swite parsec en la jerarquía de memoria del procesador

Tipo de proyecto: Proyecto Final de Carrera

Codirector/a tesis: Villarroja Gaudó, Maria

Entidad de realización: Universidad de Zaragoza

Tipo de entidad: Universidad

Alumno/a: Marta Ortín Obón

Calificación obtenida: Matrícula de honor

Fecha de defensa: 28/09/2011

21 Título del trabajo: Impacto de las optimizaciones de compilación en la energía, potencia y temperatura: el caso Intel Pentium 4

Tipo de proyecto: Proyecto Final de Carrera

Codirector/a tesis: Gran Tejero, Ruben

Entidad de realización: Universidad de Zaragoza

Tipo de entidad: Universidad

Alumno/a: Raúl Ceresuela Palomera

Calificación obtenida: Notable

Fecha de defensa: 22/09/2011

22 Título del trabajo: Título del PFC: Coherent vs. Non-Coherent last level on-chip caches: an evaluation of latency and capacity trade-offs.

Tipo de proyecto: Proyecto Final de Carrera

Codirector/a tesis: Babak Falsafi



Entidad de realización: Ministerio de Educación y Cultura

Tipo de entidad: Universidad

Alumno/a: Alexandra Ferrerón Labari

Calificación obtenida: Matrícula de honor

Fecha de defensa: 10/12/2010

23 Título del trabajo: LOS NANOTUBOS DE CARBONO COMO ALTERNATIVA AL CABLEADO METÁLICO EN PROCESADORES DE ALTAS PRESTACIONES

Tipo de proyecto: Proyecto Final de Carrera

Codirector/a tesis: Villarroja Gaudó, María

Entidad de realización: Universidad de Zaragoza

Tipo de entidad: Universidad

Alumno/a: Jaime Ortiz Cirugeda

Calificación obtenida: Sobresaliente

Fecha de defensa: 25/09/2009

24 Título del trabajo: Aspectos Térmicos de la Ejecución de Programas: Estudio Experimental sobre un Pentium 4

Tipo de proyecto: Proyecto Final de Carrera

Codirector/a tesis: Víctor Viñals Yúfera

Entidad de realización: Universidad de Zaragoza

Tipo de entidad: Universidad

Alumno/a: Sergio Gutierrez Verde

Calificación obtenida: 9,0

Fecha de defensa: 17/03/2009

25 Título del trabajo: Evaluación de Prestaciones de Bases de Datos. MySQL sobre computadores de bajo coste

Tipo de proyecto: Proyecto Final de Carrera

Codirector/a tesis: Víctor Viñals Yúfera

Entidad de realización: Universidad de Zaragoza

Tipo de entidad: Universidad

Alumno/a: Santiago Constancio Pérez Blanco

Calificación obtenida: 8,5 Notable

Fecha de defensa: 15/09/2008

26 Título del trabajo: Determinación del Consumo en Procesadores de Altas Prestaciones y Caracterización Energética de Programas Compiladores

Tipo de proyecto: Proyecto Final de Carrera

Codirector/a tesis: Víctor Viñals Yúfera

Entidad de realización: Universidad de Zaragoza

Tipo de entidad: Universidad

Alumno/a: Octavio Benedí Sánchez

Calificación obtenida: 8,8 Notable

Fecha de defensa: 11/09/2008

27 Título del trabajo: Evaluación del Consumo en Procesadores de Altas Prestaciones

Tipo de proyecto: Proyecto Final de Carrera

Codirector/a tesis: Víctor Viñals Yúfera

Entidad de realización: Universidad de Zaragoza

Tipo de entidad: Universidad

Alumno/a: Alicia Asín Pérez

Calificación obtenida: 10,0 MH

Fecha de defensa: 18/12/2006

Experiencia científica y tecnológica

Grupos/equipos de investigación, desarrollo o innovación

- 1** **Nombre del grupo:** T58_17R: GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIZAR(gaZ).
Entidad de afiliación: Universidad de Zaragoza **Tipo de entidad:** Universidad
- 2** **Nombre del grupo:** Pertenencia a instituto de investigación universitaria
Entidad de afiliación: INSTITUTO DE INVESTIGACIÓN EN INGENIERÍA DE ARAGÓN (I3A) **Tipo de entidad:** Instituto Universitario de Investigación

Actividad científica o tecnológica

Proyectos de I+D+i financiados en convocatorias competitivas de Administraciones o entidades públicas y privadas

- 1** **Nombre del proyecto:** JIUZ-2019-TEC-08: Técnicas de Redistribución de Registros en GPUs con Fallos Permanentes
Ámbito geográfico: Otros
Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza
Nombres investigadores principales (IP, Co-IP,...): Alejandro Valero Bresó
Nº de investigadores/as: 5
Entidad/es financiadora/s:
FUNDACIÓN BANCARIA IBERCAJA
UNIVERSIDAD DE ZARAGOZA
Fecha de inicio-fin: 01/01/2020 - 31/12/2020 **Duración:** 1 año
Cuantía total: 2.000 €
- 2** **Nombre del proyecto:** ANALIZAR EL COMPORTAMIENTO DE CONSUMIDORES CON MEDIDAS SIMULTÁNEAS DE FISIOLÓGIA, LOCALIZACIÓN Y VISIÓN POR COMPUTADOR RTC-2017-6421-7
Ámbito geográfico: Nacional
Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza
Nombres investigadores principales (IP, Co-IP,...): Ana Cristina Murillo Arnal; Darío Suárez Gracia
Nº de investigadores/as: 6
Entidad/es financiadora/s:
MINISTERIO DE ECONOMÍA Y COMPETITIVIDAD
Fecha de inicio-fin: 01/01/2018 - 31/12/2020 **Duración:** 3 años
Cuantía total: 173.673,3 €
- 3** **Nombre del proyecto:** JIUZ-2018-TEC-13: CARACTERIZACIÓN DEL ENVEJECIMIENTO DE LOS TRANSISTORES UTILIZADOS EN ACELERADORES PARA REDES NEURONALES Y DISEÑO DE MECANISMOS ARQUITECTÓNICOS PARA COMBATIR SU EFECTO
Ámbito geográfico: Otros
Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza



Nombres investigadores principales (IP, Co-IP,...): Alejandro Valero Bresó

Nº de investigadores/as: 8

Entidad/es financiadora/s:

FUNDACIÓN BANCARIA IBERCAJA

UNIVERSIDAD DE ZARAGOZA

Fecha de inicio-fin: 01/01/2019 - 31/12/2019

Duración: 1 año

Cuantía total: 2.000 €

- 4 Nombre del proyecto:** GRUPO DE REFERENCIA GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIZAR(gaZ).

Ámbito geográfico: Autonómica

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Víctor Viñals Yufera

Nº de investigadores/as: 25

Entidad/es financiadora/s:

GOBIERNO DE ARAGÓN

Fecha de inicio-fin: 01/01/2017 - 31/12/2019

Duración: 3 años

Cuantía total: 37.792 €

- 5 Nombre del proyecto:** Jerarquía de memoria, gestión de tareas, y optimización de aplicaciones

Entidad de realización: Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Pablo Ibañez Marín

Entidad/es financiadora/s:

Ministerio de Economía, Industria y Competitividad (MINECO). Expulsado del equipo investigador por mi condición de prof. contratado doctor interino

Fecha de inicio-fin: 01/01/2017 - 31/12/2019

Duración: 3 años

Cuantía total: 219.736 €

- 6 Nombre del proyecto:** JIUZ-2017-TEC-09: ESTRATEGIAS DE MEJORA SOFTWARE Y HARDWARE PARA SISTEMAS ALTAMENTE HETEROGÉNEOS: PLANIFICACIÓN DINÁMICA Y REDES ON CHIP.

Ámbito geográfico: Otros

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Darío Suárez Gracia

Nº de investigadores/as: 7

Entidad/es financiadora/s:

FUNDACIÓN BANCARIA IBERCAJA

UNIVERSIDAD DE ZARAGOZA

Fecha de inicio-fin: 01/01/2018 - 31/12/2018

Duración: 1 año

Cuantía total: 2.000 €

- 7 Nombre del proyecto:** UZCUD2017-TEC-06: SISTEMAS DE VISIÓN POR COMPUTADOR DISTRIBUIDOS MONITORIZADOS DESDE DISPOSITIVOS DE REALIDAD AUMENTADA.

Ámbito geográfico: Otros

Entidad de realización: Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Ana Cristina Murillo Arnal; Alejandro Mosteo Chagoyen

Nº de investigadores/as: 5

Entidad/es financiadora/s:

CENTRO UNIVERSITARIO DE LA DEFENSA DE ZARAGOZA ACADEMIA GENERAL MILITAR

Fecha de inicio-fin: 01/10/2017 - 30/09/2018**Duración:** 1 año**Cuantía total:** 2.000 €**8 Nombre del proyecto:** JERARQUÍA DE MEMORIA Y APLICACIONES**Ámbito geográfico:** Nacional**Entidad de realización:** Universidad de Zaragoza**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yúfera**Entidad/es financiadora/s:**

Ministerio de Economía y Competitividad (MINECO). Durante parte de este proyecto me encontraba de permiso en Qualcomm Research Silicon Valley

Fecha de inicio-fin: 01/01/2014 - 31/12/2017**Duración:** 4 años**Cuantía total:** 129.300 €**9 Nombre del proyecto:** GRUPO CONSOLIDADO T48 gaZ: GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA**Ámbito geográfico:** Autonómica**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yuferra**Nº de investigadores/as:** 15**Entidad/es financiadora/s:**

DIPUTACIÓN GENERAL DE ARAGÓN

Fecha de inicio-fin: 01/01/2016 - 31/12/2016**Duración:** 1 año**Cuantía total:** 7.662 €**10 Nombre del proyecto:** JIUZ-2015-TEC-06: AUTOMATIZACIÓN DE LA GENERACIÓN DE LAS RESTRICCIONES DEL PROGRAMACIÓN LINEAL ENTERA PARA EL CÁLCULO DEL WCET EN SISTEMAS DE TIEMPO REAL ESTRICTO CON UN CACHE DE DATOS ACDC.**Ámbito geográfico:** Otros**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza**Nombres investigadores principales (IP, Co-IP,...):** Rubén Gran Tejero**Nº de investigadores/as:** 6**Entidad/es financiadora/s:**

IBERCAJA

Fecha de inicio-fin: 01/01/2016 - 31/12/2016**Duración:** 1 año**Cuantía total:** 2.000 €**11 Nombre del proyecto:** GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (gaZ)**Ámbito geográfico:** Autonómica**Entidad de realización:** Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza**Nombres investigadores principales (IP, Co-IP,...):** Víctor Viñals Yuferra**Nº de investigadores/as:** 16**Entidad/es financiadora/s:**

DIPUTACIÓN GENERAL DE ARAGÓN

Fecha de inicio-fin: 01/01/2015 - 31/12/2015**Duración:** 1 año**Cuantía total:** 7.322 €

12 Nombre del proyecto: GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (gaZ)

Ámbito geográfico: Autonómica

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Víctor Viñals Yufera

Nº de investigadores/as: 16

Entidad/es financiadora/s:

DIPUTACIÓN GENERAL DE ARAGÓN

Fecha de inicio-fin: 01/01/2014 - 31/12/2014

Duración: 1 año

Cuantía total: 7.633 €

13 Nombre del proyecto: GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (gaZ)

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Víctor Viñals Yufera

Nº de investigadores/as: 16

Entidad/es financiadora/s:

DIPUTACIÓN GENERAL DE ARAGÓN

Fecha de inicio-fin: 01/01/2013 - 31/12/2013

Duración: 1 año

Cuantía total: 6.554 €

14 Nombre del proyecto: TIN2010-21291-C02-01. JERARQUÍA DE MEMORIA

Ámbito geográfico: Nacional

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Víctor Viñals Yufera

Nº de investigadores/as: 21

Entidad/es financiadora/s:

MINISTERIO DE CIENCIA E INNOVACION

Fecha de inicio-fin: 01/01/2011 - 31/12/2013

Duración: 3 años

Cuantía total: 236.676 €

15 Nombre del proyecto: GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (GAZ)

Ámbito geográfico: Autonómica

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Víctor Viñals Yufera

Nº de investigadores/as: 16

Entidad/es financiadora/s:

D.G.A.

Fecha de inicio-fin: 01/01/2011 - 31/12/2012

Duración: 2 años

Cuantía total: 20.246 €

16 Nombre del proyecto: PIREGRID I3A

Ámbito geográfico: Unión Europea

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): María Villarroja Gaudó

Nº de investigadores/as: 21

Entidad/es financiadora/s:

UNION EUROPEA



Fecha de inicio-fin: 01/06/2009 - 31/05/2012

Duración: 3 años

Cuantía total: 97.332,67 €

- 17 Nombre del proyecto:** GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (GAZ)

Ámbito geográfico: Autonómica

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Víctor Viñals Yufera

Nº de investigadores/as: 14

Entidad/es financiadora/s:

D.G.A.

Fecha de inicio-fin: 01/01/2008 - 31/12/2010

Duración: 3 años

Cuantía total: 33.128 €

- 18 Nombre del proyecto:** TIN2007-66423 JERARQUÍA DE MEMORIA DE ALTO RENDIMIENTO.

Ámbito geográfico: Nacional

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Víctor Viñals Yufera

Nº de investigadores/as: 15

Entidad/es financiadora/s:

MINISTERIO DE EDUCACION Y CIENCIA

Fecha de inicio-fin: 01/10/2007 - 30/09/2010

Duración: 3 años

Cuantía total: 152.460 €

- 19 Nombre del proyecto:** GRUPO CONSOLIDADO T48 GRUPO DE ARQUITECTURA DE COMPUTADORES DE LA UNIVERSIDAD DE ZARAGOZA (gaZ)

Ámbito geográfico: Autonómica

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Víctor Viñals Yufera

Nº de investigadores/as: 14

Entidad/es financiadora/s:

D.G.A.

Fecha de inicio-fin: 01/01/2005 - 31/12/2007

Duración: 3 años

Cuantía total: 27.062,76 €

- 20 Nombre del proyecto:** TIN2004-07739-C02-02. COMPUTACION DE ALTAS PRESTACIONES IV. JERARQUIA DE MEMORIA DE ALTAS PRESTACIONES.

Ámbito geográfico: Nacional

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Víctor Viñals Yufera

Nº de investigadores/as: 12

Entidad/es financiadora/s:

D.G.I. (MINISTERIO DE CIENCIA Y TECNOLOGÍA)

Fecha de inicio-fin: 13/12/2004 - 12/12/2007

Duración: 3 años

Cuantía total: 161.000 €

Contratos, convenios o proyectos de I+D+i no competitivos con Administraciones o entidades públicas o privadas

1 **Nombre del proyecto:** ESTUDIO DEL RENDIMIENTO DE UN SISTEMA DE ADQUISICIÓN Y ANÁLISIS DE SEÑALES DE FIBRA ÓPTICA

Ámbito geográfico: Otros

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Darío Suárez Gracia

Nº de investigadores/as: 1

Entidad/es financiadora/s:

ARAGON PHOTONICS LABS, S.L.

Fecha de inicio: 01/02/2020

Duración: 8 meses

Cuantía total: 5.082 €

2 **Nombre del proyecto:** HIGH PERFORMANCE LOW POWER ACCELERATION FOR BIG DATA APPLICATIONS

Ámbito geográfico: Internacional no UE

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Ana Cristina Murillo Arnal; Darío Suárez Gracia

Nº de investigadores/as: 2

Entidad/es financiadora/s:

BIGSTREAM SOLUTIONS, INC

Fecha de inicio: 28/05/2018

Duración: 1 año

Cuantía total: 9.482,32 €

3 **Nombre del proyecto:** COLABORACIÓN PARA LA REALIZACIÓN DE PRUEBAS TÉCNICAS EN PROCESO DE SELECCIÓN DE PROMOCIÓN INTERNA DE AST

Ámbito geográfico: Autonómica

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Rubén Gran Tejero; Darío Suárez Gracia

Nº de investigadores/as: 2

Entidad/es financiadora/s:

ARAGONESA DE SERVICIOS TELEMATICOS

Fecha de inicio: 02/04/2018

Duración: 5 meses - 3 días

Cuantía total: 1.500 €

4 **Nombre del proyecto:** HIGH PERFORMANCE LOW POWER COMPUTER VISION FOR AUGMENTED REALITY

Ámbito geográfico: Internacional no UE

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Ana Cristina Murillo Arnal; Darío Suárez Gracia

Nº de investigadores/as: 2

Entidad/es financiadora/s:

EONITE PERCEPTION, INC

Fecha de inicio: 16/08/2017

Duración: 1 año

5 Nombre del proyecto: HIGH PERFORMANCE LOW POWER COMPUTER VISION FOR AUGMENTED REALITY

Ámbito geográfico: Internacional no UE

Entidad de realización: Escuela de Ingeniería y Arquitectura - Universidad de Zaragoza

Nombres investigadores principales (IP, Co-IP,...): Ana Cristina Murillo Arnal; Darío Suárez Gracia

Nº de investigadores/as: 2

Entidad/es financiadora/s:
EONITE PERCEPTION, INC

Fecha de inicio: 16/08/2016

Duración: 1 año

Cuantía total: 79.618,65 €

Resultados

Propiedad industrial e intelectual

1 Título propiedad industrial registrada: Random-access disjoint concurrent sparse writes to heterogeneous buffers

Tipo de propiedad industrial: Patente de invención

Inventores/autores/obtentores: Tushar Kumar; Aravind Natarajan; Dario Suarez Gracia

Entidad titular de derechos: QUALCOMM Incorporated

Nº de solicitud: 10031697

Fecha de registro: 2018

Patente internacional no UE: Si

Licencias: Si

2 Título propiedad industrial registrada: Identifying enhanced synchronization operation outcomes to improve runtime operations

Tipo de propiedad industrial: Patente de invención

Inventores/autores/obtentores: Suárez Gracia, Darío; Cascaval, Gheorghe; Zhao, Han; Kumar, Tushar; Natarajan, Aravind

Entidad titular de derechos: Qualcomm Inc.

Nº de solicitud: 10114681

Fecha de registro: 2018

Patente internacional no UE: Si

Licencias: Si

3 Título propiedad industrial registrada: Data-Driven Accelerator For Machine Learning And Raw Data Analysis, patent application

Tipo de propiedad industrial: Patente de invención

Inventores/autores/obtentores: Robotmili, Behnam; Badin, Matthew Leslie; Suárez Gracia, Darío; Cascaval, Gheorghe Calin; Islam, Nayeem

Entidad titular de derechos: Qualcomm Inc.

Nº de solicitud: US20170083827

Fecha de registro: 2017

Patente internacional no UE: Si

Licencias: No

- 4 Título propiedad industrial registrada:** Proactive Resource Management for Parallel Work-Stealing Processing Systems, patent application
Tipo de propiedad industrial: Patente de invención
Inventores/autores/obtentores: Zhao, Han; Suárez Gracia, Dario; Kumar, Tushar
Entidad titular de derechos: Qualcomm Inc.
Nº de solicitud: 20170083364
Fecha de registro: 2017
Patente internacional no UE: Si
Licencias: No
- 5 Título propiedad industrial registrada:** Data Management for Multiple Processing Units Using Data Transfer Costs
Tipo de propiedad industrial: Patente de invención
Inventores/autores/obtentores: Suarez Gracia, Dario; Kumar, Tushar; Natarajan, Aravind; Hastantram, Ravish; Cascaval, Gheorghe Calin; Zhao, Han
Entidad titular de derechos: Qualcomm Inc.
Nº de solicitud: 9733978
Fecha de registro: 2017
Patente internacional no UE: Si
Licencias: No
- 6 Título propiedad industrial registrada:** Directed Event Signaling for Multiprocessor Systems
Tipo de propiedad industrial: Patente de invención
Inventores/autores/obtentores: Suarez Gracia, Dario; Zhao, Han; Montesinos Ortego, Pablo; Cascaval, Gheorghe Calin; Xenidis, James
Entidad titular de derechos: QUALCOMM Incorporated
Nº de solicitud: 9632569
Fecha de registro: 2017
Licencias: Si
- 7 Título propiedad industrial registrada:** METHOD FOR EXPLOITING PARALLELISM IN TASK-BASED SYSTEMS USING AN ITERATION SPACE SPLITTER.
Tipo de propiedad industrial: Patente de invención
Inventores/autores/obtentores: Robotmili, Behnam; Aga, Shaizeen Dilawarhusen; Suarez Gracia, Dario; Raman, Arun; Natarajan, Aravind; Cascaval, Gheorghe Calin; Montesinos Ortego, Pablo; Zhao, Han
Entidad titular de derechos: QUALCOMM Incorporated (San Diego, CA, US)
Nº de solicitud: 9501328
Fecha de registro: 2016
Patente internacional no UE: Si
Licencias: Si
- 8 Título propiedad industrial registrada:** Methods and systems for detecting malware and attacks that target behavioral security mechanisms of a mobile device
Tipo de propiedad industrial: Patente de invención
Inventores/autores/obtentores: Suarez Gracia, Dario; Gupta, Rajarshi; Gantman, Alexander
Entidad titular de derechos: QUALCOMM Incorporated
Nº de solicitud: 9357397
Fecha de registro: 2016
Licencias: Si



- 9 Título propiedad industrial registrada:** SYSTEM AND METHOD FOR ADAPTIVELY MANAGING REGISTERS IN AN INSTRUCTION PROCESSOR, patent application
Tipo de propiedad industrial: Patente de invención
Inventores/autores/obtentores: Suarez Gracia, Darío; Robatmili, Behnam
Entidad titular de derechos: QUALCOMM Incorporated
Nº de solicitud: US20160216969
Fecha de registro: 2016
Patente española: Si
Licencias: Si
- 10 Título propiedad industrial registrada:** Approximation of Execution Events Using Memory Hierarchy Monitoring, patent application
Tipo de propiedad industrial: Patente de invención
Inventores/autores/obtentores: Christodorescu, Mihai; Salajegheh, Mastooreh; Suarez Gracia, Dario
Entidad titular de derechos: QUALCOMM Incorporated
Nº de solicitud: US20160103612
Fecha de registro: 2016
Licencias: Si
- 11 Título propiedad industrial registrada:** Software Configurations for Mobile Devices in a Collaborative Environment, patent application
Tipo de propiedad industrial: Patente de invención
Inventores/autores/obtentores: Chao, Hui; Suarez Gracia, Dario; Cascaval, Gheorghe Calin
Entidad titular de derechos: QUALCOMM Incorporated
Nº de solicitud: US20150358810
Fecha de registro: 2015
Licencias: Si
- 12 Título propiedad industrial registrada:** Hardware Acceleration For Inline Caches In Dynamic Languages, patent application
Tipo de propiedad industrial: Patente de invención
Inventores/autores/obtentores: Robatmili, Behnam; Cascaval, Gheorghe Calin; Nagaraja Kedlay, Madhukar; Suarez Gracia, Dario
Entidad titular de derechos: QUALCOMM Incorporated
Nº de solicitud: US20150205720
Fecha de registro: 2015
Licencias: Si
- 13 Título propiedad industrial registrada:** Hardware Acceleration For Inline Caches In Dynamic Languages, patent application
Tipo de propiedad industrial: Patente de invención
Inventores/autores/obtentores: Robatmili, Behnam; Cascaval, Gheorghe Calin; Nagaraja Kedlay, Madhukar; Suarez Gracia, Dario
Entidad titular de derechos: QUALCOMM Incorporated
Nº de solicitud: US20150205726
Fecha de registro: 2015
Licencias: Si

Actividades científicas y tecnológicas

Producción científica

Publicaciones, documentos científicos y técnicos

- 1** Ferrerón, A.; Alastruey-Benedé, J.; Suárez Gracia, D.; Monreal Arnal, T.; Ibáñez Marín, P.; Viñals Yúfera, V. A fault-tolerant last level cache for CMPs operating at ultra-low voltage. JOURNAL OF PARALLEL AND DISTRIBUTED COMPUTING. 125, pp. 31 - 44. 2019. ISSN 0743-7315
DOI: 10.1016/j.jpdc.2018.10.010
Tipo de producción: Artículo científico
 - 2** Valero Bresó, Alejandro; Candel Margaix, Francisco; Suárez Gracia, Darío; Petit Martí, Salvador Vicente; Sahuquillo Borrás, Julio. An aging-aware GPU register file design based on data redundancy. IEEE TRANSACTIONS ON COMPUTERS. 68 - 1, pp. 4 - 20. 2019. ISSN 0018-9340
DOI: 10.1109/TC.2018.2849376
Tipo de producción: Artículo científico
 - 3** Dávila Guzmán, M.A.; Nozal, R.; Gran Tejero, R.; Villarroja-Gaudó, M.; Suárez Gracia, D.; Bosque, J.L. Cooperative CPU, GPU, and FPGA heterogeneous execution with EngineCL. JOURNAL OF SUPERCOMPUTING. pp. 1 - 15. 2019. ISSN 0920-8542
DOI: 10.1007/s11227-019-02768-y
Tipo de producción: Artículo científico
 - 4** Rodríguez, Andrés; Navarro, Ángeles; Asenjo, Rafael; Corbera, Francisco; Gran, Rubén; Suárez, Darío; Nunez-Yanez, José. Exploring heterogeneous scheduling for edge computing with CPU and FPGA MPSoCs. JOURNAL OF SYSTEMS ARCHITECTURE. 98, pp. 27 - 40 [21 pp.]. 2019. ISSN 1383-7621
DOI: 10.1016/j.sysarc.2019.06.006
Tipo de producción: Artículo científico
 - 5** Rodríguez, Andrés; Navarro, Angeles; Asenjo, Rafael; Corbera, Francisco; Gran, Ruben; Suárez Gracia, Darío; Nunez-Yanez, Jose. Parallel multiprocessing and scheduling on the heterogeneous xeon+fpga platform. JOURNAL OF SUPERCOMPUTING. pp. [21 pp.]. 2019. ISSN 0920-8542
DOI: 10.1007/s11227-019-02935-1
Tipo de producción: Artículo científico
 - 6** Nunez-Yanez, J.; Amiri, S.; Hosseinabady, M.; Rodríguez, A.; Asenjo, R.; Navarro, A.; Suarez, D.; Gran, R. Correction to: Simultaneous multiprocessing in a software-defined heterogeneous FPGA. JOURNAL OF SUPERCOMPUTING. pp. 1 - 2. 2018. ISSN 0920-8542
DOI: 10.1007/s11227-018-2409-3
Tipo de producción: Artículo científico
Fuente de impacto: WOS (JCR)
Índice de impacto: 2.157
Posición de publicación: 22
Fuente de impacto: WOS (JCR)
Índice de impacto: 2.157
- Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE
- Num. revistas en cat.:** 52
- Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS

**Posición de publicación:** 35**Fuente de impacto:** WOS (JCR)**Índice de impacto:** 2.157**Posición de publicación:** 132**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.385**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.385**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.385**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.385**Num. revistas en cat.:** 104**Categoría:** Science Edition - ENGINEERING, ELECTRICAL & ELECTRONIC**Num. revistas en cat.:** 265**Categoría:** Hardware and Architecture**Categoría:** Information Systems**Categoría:** Software**Categoría:** Theoretical Computer Science

- 7** Nunez-Yanez, J.; Amiri, S.; Hosseinabady, M.; Rodríguez, A.; Asenjo, R.; Navarro, A.; Suarez, D.; Gran, R. Simultaneous multiprocessing in a software-defined heterogeneous FPGA. JOURNAL OF SUPERCOMPUTING. pp. 1 - 18. 2018. ISSN 0920-8542

DOI: 10.1007/s11227-018-2367-9**Tipo de producción:** Artículo científico**Fuente de impacto:** WOS (JCR)**Índice de impacto:** 2.157**Posición de publicación:** 22**Fuente de impacto:** WOS (JCR)**Índice de impacto:** 2.157**Posición de publicación:** 35**Fuente de impacto:** WOS (JCR)**Índice de impacto:** 2.157**Posición de publicación:** 132**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.385**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.385**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.385**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.385**Categoría:** Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE**Num. revistas en cat.:** 52**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS**Num. revistas en cat.:** 104**Categoría:** Science Edition - ENGINEERING, ELECTRICAL & ELECTRONIC**Num. revistas en cat.:** 265**Categoría:** Hardware and Architecture**Categoría:** Information Systems**Categoría:** Software**Categoría:** Theoretical Computer Science

- 8** Nunez-Yanez, J.; Hosseinabady, M.; Rodríguez, A.; Asenjo, R.; Navarro, A.; Gran-Tejero, R.; Suárez-Gracia, D. Simultaneous Multiprocessing on a FPGA+CPU Heterogeneous System-On-Chip. ADVANCES IN PARALLEL COMPUTING. 32, pp. 677 - 686. 2018. ISSN 0927-5452

DOI: 10.3233/978-1-61499-843-3-677



Tipo de producción: Artículo científico

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.173

Categoría: Computer Science (miscellaneous)

- 9** Ortín-Obón, Marta; Suárez-Gracia, Darío; Villarroya-Gaudó, María.; Izu, Cruz.; Viñals-Yúfera, Víctor. Analysis of network-on-chip topologies for cost-efficient chip multiprocessors. MICROPROCESSORS AND MICROSYSTEMS. 42 -, pp. 24 - 36. 2016. ISSN 0141-9331

DOI: 10.1016/j.micpro.2016.01.005

Tipo de producción: Artículo científico

Fuente de impacto: WOS (JCR)

Índice de impacto: 1.025

Posición de publicación: 40

Fuente de impacto: WOS (JCR)

Índice de impacto: 1.025

Posición de publicación: 68

Fuente de impacto: WOS (JCR)

Índice de impacto: 1.025

Posición de publicación: 196

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.225

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.225

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.225

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.225

Categoría: Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

Num. revistas en cat.: 52

Categoría: Science Edition - COMPUTER SCIENCE, THEORY & METHODS

Num. revistas en cat.: 104

Categoría: Science Edition - ENGINEERING, ELECTRICAL & ELECTRONIC

Num. revistas en cat.: 260

Categoría: Artificial Intelligence

Categoría: Computer Networks and Communications

Categoría: Hardware and Architecture

Categoría: Software

- 10** Ferreron, A.; Suarez-Gracia, D.; Alastruey-Benede, J.; Monreal-Arnal, T.; Ibañez, P. Concertina: Squeezing in cache content to operate at near-threshold voltage. IEEE TRANSACTIONS ON COMPUTERS. 65 - 3, pp. 755 - 769. 2016. ISSN 0018-9340

DOI: 10.1109/TC.2015.2479585

Tipo de producción: Artículo científico

Fuente de impacto: WOS (JCR)

Índice de impacto: 2.916

Posición de publicación: 10

Fuente de impacto: WOS (JCR)

Índice de impacto: 2.916

Posición de publicación: 65

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.700

Categoría: Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

Revista dentro del 25%: Si

Num. revistas en cat.: 52

Categoría: Science Edition - ENGINEERING, ELECTRICAL & ELECTRONIC

Num. revistas en cat.: 260

Categoría: Computational Theory and Mathematics



Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.700

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.700

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.700

Categoría: Hardware and Architecture

Revista dentro del 25%: Si

Categoría: Software

Revista dentro del 25%: Si

Categoría: Theoretical Computer Science

- 11** Ortín-Obón, Marta; Suárez-Gracia, Darío; Villarroja-Gaudó, María; Izu, Cruz; Viñals, Víctor. Reactive circuits: Dynamic construction of circuits for reactive traffic in homogeneous CMPs. JOURNAL OF PARALLEL AND DISTRIBUTED COMPUTING. 95, pp. 57 - 68. 2016. ISSN 0743-7315

DOI: 10.1016/j.jpdc.2016.04.002

Tipo de producción: Artículo científico

Fuente de impacto: WOS (JCR)

Índice de impacto: 1.930

Posición de publicación: 34

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.596

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.596

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.596

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.596

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.596

Categoría: Science Edition - COMPUTER SCIENCE, THEORY & METHODS

Num. revistas en cat.: 104

Categoría: Artificial Intelligence

Categoría: Computer Networks and Communications

Revista dentro del 25%: Si

Categoría: Hardware and Architecture

Revista dentro del 25%: Si

Categoría: Software

Categoría: Theoretical Computer Science

- 12** Cascaval, Calin; Montesinos Ortego, Pablo; Robotmili, Behnam; Suárez Gracia, Darío. Concurrency in Mobile Browser Engines. IEEE PERVASIVE COMPUTING. 14 - 3, pp. 14 - 19. 2015. ISSN 1536-1268

DOI: 10.1109/MPRV.2015.58

Tipo de producción: Artículo científico

Fuente de impacto: WOS (JCR)

Índice de impacto: 1.836

Posición de publicación: 33

Fuente de impacto: WOS (JCR)

Índice de impacto: 1.836

Posición de publicación: 82

Fuente de impacto: WOS (JCR)

Índice de impacto: 1.836

Posición de publicación: 21

Categoría: Science Edition - COMPUTER SCIENCE, INFORMATION SYSTEMS

Revista dentro del 25%: Si

Num. revistas en cat.: 143

Categoría: Science Edition - ENGINEERING, ELECTRICAL & ELECTRONIC

Num. revistas en cat.: 257

Categoría: Science Edition - TELECOMMUNICATIONS

Num. revistas en cat.: 82

- 13** Ferrerón,A.; Suárez-Gracia,D.; Alastruey-Benede,J.; Monreal,T.; Viñals,V.Block disabling characterization and improvements in CMPs operating at ultra-low voltages. PROCEEDINGS (SYMPOSIUM ON COMPUTER ARCHITECTURE AND HIGH PERFORMANCE COMPUTING). pp. 238 - 245. 2014. ISSN 1550-6533
DOI: 10.1109/SBAC-PAD.2014.12
Tipo de producción: Artículo científico
- 14** Ortín, M.; Suárez, D.; Villarroja, M.; Izu, C.; Viñals, V.Dynamic construction of circuits for reactive traffic in homogeneous CMPs. PROCEEDINGS - DESIGN, AUTOMATION, AND TEST IN EUROPE CONFERENCE AND EXHIBITION. 2014. ISSN 1530-1591
DOI: 10.7873/DATE2014.254
Tipo de producción: Artículo científico
- 15** Suárez Gracia, Darío; Ferrerón, Alexandra; Montesano del Campo, Luis; Monreal Arnal, Teresa; Viñals Yúfera, Víctor. Revisiting LP-NUCA Energy Consumption: Cache Access Policies and Adaptive Block Dropping. ACM TRANSACTIONS ON ARCHITECTURE AND CODE OPTIMIZATION. 11 - 2, pp. 19 [26 pp.]. 2014. ISSN 1544-3566
DOI: 10.1145/2632217
Tipo de producción: Artículo científico
Fuente de impacto: WOS (JCR)
Índice de impacto: 0.503
Posición de publicación: 40
Fuente de impacto: WOS (JCR)
Índice de impacto: 0.503
Posición de publicación: 83
Categoría: Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE
Num. revistas en cat.: 50
Categoría: Science Edition - COMPUTER SCIENCE, THEORY & METHODS
Num. revistas en cat.: 102
- 16** Ferreron-Labari,A.; Ortin-Obon,M.; Suarez-Gracia,D.; Alastruey-Benede,J.; Vinals-Yufera,V.Shrinking L1 instruction caches to improve energy-delay in SMT embedded processors. LECTURE NOTES IN COMPUTER SCIENCE. 7767 LNCS, pp. 256 - 267. 2013. ISSN 0302-9743
DOI: 10.1007/978-3-642-36424-2_22
Tipo de producción: Artículo científico
- 17** Suárez Gracia,D.; Dimitrakopoulos,G.; Monreal Arnal,T.; Katevenis,M. G. H.; Viñals Yufera,V.LP-NUCA: Networks-in-cache for high-performance low-power embedded processors. IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS. 20 - 8, pp. 1510 - 1523. 2012. ISSN 1063-8210
DOI: 10.1109/TVLSI.2011.2158249
Tipo de producción: Artículo científico
Fuente de impacto: WOS (JCR)
Índice de impacto: 1.218
Posición de publicación: 17
Fuente de impacto: WOS (JCR)
Índice de impacto: 1.218
Posición de publicación: 112
Categoría: Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE
Num. revistas en cat.: 50
Categoría: Science Edition - ENGINEERING, ELECTRICAL & ELECTRONIC
Num. revistas en cat.: 243
- 18** Suarez, D.; Monreal,T.; Vallejo,F.; Beivide,R.; Viñals,V.Light NUCA: A Proposal for Bridging the Inter-Cache Latency Gap. PROCEEDINGS - DESIGN, AUTOMATION, AND TEST IN EUROPE CONFERENCE AND EXHIBITION. pp. 530 - 535. 2009. ISSN 1530-1591

Tipo de producción: Artículo científico

- 19** Muzahid, Abdullah; Suárez, Dario; Qi, Shanxiang; Torrellas, Josep. SigRace: Signature-based Data Race Detection. SIGARCH COMPUTER ARCHITECTURE NEWS. 37 - 337-348, pp. 12. 2009. ISSN 0163-5964
DOI: 10.1145/1555815.1555797
Tipo de producción: Artículo científico
- 20** Suárez Gracia, Darío. Actas de las XVIII Jornadas de Paralelismo (II Congreso Español de Informática, CEDI 2007. 2007. ISBN 978-84-9732-593-6
Tipo de producción: Libro o monografía científica
- 21** Tabik, S.; Ortega, G.; Garzón, E. M.; Suárez, D. A data partitioning model for highly heterogeneous systems. LECTURE NOTES IN COMPUTER SCIENCE. 10104 LNCS, pp. 468 - 479. 2017. ISSN 0302-9743
DOI: 10.1007/978-3-319-58943-5_38
Tipo de producción: Comunicación

Trabajos presentados en congresos nacionales o internacionales

- 1** **Título del trabajo:** Experimentación Preliminar con un Trazador de Rayos para Relacionar Niveles de Abstracción
Nombre del congreso: XXX Jornadas de Paralelismo
Ámbito geográfico: Nacional
Tipo de participación: Participativo - Ponencia oral (comunicación oral)
Ciudad de celebración: Cáceres, España
Fecha de celebración: 18/09/2019
Publicación en acta congreso: Si
Valero Bresó, Alejandro; Suárez Gracia, Darío; Gran Tejero, Rubén; Ramos Martínez, Luis Manuel; Navarro Torres, Agustín; Muñoz Orbañanos, Adolfo; Ezpeleta Mateo, Joaquín; Briz Velasco, José Luis; Murillo Arnal, Ana Cristina; Montijano Muñoz, Eduardo; Resano Ezcaray, Jesús Javier; Villarroja Gaudó, María; Alastruey Benedé, Jesús; Torres Moreno, Enrique; Álvarez Pérez-Arados, Pedro Javier; Ibáñez Marín, Pablo Enrique; Viñals Yúfera, Víctor. "Experimentación Preliminar con un Trazador de Rayos para Relacionar Niveles de Abstracción". En: Actas de las XXX Jornadas de Paralelismo. pp. 218 - 225. 2019. ISBN 978-84-09-12127-4
- 2** **Título del trabajo:** Exposing Abstraction-Level Interactions with a Parallel Ray Tracer
Nombre del congreso: Workshop on Computer Architecture Education (WCAE'19). In conjunction with The The 46th Int'l Symposium on Computer Architecture (ISCA)
Ámbito geográfico: Internacional no UE
Tipo de participación: Participativo - Ponencia oral (comunicación oral)
Ciudad de celebración: Phoenix, Estados Unidos de América
Fecha de celebración: 22/06/2019
Publicación en acta congreso: Si
Valero Bresó, Alejandro; Suárez Gracia, Darío; Gran Tejero, Rubén; Ramos Martínez, Luis Manuel; Navarro Torres, Agustín; Muñoz Orbañanos, Adolfo; Ezpeleta Mateo, Joaquín; Briz Velasco, José Luis; Murillo Arnal, Ana Cristina; Montijano Muñoz, Eduardo; Resano Ezcaray, Jesús Javier; Villarroja Gaudó, María; Alastruey Benedé, Jesús; Torres Moreno, Enrique; Álvarez Pérez-Arados, Pedro Javier; Ibáñez Marín, Pablo Enrique; Viñals Yúfera, Víctor. "Exposing Abstraction-Level Interactions with a Parallel Ray Tracer". En: Proceedings of the Workshop on Computer Architecture Education (WCAE'19). In conjunction with The The 46th Int'l Symposium on Computer Architecture (ISCA). 5, pp. 1 - 8. 2019. ISBN 978-1-4503-6669-4
- 3** **Título del trabajo:** Atomicidad, Consistencia, Paralelismo y Concurrencia en un Trazador de Rayos elaborado a lo largo del Grado en Ingeniería Informática
Nombre del congreso: Jornadas SARTECO (2018)

Ámbito geográfico: Autonómica

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: Teruel, España

Fecha de celebración: 12/09/2018

Publicación en acta congreso: Si

Alejandro Valero; Darío Suárez Gracia; Rubén Gran; Adolfo Muñoz; Joaquín Ezpeleta; José Luis Briz; Luis M. Ramos; Ana C. Murillo; Eduardo Montijano; Javier Resano; María Villarroya-Gaudó; Víctor Viñals. "Atomicidad, Consistencia, Paralelismo y Concurrencia en un Trazador de Rayos elaborado a lo largo del Grado en Ingeniería Informática,". pp. null.

4 Título del trabajo: Caracterización de una FPGA sobre un sistema heterogéneo usando OpenCL,

Nombre del congreso: Jornadas SARTECO (2018)

Ámbito geográfico: Autonómica

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: Teruel, España

Fecha de celebración: 12/09/2018

Publicación en acta congreso: Si

Maria Angélica Dávila Guzmán; Rubén Gran Tejero; Maria Villarroya Gaudó; Darío Suárez Gracia. "Caracterización de una FPGA sobre un sistema heterogéneo usando OpenCL,". pp. null.

5 Título del trabajo: Towards the Inclusion of FPGAs on Commodity Heterogeneous Systems

Nombre del congreso: 2018 International Conference on High Performance Computing & Simulation (HPCS)

Ámbito geográfico: Internacional no UE

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: Orléans, Francia

Fecha de celebración: 16/07/2018

Maria Angelica Davila Guzman, Ruben Gran Tejero, Maria Villarroya Gaudó, Dario Suarez Gracia.

6 Título del trabajo: First Steps Towards CPU, GPU, and FPGA Parallel Execution with EngineCL

Nombre del congreso: 18th International Conference on Computational and Mathematical Methods in Science and Engineering (CMMSE 18)

Ámbito geográfico: Internacional no UE

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: Costa Ballena, Cádiz, España

Fecha de celebración: 09/07/2018

Publicación en acta congreso: Si

Maria A. Dávila-Guzman; Raul Nozal; Ruben Gran Tejero; Maria Villarroya-Gaudó; Dario Suarez Gracia; Jose Luis Bosque. "First Steps Towards CPU, GPU, and FPGA Parallel Execution with EngineCL". En: Proceedings. pp. null.

7 Título del trabajo: Exploiting Data Compression to Mitigate Aging in GPU Register Files

Nombre del congreso: The 29th International Symposium on Computer Architecture and High Performance Computing

Ámbito geográfico: Internacional no UE

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: Campinas, Brasil

Fecha de celebración: 17/10/2017

Publicación en acta congreso: Si

Candel Margaix, Francisco; Valero Bresó, Alejandro; Petit Martí, Salvador Vicente; Suárez Gracia, Darío; Sahuquillo Borrás, Julio. "Exploiting Data Compression to Mitigate Aging in GPU Register Files". En:



Proceedings of the 29th International Symposium on Computer Architecture and High Performance Computing. pp. 57 - 64. 2017. ISBN 978-1-5090-1233-6/17

- 8 Título del trabajo:** Exploiting Data Compression to Mitigate Aging in GPU Register Files
Nombre del congreso: The International Symposium on Computer Architecture and High Performance Computing
Ámbito geográfico: Internacional no UE
Tipo de participación: Participativo - Ponencia oral (comunicación oral)
Ciudad de celebración: Campinas, Brasil
Fecha de celebración: 17/10/2017
Publicación en acta congreso: Si
Candel, Francisco; Valero, Alejandro; Petit, Salvador; Suárez Gracia, Darío; Sahuquillo, Julio. "Exploiting Data Compression to Mitigate Aging in GPU Register Files". pp. null.
- 9 Título del trabajo:** Reducción del Efecto BTI en el Banco de Registros de las GPU
Nombre del congreso: XXVIII Jornadas de Paralelismo
Ámbito geográfico: Nacional
Tipo de participación: Participativo - Ponencia oral (comunicación oral)
Ciudad de celebración: Málaga, España
Fecha de celebración: 19/09/2017
Publicación en acta congreso: Si
Valero Bresó, Alejandro; Candel Margaix, Francisco; Petit Martí, Salvador Vicente; Suárez Gracia, Darío; Sahuquillo Borrás, Julio. "Reducción del Efecto BTI en el Banco de Registros de las GPU". En: Actas de las XXVIII Jornadas de Paralelismo. pp. 207 - 214. 2017. ISBN 978-84-697-4835-0
- 10 Título del trabajo:** A Data Partitioning Model for Highly Heterogeneous Systems
Nombre del congreso: International Workshop on Parallelism in Bioinformatics
Ámbito geográfico: Internacional no UE
Tipo de participación: Participativo - Ponencia oral (comunicación oral)
Ciudad de celebración: Grenoble, Francia
Fecha de celebración: 23/08/2016
Tabik, S; Ortega, G; Garzón, E.M; Suárez Gracia, D.
- 11 Título del trabajo:** Reserva de circuitos para tráfico reactivo en CMPs homogéneos
Nombre del congreso: XXIV Jornadas de Paralelismo (CEDI 2013)
Ámbito geográfico: Nacional
Tipo de participación: Participativo - Ponencia oral (comunicación oral)
Ciudad de celebración: Madrid, España
Fecha de celebración: 17/09/2013
M. Ortín-Obón, D. Suárez-Gracia, M. Villarroja-Gaudó, C. Izu And V. Viñals-Yúfera.
- 12 Título del trabajo:** Characterization and Cost-Efficient Selection of NoC Topologies for General Purpose CMPs
Nombre del congreso: INA-OCMC 2013 -7th International Workshop on Interconnection Network Architectures: ON-Chip, Multi-Chip
Ámbito geográfico: Internacional no UE
Tipo de participación: Participativo - Ponencia oral (comunicación oral)
Ciudad de celebración: Berlin, Alemania
Fecha de celebración: 23/01/2013
Publicación en acta congreso: Si

M. Ortín, A. Ferrerón, J. Alberti Cio, D. Suárez, M. Villarroya-Gaudó, C. Izu, V. Viñals. "Characterization and Cost-Efficient Selection of NoC Topologies for General Purpose CMPs". pp. null. 2013.

13 Título del trabajo: Behaviour Characterization of the PARSEC Benchmark Suite in the Processor's Memory Hierarchy

Nombre del congreso: 7th International Conference on High-Performance and Embedded Architectures and Compilers (HiPEAC 2012)

Ámbito geográfico: Internacional no UE

Tipo de participación: Participativo - Póster

Ciudad de celebración: París, Francia

Fecha de celebración: 16/01/2012

M. Ortín, J. Albericio, M. Villarroya, D. Suárez And V. Viñals,.

14 Título del trabajo: A comparison of Cache Hierarchies for SMT processors

Nombre del congreso: XXII Jornadas de Paralelismo

Ámbito geográfico: Nacional

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: La Laguna, España

Fecha de celebración: 07/09/2011

Publicación en acta congreso: Si

Suárez Gracia, Darío; Monreal Arnal, Teresa; Viñals Yúfera, Víctor. "Actas de las XXII Jornadas de Paralelismo". pp. null. 2011.

15 Título del trabajo: An Adaptive Controller to Save Dynamic Energy in LP-NUCA

Nombre del congreso: XXII Jornadas de Paralelismo

Ámbito geográfico: Nacional

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: La Laguna, España

Fecha de celebración: 07/09/2011

Publicación en acta congreso: Si

Suárez Gracia, Darío; Monreal Arnal, Teresa; Viñals Yúfera, Víctor. "Actas de las XXII Jornadas de Paralelismo". pp. null. 2011.

16 Título del trabajo: Processor energy and temperature in computer architecture courses: a hands-on approach

Nombre del congreso: Workshop on Computer Architecture Education (WCAE'09). In conjunction with The 42nd Int. Symp. on Microarchitecture

Ámbito geográfico: Internacional no UE

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: Nueva York, Estados Unidos de América

Fecha de celebración: 14/12/2009

Publicación en acta congreso: Si

Gutierrez Verde, Sergio; Benedi Sanchez, Octavio; Suarez Gracia, Darío; Herrero Marin, Jose Maria; Viñals Yúfera, Victor. "Processor energy and temperature in computer architecture courses: a hands-on approach". En: Proceedings of the 2009 Workshop on Computer Architecture Education. pp. 1 - 9. 2009.

17 Título del trabajo: Nanotubos de Carbono para conexiones en Caches: Arquitecturas más allá del CMOS

Nombre del congreso: XX Jornadas de Paralelismo

Ámbito geográfico: Nacional

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: La Coruña, España

Fecha de celebración: 01/09/2009

J. Ortiz, D. Suárez, V. Viñals y M. Villarroja-Gaudó.

18 Título del trabajo: Forge: A Multi-purpose Platform for Measuring Energy and Temperature in Commodity PCs

Nombre del congreso: XX Jornadas de Paralelismo

Ámbito geográfico: Nacional

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: La Coruña, España

Fecha de celebración: 01/09/2009

Publicación en acta congreso: Si

Gutierrez Verde, Sergio; Benedi Sanchez, Octavio; Suarez Gracia, Darío; Herrero Marin, Jose Maria; Viñals Yúfera, Victor. "Actas de las XX Jornadas de Paralelismo". pp. null. 2009.

19 Título del trabajo: Nanotubos de Carbono para Conexiones en Cachés: Arquitecturas más allá del CMOS

Nombre del congreso: XX Jornadas de Paralelismo

Ámbito geográfico: Nacional

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: La Coruña, España

Fecha de celebración: 01/09/2009

Publicación en acta congreso: Si

Ortiz, Jaime; Suárez Gracia, Darío; Viñals, Víctor; Villarroja, María. "Actas de las XX Jornadas de Paralelismo". 1, pp. null. 2009.

20 Título del trabajo: Improving performance by merging cache levels

Nombre del congreso: XVIII Jornadas de Paralelismo (CEDI 2007)

Ámbito geográfico: Nacional

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: Zaragoza, España

Fecha de celebración: 01/09/2007

Forma de contribución: Libro o monografía científica

Suárez Gracia, Darío; Monreal Arnal, Teresa; Viñals Yúfera, Víctor. "Actas de las XVIII Jornadas de Paralelismo (II Congreso Español de Informática, CEDI 2007)". 2007. ISBN 978-84-9732-593-6

21 Título del trabajo: Forge: A Multi-purpose Platform for Measuring Energy and Temperature in Commodity PCs

Nombre del congreso: XVIII Jornadas de Paralelismo (CEDI 2007)

Ámbito geográfico: Nacional

Tipo de participación: Participativo - Ponencia oral (comunicación oral)

Ciudad de celebración: Zaragoza, España

Fecha de celebración: 01/09/2007

Forma de contribución: Libro o monografía científica

Gutierrez Verde, Sergio; Benedi Sanchez, Octavio; Suarez Gracia, Darío; Herrero Marin, Jose Maria; Viñals Yúfera, Victor. "Actas de las XVIII Jornadas de Paralelismo (II Congreso Español de Informática, CEDI 2007)". 2007. ISBN 978-84-9732-593-6

Gestión de I+D+i y participación en comités científicos

Comités científicos, técnicos y/o asesores

Título del comité: asesor externo

Entidad de afiliación: Entidad Pública Aragonesa de Servicios Telemáticos

Ciudad entidad afiliación: Zaragoza, España

Fecha de inicio-fin: 01/01/2008 - 31/12/2008

Organización de actividades de I+D+i

- 1** **Título de la actividad:** 34rd IEEE International Parallel and Distributed Symposium
Tipo de actividad: Conferencia internacional **Ámbito geográfico:** Internacional
Modo de participación: comité de programa
Fecha de inicio-fin: 18/05/2020 - 22/05/2020 **Duración:** 5 días
- 2** **Título de la actividad:** International Workshop on Exploitation of High Performance Heterogeneous Architectures
Tipo de actividad: Workshop **Ámbito geográfico:** Internacional
Modo de participación: Organizador
Nº de asistentes: 15
Fecha de inicio-fin: 15/07/2019 - 19/07/2019 **Duración:** 5 días
- 3** **Título de la actividad:** 33rd IEEE International Parallel and Distributed Symposium
Tipo de actividad: Conferencia internacional **Ámbito geográfico:** Internacional
Modo de participación: comité de programa
Fecha de inicio-fin: 20/05/2019 - 24/05/2019 **Duración:** 5 días
- 4** **Título de la actividad:** Programación y Arquitectura de Sistemas Heterogéneos
Tipo de actividad: Curso de Verano **Ámbito geográfico:** Nacional
Modo de participación: Director
Nº de asistentes: 35
Fecha de inicio-fin: 10/09/2018 - 11/09/2018 **Duración:** 2 días
- 5** **Título de la actividad:** International Workshop on Exploitation of High Performance Heterogeneous Architectures
Tipo de actividad: Workshop **Ámbito geográfico:** Internacional
Modo de participación: Organizador
Nº de asistentes: 15
Fecha de inicio-fin: 16/07/2018 - 20/07/2018 **Duración:** 5 días
- 6** **Título de la actividad:** Qualcomm Innovation Fellowship (QInF)
Tipo de actividad: QInF es un programa de becas de la empresa Qualcomm **Ámbito geográfico:** Nacional
Modo de participación: area chair
Nº de asistentes: 100
Fecha de inicio-fin: 01/10/2014 - 01/09/2015 **Duración:** 11 meses - 1 día

Gestión de I+D+i

Nombre de la actividad: Miembro de la comisión académica de doctorado del Departamento de Informática e Ingeniería de Sistemas

Tipología de la gestión: universitaria-departamental

Ciudad entidad realización: Zaragoza, España

Entidad de realización: Universidad de Zaragoza

Fecha de inicio: 19/09/2016

Tareas concretas: Aprobación proyectos tesis, admisión estudiantes doctorado, becas de colaboración, ...

Evaluación y revisión de proyectos y artículos de I+D+i

1 Nombre de la actividad: IEEE MICRO, Microprocessors and Microsystems, ITiCSE, SIGCSE, ...

Funciones desempeñadas: revisor

Ciudad entidad realización: España

Modalidad de actividad: Revisión de artículos en revistas científicas o tecnológicas

Frecuencia de la actividad: 20

Fecha de inicio-fin: 01/01/2008 - 01/01/2020

2 Nombre de la actividad: Tribunal de Trabajo Fin de Grado

Funciones desempeñadas: Suplente y Secretario

Entidad de realización: Escuela de Ingeniería y Arquitectura

Ciudad entidad realización: Zaragoza, España

Modalidad de actividad: Participación en tribunales

Frecuencia de la actividad: 20

Fecha de inicio-fin: 01/10/2015 - 15/09/2017

3 Nombre de la actividad: Tesis doctoral de Marta Ortín Obón

Funciones desempeñadas: Secretario

Entidad de realización: Universidad de Zaragoza

Ciudad entidad realización: Zaragoza, España

Modalidad de actividad: Participación en tribunales

Frecuencia de la actividad: 1

Fecha de inicio-fin: 04/02/2016 - 04/02/2016

Otros méritos

Estancias en centros de I+D+i públicos o privados

1 Entidad de realización: Bigstream

Ciudad entidad realización: Mountain View, CA, Estados Unidos de América

Fecha de inicio-fin: 25/06/2018 - 27/07/2018

Duración: 1 mes - 3 días

Entidad financiadora: Bigstream

Objetivos de la estancia: Invitado/a

2 Entidad de realización: Eonite Perception

Ciudad entidad realización: Palo Alto, Estados Unidos de América

Fecha de inicio-fin: 15/06/2016 - 05/09/2017

Duración: 1 año - 2 meses - 21 días



Entidad financiadora: Eonite Perception

Objetivos de la estancia: Invitado/a

3 Entidad de realización: Eonite Perception

Ciudad entidad realización: Palo Alto, Estados Unidos de América

Fecha de inicio-fin: 14/07/2017 - 15/08/2017

Duración: 1 mes - 2 días

Entidad financiadora: Eonite Perception

Objetivos de la estancia: Invitado/a

4 Entidad de realización: Qualcomm Research Silicon Valley

Ciudad entidad realización: Santa Clara, Estados Unidos de América

Fecha de inicio-fin: 01/10/2012 - 04/09/2015

Duración: 2 años - 11 meses - 4 días

Entidad financiadora: Qualcomm

Objetivos de la estancia: Contratado/a

5 Entidad de realización: FORTH

Ciudad entidad realización: Heraklion, Grecia

Fecha de inicio-fin: 12/07/2009 - 15/10/2009

Duración: 3 meses - 4 días

Entidad financiadora: HIPEAC EU ICT-217068

Nombre del programa: Collaboration Grant

Objetivos de la estancia: Doctorado/a

6 Entidad de realización: University of Illinois

Ciudad entidad realización: Urbana-Champaign, Estados Unidos de América

Fecha de inicio-fin: 01/03/2008 - 01/07/2008

Duración: 4 meses - 1 día

Entidad financiadora: Ministerio de Educación y Ciencia

Nombre del programa: Formación de Personal Investigador para el año 2008

Objetivos de la estancia: Contratado/a

7 Entidad de realización: University of Toronto

Ciudad entidad realización: Toronto, Canadá

Fecha de inicio-fin: 01/02/2007 - 01/08/2007

Duración: 6 meses - 1 día

Entidad financiadora: Ministerio de Educación y Ciencia

Nombre del programa: Formación de Personal Investigador para el año 2007

Objetivos de la estancia: Doctorado/a

Períodos de actividad investigadora

Nº de tramos reconocidos: 1

Entidad acreditante: Convenio CNEAI

Fecha de obtención: 06/06/2018

Resumen de otros méritos

- 1 Descripción del mérito:** Donaciones de Hardware y Software por parte de Intel/Altera, NVIDIA y Xilinx
Fecha de concesión: 01/01/2017

- 2 Descripción del mérito:** Participación en Proyecto Tutor
Participación en el proyecto tutor en los cursos 09/10, 10/11 y 16/17.
Fecha de concesión: 01/10/2009

- 3 Descripción del mérito:** Participación en Proyectos de Innovación Docente
Participación en 8 proyectos de innovación docente, varios de ellos con financiación.
Fecha de concesión: 01/01/2009

- 4 Descripción del mérito:** Best Paper Award Workshop on Computer Architecture Education 2007
Fecha de concesión: 10/06/2007

- 5 Descripción del mérito:** Asistencia a cursos de formación docente
Fecha de concesión: 01/01/2007

- 6 Descripción del mérito:** Resultados Evaluaciones Docentes
2017/2018 Positiva destacada
2016/2017 Positiva destacada
2015/2016 Positiva Destacada
2010/2011 Positiva Destacada
2009/2010 Positiva Destacada
2008/2009 Positiva
2007/2008 Positiva
Fecha de concesión: 01/01/2007

- 7 Descripción del mérito:** Lista de becas y ayudas competitivas obtenidas
Ayuda destinada a sufragar los gastos de doctorado. Gobierno de Aragón, el 9/12/2003.

Beca predoctoral asociada al proyecto TIC2001-0995-C02-02 desde 16/03/2004 hasta 27/12/2004

Ayuda destinada a la formación del personal investigador del Gobierno de Aragón, duración 4 años, 9 de Febrero de 2005.

Beca predoctoral de Formación de Personal Investigador, FPI, desde 01/08/2005 hasta 31/07/2009

Adaptive Data Caches. Ayuda competitiva para colaborar con el Prof. Andreas Moshovos. HiPEAC. Cuantía 5000 €, año 2007.

VLSI implementation of Light NUCAs. Ayuda competitiva para colaborar con el Prof. Manolis Katevenis. HiPEAC, año 2009.

Memory Hierarchies in complex SoC: the Snapdragon Case. Ayuda competitiva para visitar Qualcomm Research Silicon Valley. HiPEAC, año 2011.

Fecha de concesión: 09/12/2003