



Informe No. 1 Comparacion de Tecnologia CMOS y TTL

Juan Jose Gutiérrez Ariza¹, Kevin Andrés
Alarcón Niño², Oscar Andres Guzman
Vasquez³

¹jgutierrezari@unal.edu.co

²kalarconn@unal.edu.co

³oguzmanv@unal.edu.co

PARAMETER	TEST CONDITIONS †	SN54LS04		SN74LS04		UNIT
		MIN	TYP ‡	MIN	TYP ‡	
V _{IK}	V _{CC} = MIN, I _I = -18 mA		-1.5		-1.5	V
V _{OH}	V _{CC} = MIN, V _{IL} = MAX, I _{OH} = -0.4 mA	2.5	3.4	2.7	3.4	V
V _{OL}	V _{CC} = MIN, V _{IH} = 2 V, I _{OL} = 4 mA	0.25	0.4		0.4	V
	V _{CC} = MIN, V _{IH} = 2 V, I _{OL} = 8 mA			0.25	0.5	
I _I	V _{CC} = MAX, V _I = 7 V		0.1		0.1	mA
I _{IH}	V _{CC} = MAX, V _I = 2.7 V		20		20	μA
I _{IL}	V _{CC} = MAX, V _I = 0.4 V		-0.4		-0.4	mA
I _{OS} §	V _{CC} = MAX	-20	-100	-20	-100	mA
I _{OCH}	V _{CC} = MAX, V _I = 0 V	1.2	2.4	1.2	2.4	mA
I _{OCL}	V _{CC} = MAX, V _I = 4.5 V	3.6	6.6	3.6	6.6	mA

Figura 2: Características Negador TTL

I. GUIA

I-A. Objetivo

Identificar las características de un dispositivo fabricado en diferentes tecnologías. (CMOS y TTL).

CHARACTERISTIC	CONDITIONS V _{DD} V	LIMITS		UNITS
		Typ.	Max.	
Propagation Delay Time, t _{PLH} , t _{PHL}	5	55	110	ns
	10	30	60	
	15	25	50	
Transition Time, t _{THL} , t _{TLH}	5	100	200	ns
	10	50	100	
	15	40	80	
Input Capacitance, C _{IN}	Any Input	10	15	pF

Figura 3: Input Negador CMOS

I-B. Implementos

- Negador TTL 74LS04
- Negador CMOS CD4069
- Simulador

II. PROCEDIMIENTO

II-A. Parte 1

- Comparar las especificaciones técnicas de cada uno de los dispositivo mencionados utilizando los Datasheets de cada uno de los negadores, analizando las características de los mismos.

	SN54LS04			SN74LS04			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH} High-level input voltage	2			2			V
V _{IL} Low-level input voltage			0.7			0.8	V
I _{OH} High-level output current			-0.4			-0.4	mA
I _{OL} Low-level output current			4			8	mA
T _A Operating free-air temperature	-55		125	0		70	°C

Figura 1: Input Negador TTL

CHARACTER- ISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)								UNITS
								+25				
	V _O (V)	V _{IN} (V)	V _{DD} (V)	-55	-40	+85	+125	Min.	Typ.	Max.		
Quiescent Device Current, IDD Max.	—	0.5	5	0.25	0.25	7.5	7.5	—	0.01	0.25	μA	
	—	0.10	10	0.5	0.5	15	15	—	0.01	0.5		
	—	0.15	15	1	1	30	30	—	0.01	1		
	—	0.20	20	5	5	150	150	—	0.02	5		
Output Low (Sink) Current IOL Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA	
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—		
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—		
Output High (Source) Current, IOH Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	mA	
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—		
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—		
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—		
Output Voltage: Low-Level, VOL Max.	—	5	5	0.05			—			0	0.05	V
	—	10	10	0.05			—			0	0.05	
	—	15	15	0.05			—			0	0.05	
Output Voltage: High-Level, VOH Min.	—	0	5	4.95			4.95			5	—	V
	—	0	10	9.95			9.95			10	—	
	—	0	15	14.95			14.95			15	—	
Input Low Voltage, VIL Max.	4.5	—	5	1			—			—	1	V
	9	—	10	2			—			—	2	
	13.5	—	15	2.5			—			—	2.5	
Input High Voltage, VIH Min.	0.5	—	5	4			4			—	—	V
	1	—	10	8			8			—	—	
Input Current IIN Max.	1.5	—	15	12.5			12.5			—	—	μA
		0.18	18	±0.1	±0.1	±1	±1	—	±10 ⁻⁵	±1		

Figura 4: Características Negador CMOS

- Determinar el circuito equivalente para cada uno de los dispositivos.
Apoyándonos en el respectivo datasheet se obtuvo:

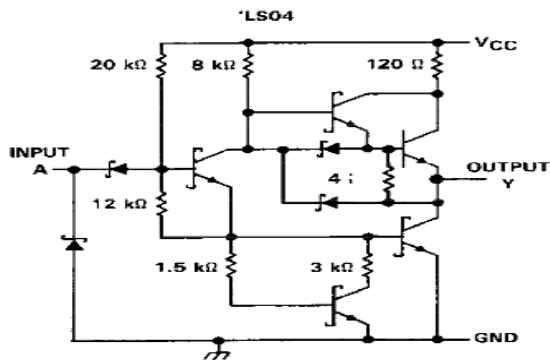


Figura 5: Circuito Equivalente TTL

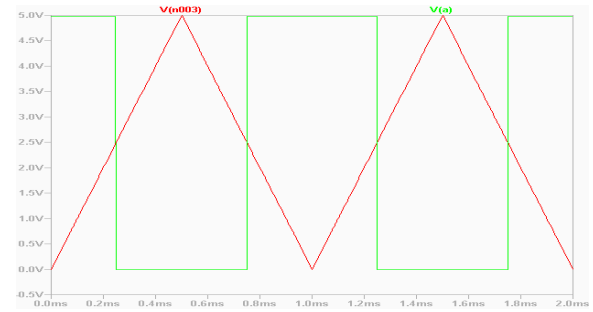


Figura 8: Comparacion Entrada y Salida Circuito TTL

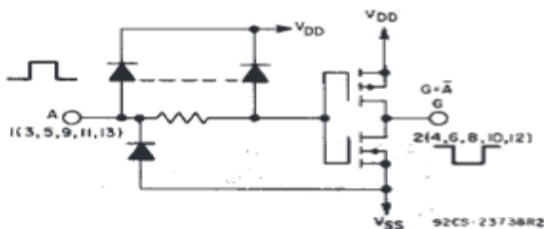


Figura 6: Circuito Equivalente CMOS

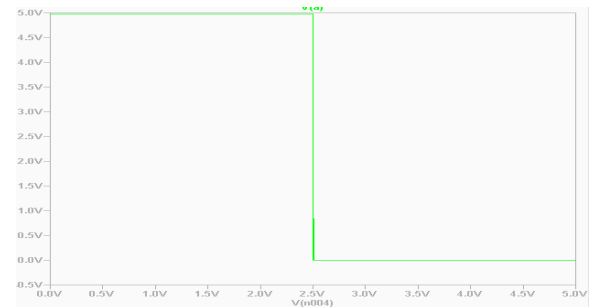


Figura 9: Funcion de Transferencia Circuito TTL

- Aplicar una señal triangular de 1 KHz de tensión adecuada para medir: V_{out} vs V_{in} y a partir de estos gráficos Determinar: V_{iH} , V_{iL} , V_{oH} y V_{oL}
NOTA: Se realizó la modificación de la onda dado las indicaciones del docente dadas en clase.

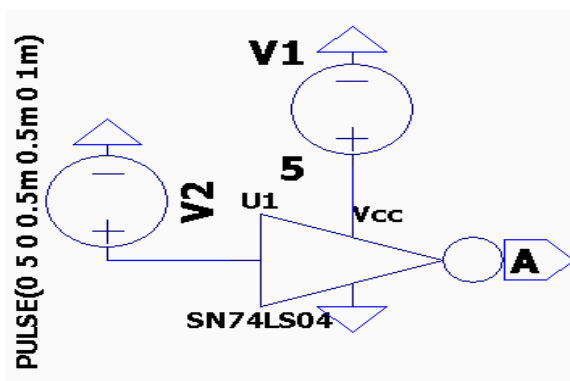


Figura 7: Simulacion Circuito TTL

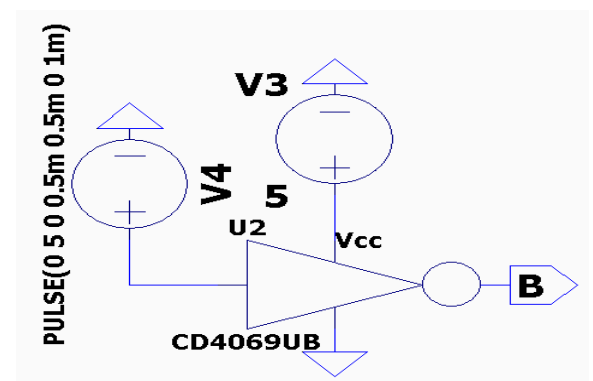


Figura 10: Simulacion Circuito CMOS

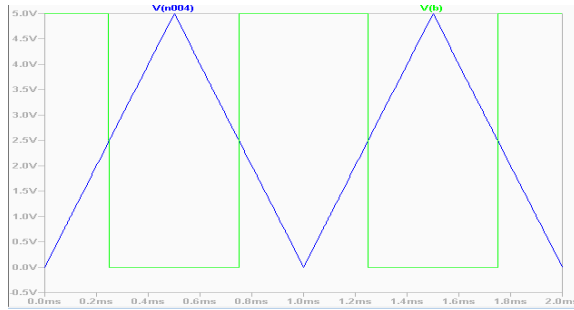


Figura 11: Comparacion Entrada y Salida Circuito CMOS

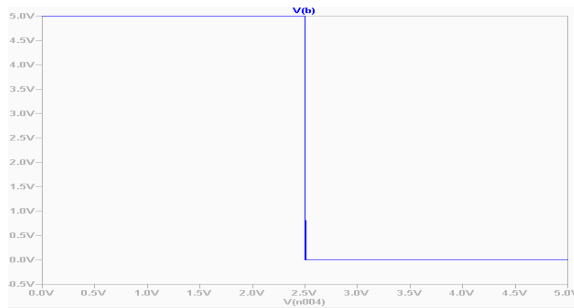


Figura 12: Funcion de Transferencia Circuito CMOS

II-B. Parte 2

- Determinar el fan-in y fan-out de cada uno de los dispositivos.
- Proponer e implementar un circuito de entrada y de salida para cada uno de los dispositivos teniendo en cuenta los parámetros de cada tecnología para observar el comportamiento del mismo. **Fan-out:** Para su determinación se usó una expresión matemática que relaciona la corriente máxima a la que una compuerta puede trabajar sin distorsionar la señal de salida sobre la corriente que requiere una *unidad de carga*.

$$\text{Carga unidad} = \frac{I_{OL}}{I_{IL}}$$

Figura 13: Ecuación Fan Out (Tomado de: Fundamentos de Sistemas Digitales por : Thomas L Floyd. Novena Edicion, Editorial PRENTICE-HALL.

Cabe aclarar que tanto para el nivel *bajo* como para el nivel *alto* existen distintos Fan-out, puesto que las corrientes no son las mismas.

- **TTL** Para el negador 74LS04 primeramente se harán los cálculos para el estado *alto* utilizando la información brindada por el fabricante en el Datasheet. Por un lado, se puede observar en la figura 1 que la corriente máxima de salida I_{OH} es de 0,4mA, por otro lado, la corriente que se requiere de entrada I_{ih} es 20uA como se puede observar en la figura 2. Entonces:

$$\text{Fan-out}_{\text{alto}} = \frac{I_{OH} (\text{máx})}{I_{IH} (\text{una entrada})}$$

Sustituyendo los valores del **Negador TTL 74LS04:**

$$\text{Fan-out}_{\text{alto}} = \frac{0,4 \text{ mA}}{20 \mu\text{A}} = \frac{400 \mu\text{A}}{20 \mu\text{A}} = 20$$

Por lo tanto, el **Fan-out en estado alto** del 74LS04 es:

$$\text{Fan-out}_{\text{alto}} = 20$$

Ahora, para el estado *bajo* del negador, se tomarán los datos de I_{OL} e I_{il} de las figuras 1 y 2, teniendo estos parámetros los valores de 8mA y 0,4mA.

Entonces:

$$\text{Fan-out}_{\text{bajo}} = \frac{I_{OL} (\text{máx})}{I_{IL} (\text{una entrada})}$$

Sustituyendo los valores del **Negador TTL 74LS04:**

$$\text{Fan-out}_{\text{bajo}} = \frac{8 \text{ mA}}{0,4 \text{ mA}} = 20$$

Por lo tanto, el **Fan-out en estado bajo** del 74LS04 es:

$$\text{Fan-out}_{\text{bajo}} = 20$$

Como se puede evidenciar, el Fan-out general del negador TTL es de 20

Simulación del Fan-out TTL

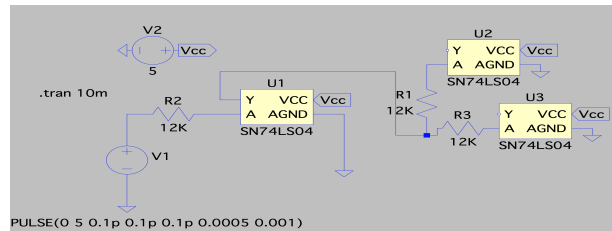


Figura 14: Simulación compuerta TTL con dos unidades de carga

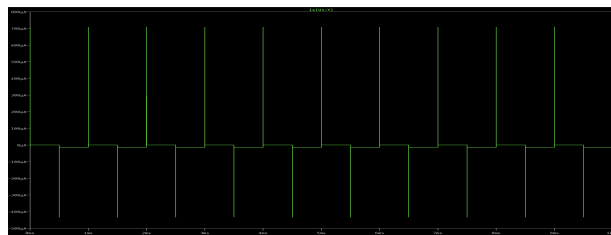


Figura 15: Simulación compuerta TTL salida corriente

En esta sección se presenta el análisis de los resultados obtenidos mediante la simulación del fan-out de una compuerta TTL *SN74LS04*. Para ello, se conectaron sucesivamente diferentes unidades de carga a la salida de la compuerta y se midió la corriente requerida para cada configuración. A continuación, se presentan los datos obtenidos:

Unidades de Carga (x)	Corriente (y(x)) [A]
1	0.000386909
2	0.000453422
5	0.000678182
12	0.000828296
20	0.000881166
25	0.0009011

Tabla I: Datos de la simulación del fan-out de la compuerta TTL SN74LS04.

Se observa que a medida que se conectan más unidades de carga, la corriente requerida por la compuerta aumenta; este comportamiento coincide con el es esperado, pues cada unidad de carga adicional representa una mayor demanda sobre la capacidad de salida de la compuerta.

De acuerdo con el fan-out de 20 teórico, la compuerta debería ser capaz de alimentar hasta 20 unidades de carga sin superar los límites de corriente especificados. En la simulación realizada, los resultados muestran que, al conectar 20 unidades de carga, la corriente sigue aumentando, pero de forma más gradual. Esto refleja el comportamiento esperado, ya que al llegar a este número de unidades de carga, la corriente aumenta significativamente menos.

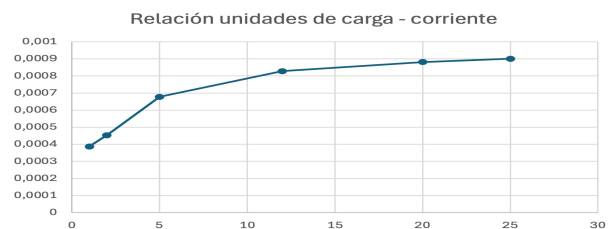


Figura 16: Gráfica de Unidades de carga contra corriente (en amperios A) de la compuerta TTL

CMOS CD4069UB

Fan-out: Al igual que en el caso de la compuerta TTL, para determinar el fan-out de la compuerta CMOS *CD4069UB*, se utilizó una expresión matemática que relaciona la corriente máxima a la que la compuerta puede operar sin distorsionar la señal de salida y la corriente requerida por una unidad de carga.

Primero se calcula el fan-out para el estado *alto*, utilizando los parámetros proporcionados por el fabricante en el datasheet. Según el datasheet, la corriente máxima de salida en estado alto (I_{OH}) es de 0,8 mA, y la corriente de entrada requerida (I_{IH}) es de 1 μ A, como se muestra en la figura 4.

Entonces, el fan-out resultante es:

$$\text{Fan-out}_{\text{alto}} = \frac{I_{\text{OH (máx)}}}{I_{\text{IH (una entrada)}}$$

$$\text{Fan-out}_{\text{alto}} = \frac{0,8 \text{ mA}}{1 \mu\text{A}} = \frac{800 \mu\text{A}}{1 \mu\text{A}} = 800$$

Por lo tanto, el **Fan-out** en estado alto de la compuerta *CD4069UB* es de 800.

Ahora, para el estado *bajo* del negador, tomamos los datos de I_{OL} e I_{IL} del datasheet, que tienen los valores de 6,8 mA y 1 μ A, respectivamente.

Entonces:



$$\text{Fan-out}_{\text{bajo}} = \frac{I_{OL} (\text{máx})}{I_{IL} (\text{una entrada})}$$

$$\text{Fan-out}_{\text{bajo}} = \frac{6,8 \text{ mA}}{1 \mu\text{A}} = \frac{6800 \mu\text{A}}{1 \mu\text{A}} = 6800$$

Por lo tanto, el **Fan-out** en estado bajo del *CD4069UB* es de 6800. Siendo el fan-out general el de 800, puesto que es la codición crítica para el funcionamiento de la compuerta

Simulación del Fan-out:

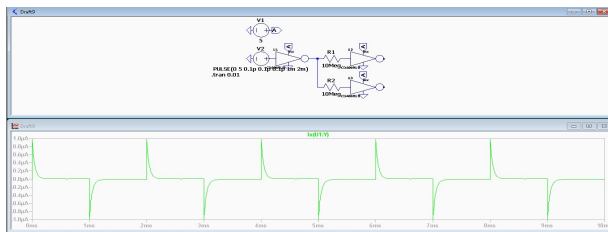


Figura 17: Simulación compuerta CMOS con dos unidades de carga

Se conectaron unidades de carga en serie con una resistencia de 10M ohmios para modelar la resistencia interna de las unidades de carga, realizándose mediciones de la corriente solicitada en la compuerta a medida que se iban conectando diferentes números de unidades de carga; los resultados obtenidos fueron interpolados para aproximar los valores correspondientes al fan-out teórico de 800 y 6800. A continuación se muestra la tabla con los datos obtenidos de la simulación, donde la primera columna representa el número de unidades de carga (x) y la segunda columna muestra la corriente medida solicitada por la compuerta ($y(x)$):

Unidades de carga (x)	Corriente medida (y(x)) [A]
1	0,0000005
2	0,000001
4	0,000002
5	0,0000025
10	0,000005
15	0,000008
20	0,00001
25	0,000014
30	0,000015
40	0,00002
50	0,000025

Interpolación de los Datos

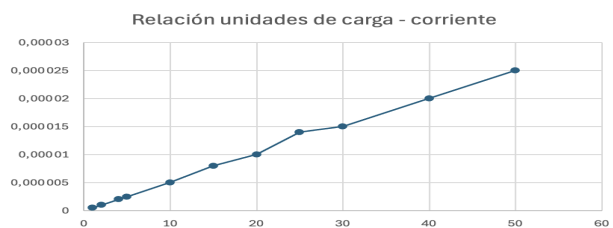


Figura 18: Gráfica de Unidades de carga contra corriente (en amperios A) de la compuerta CMOS

A través de una función de interpolación en Excel (usando la función `PRONOSTICO`), se calcularon los valores de corriente solicitada correspondientes a los fan-out teóricos de 800 y 6800 unidades de carga. Los valores interpolados obtenidos son los siguientes:

$$y(800) = 0,000402589 \text{ A}$$

$$y(6800) = 0,003421065 \text{ A}$$

II-C. Parte 3

- Estudie el oscilador en anillo basado en la compuerta NOT.

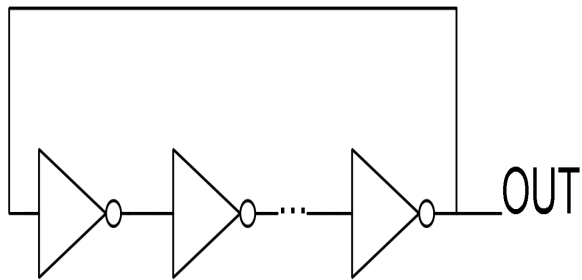


Figura 19: Oscilador en anillo

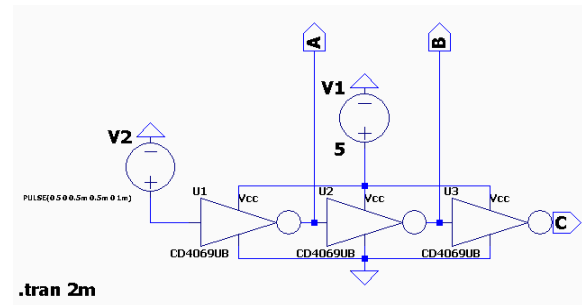


Figura 22: Oscilador en Anillo Triple

- Monte dos diferentes osciladores en anillo con el negador CMOS.

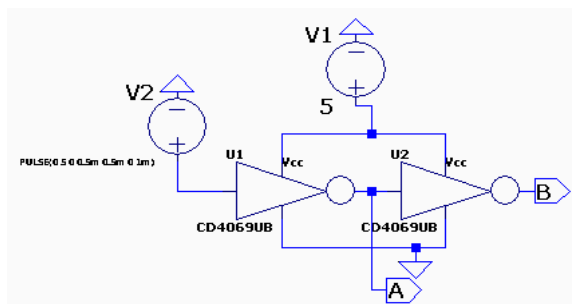


Figura 20: Oscilador en Anillo Doble

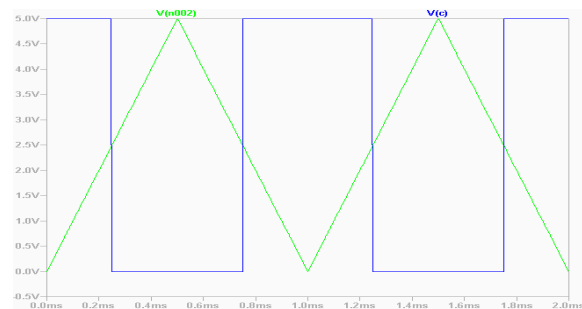


Figura 23: Entrada y Salida Oscilador Triple

- Observe de cada uno de ellos la forma de onda como su frecuencia de oscilación.

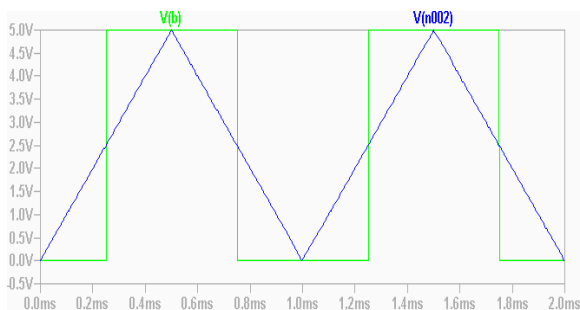


Figura 21: Entrada y Salida Oscilador Doble

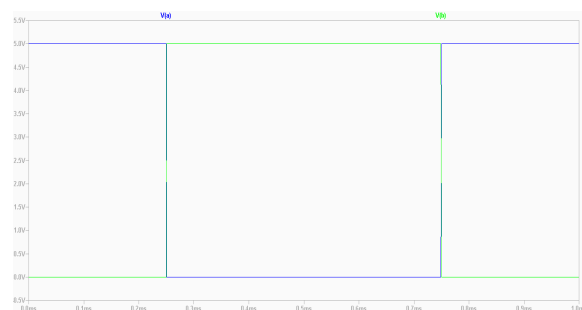


Figura 24: Salidas Oscilador Doble

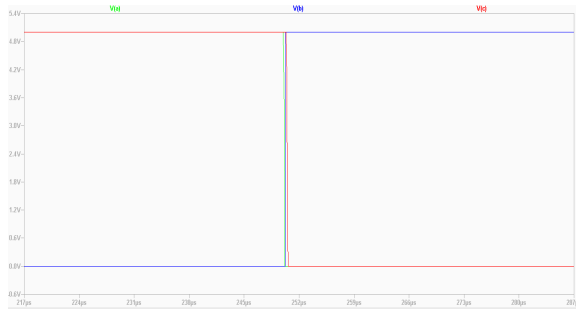


Figura 25: Salidas Oscilador Triple

- Realice una comparación entre ambos osciladores según lo observado.

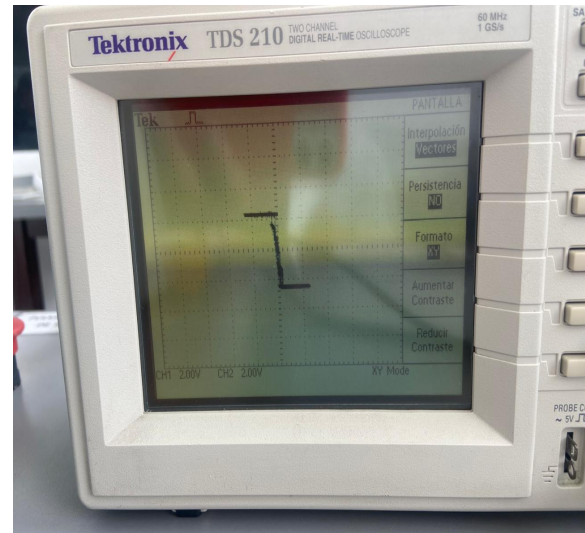


Figura 27: Función de Transferencia TTL

III. RESULTADOS

III-A. Parte 1

1. TTL

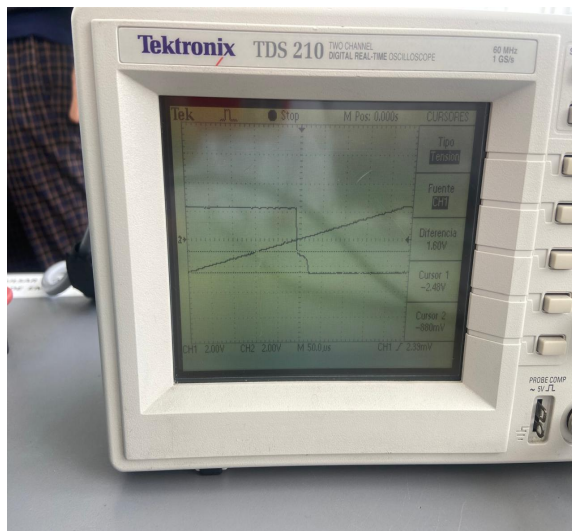


Figura 26: Vin vs Vout TTL

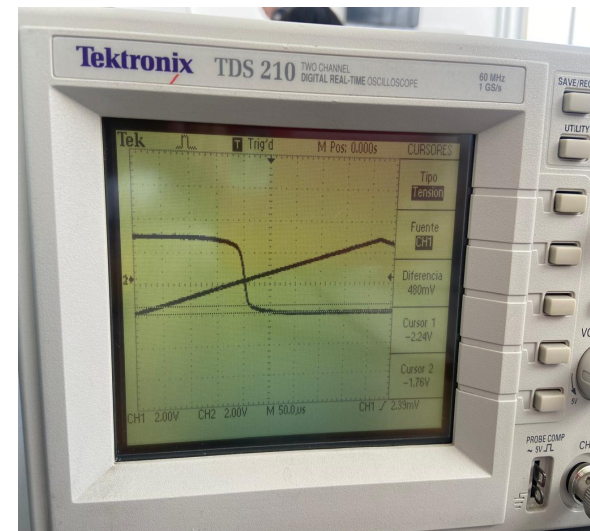


Figura 28: Vin vs Vout CMOS

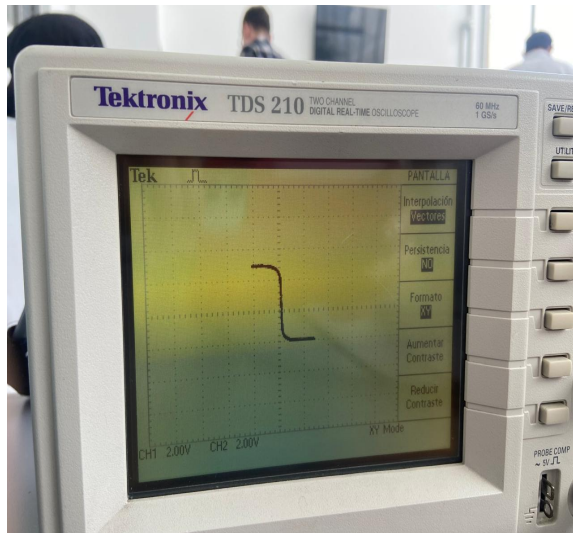


Figura 29: Función de Transferencia CMOS

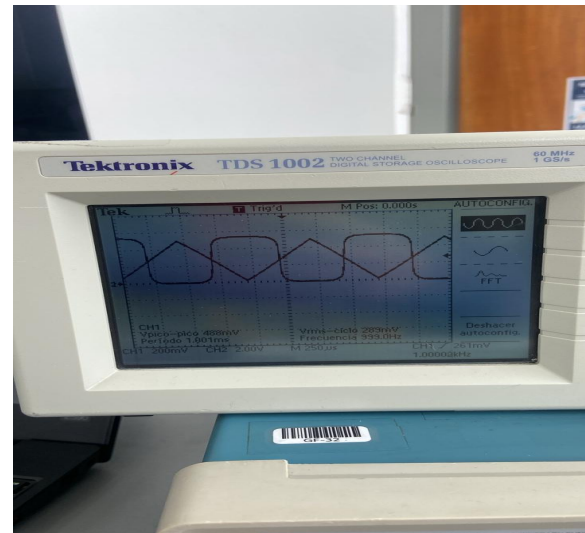


Figura 31: CMOS 1 Anillo

3. TIEMPO BAJADA CMOS

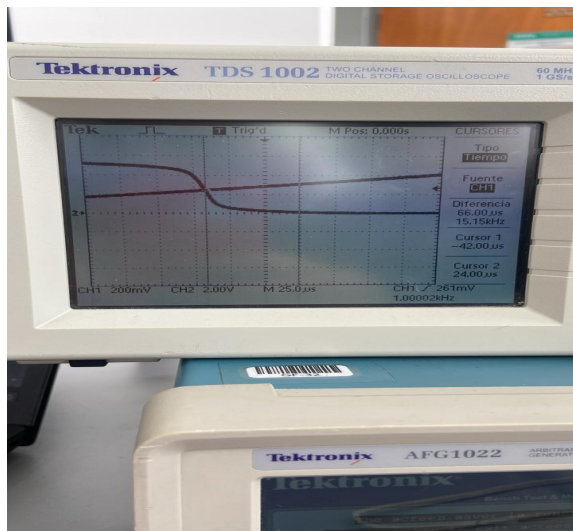


Figura 30: Tiempo de Bajada CMOS

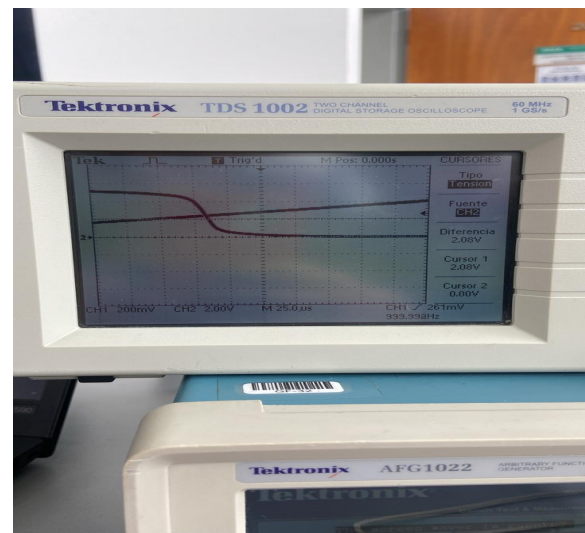


Figura 32: CMOS 1 Anillo

III-B. Parte 3

4. CMOS 1 ANILLO

5. CMOS 2 ANILLOS

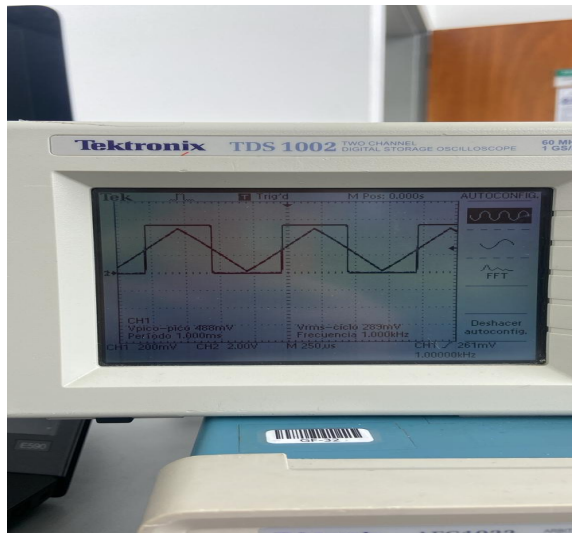


Figura 33: CMOS 2 Anillo

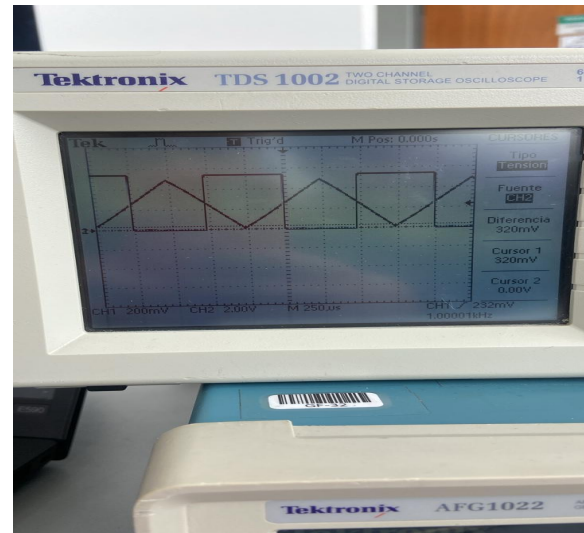


Figura 35: CMOS 3 Anillo

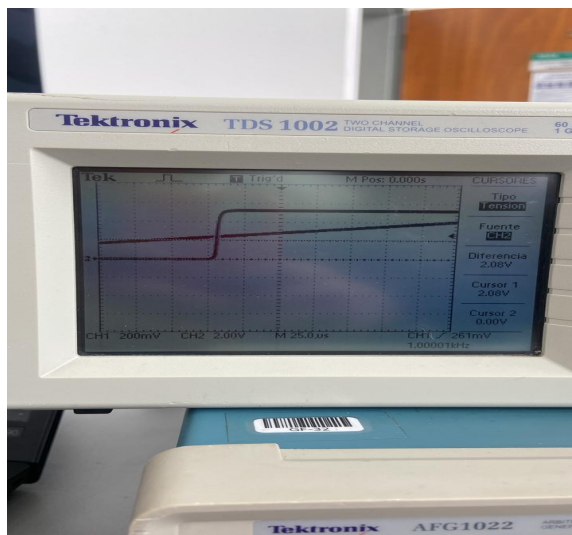


Figura 34: CMOS 2 Anillo



Figura 36: CMOS 3 Anillo

IV. ANALISIS

IV-A. Parte 1

1. Tanto el TTL 74LS04 y el CMOS CD4069 son circuitos integrados con compuertas lógicas negadoras (NOT), se diferencian en su tecnología de fabricación, sus características eléctricas y sus aplicaciones. Entre las cuales tenemos que:

6. CMOS 3 ANILLOS



- a) El 74LS04 funciona periódicamente con una alimentación de $5\text{ V} \pm 0,5\text{ V}$, mientras que el CD4069 tiene un rango más amplio, de 3 V a 15 V .
 - b) El 74LS04 consume más corriente debido a la naturaleza de la tecnología TTL (2 mA por puerta en reposo), mientras que el CD4069 consume mucho menos corriente ($1\text{ }\mu\text{A}$ en reposo, dependiendo del voltaje de alimentación).
 - c) El 74LS04 es más rápido, con tiempos de propagación típicos de 10 ns a 20 ns ; mientras que el CD4069 es más lento, con tiempos de propagación típicos de 50 ns a 200 ns dependiendo de la tensión de alimentación.
2. Los circuitos equivalentes de cada uno de los negadores fueron obtenidos por medio de los datasheets, comprobando de esta manera que el TTL es una configuración de transistores.
 3. Gracias a la comparación entre los voltajes de entrada y de salida de las compuertas, podemos evidenciar que:
 - Al comparar el V_{IH} dado por el datasheet, que tiene una magnitud de 2V , y luego de realizar la medición con el osciloscopio podemos ver que el rango de voltaje en el que la compuerta no puede distinguir entre un "0" y un "1" lógico es de $1,6\text{V}$

IV-B. Parte 2

La diferencia entre los resultados simulados y el fan-out teórico puede explicarse por varios factores:

TTL

- Resistencia interna de las unidades de carga: En la simulación se utilizó una resistencia en serie de 12 kohmios para modelar las unidades de carga. Esta resistencia introduce una limitación en la corriente que fluye hacia cada carga, lo cual puede hacer que los resultados simulados difieran de los valores teóricos esperados en un entorno ideal.
- Limitaciones del dispositivo: Aunque el fan-out teórico se calcula considerando los valores máximos especificados por el datasheet ($I_{OL,m\acute{a}x}$), en la práctica, las características físicas del dispositivo, como la impedancia de salida y la capacidad de los transistores internos, pueden reducir la capacidad real para entregar corriente a múltiples unidades de carga.

- Mediciones y aproximaciones: Las mediciones en la simulación están sujetas a los modelos SPICE utilizados, que pueden diferir ligeramente de las condiciones reales o ideales. Además, cualquier interpolación o aproximación en el análisis puede introducir discrepancias con los valores teóricos.

CMos

- Resistencia interna de las unidades de carga: La resistencia de 10 Mohmios utilizada en la simulación puede limitar la corriente que se puede entregar, lo que provoca que la compuerta no entregue toda la corriente que teóricamente sería capaz de manejar en un entorno ideal.
- Limitaciones del dispositivo: Aunque el fan-out teórico es muy alto, la capacidad real de la compuerta para manejar más unidades de carga se ve afectada por características físicas como la caída de tensión, la resistencia interna y la capacidad de los transistores en la compuerta CMOS.
- Mediciones y aproximaciones: Las mediciones experimentales siempre presentan ciertas variaciones y errores, lo que puede influir en la discrepancia entre los valores obtenidos en la simulación y los valores teóricos.

IV-C. Parte 3

1. Dado que el oscilador en anillo es la configuración en serie de un número N de negadores que en particular en este caso son CMOS, notamos como se va intercambiando el valor lógico cada vez que la señal atraviesa un negador, dando como resultado una oscilación de la misma, se ahí logramos concluir el nombre de esta configuración y su comportamiento, cabe resaltar que de manera lógica concluimos que si el N es un número par la configuración se comportará como un buffer y si N es impar la configuración se comportará como un circuito negador.
2. Se realizó el montaje de un oscilador de anillo con dos y con tres negadores CMOS.
3. En este apartado tanto como en simulaciones y en montaje notamos tres características diferentes, donde en las simulaciones notamos un desfase entre cada salida, no obstante se conservan características como la frecuencia de oscilación y amplitud. Ya en el apartado práctico se logró evidenciar como las salidas más cercanas a la señal de entrada (salida de los primeros negadores) presentaba una forma



de onda más ondulada/curva, y mediante mas se acercaba a la salida final la señal mejoraba considerablemente.

Cabe resaltar que en este montaje practico se emplearon resistencias de valor — entre los negadores, esto para evitar una sobrecarga de corriente entre los CMOS.

4. Ya comparando de manera general ambas configuraciones se noto como el análisis previo respecto a la salida final concuerda, ya que el oscilador doble funciona como buffer y el oscilador triple funciona como un negador, en ambos casos notamos una mejora en la señal de salida respecto a las primeras salidas o resultados obtenidos con un solo dispositivo CMOS, también notamos que el desfase a pesar de ser mínimo suponemos que a medida que se aumenten los negadores en serie el desfase entrada-salida aumentara.

V. CONCLUSIONES

- Basados en los datasheet fue posible comprobar los niveles de operación de los diferentes negadores y consigo las tecnologías implicadas en cada uno, concluyendo que si bien ambos son funcionales depende de la implementación deseada el cual usar, ya que cada uno provee diferentes ventajas y desventajas.
- El analisis de el fan-in y fan-out es necesario a tener en cuenta debido a las afectaciones que puede llegar a tener en nuestros diseños, ya que si cargamos mucho una salida es posible que esta se deforme dando como resultado una errónea entrada a los circuitos derivados de esta.
- Del oscilador en anillo fue posible comprobar otras metodologías de filtrado y una modificación rápida de una entrada, esto debido a que como lo notamos de manera practica el oscilador puede llegar a trabajar como buffer el cual ayuda a limpiar la señal de salida.
- De manera general se concluyo como las compuertas logicas pre-programadas pueden ser ampliamente usadas en circuitos simples, partiendo desde lo mas basico como switch a algo mas complejo como un buffer.

REFERENCIAS

- [1] D. Alberto “Diapositivas de clase” y “taller 1 señales y sistemas II”