

论文题目：容栅式数显卡尺专用芯片的设计

专 业：检测技术与自动化装置

硕 士 生：王媛媛

(签名) 王媛媛

指导教师：童军

(签名) 童军

摘 要

机械读数式游标卡尺作为基本测量工具已广泛应用于机械加工等行业，但是它读数不方便、精度低、功能单一，不能适应现代化机械加工的发展要求。由于容栅传感器具有结构简单、功耗低、抗干扰性强、无运动部件等优点，所以采用容栅传感器做成的数显卡尺重量轻、抗振动、功耗低、耐污染。随着电子技术的发展，尤其是超大规模集成电路（VLSI）技术的发展，可以将一种终端产品的所有功能都集成到一块芯片上，从而实现减少系统成本，提高性能，降低功耗，减小设备体积的目的。因此，基于微电子技术的数显卡尺具有体积小、输出阻抗小、可批量生产、重复性好、灵敏度高、工作温度范围宽、功耗低、寄生电容小等优点，近年来已得到广泛应用。

本文首先分析了容栅式数显卡尺各组成部分的工作原理，并采用模拟硬件描述语言 Verilog-A 对容栅传感器的结构及行为进行了建模与仿真，应用于芯片的数据处理。然后，根据容栅系统的性能要求，进行了逻辑电路的设计。主要介绍三部分重要电路的设计：采用电荷泵电路实现多电源电压的输出，达到降低芯片输入电源电压，最终实现降低芯片功耗的目的；数据采集与解调电路采用四个放大器轮流工作，对传感器的输出信号进行解调处理；采用鉴相电路来实现对传感器输入与输出信号相位偏差的判别。使用 Hspice 仿真软件对上述电路的功能进行了仿真验证。其次，采用 3 μ m CMOS 铝栅工艺，在 Cadence Virtuoso 版图设计软件中进行版图设计及物理验证。最后，对采用此专用集成电路芯片的容栅式数显卡尺进行实际应用测试。该芯片是一款高集成度、低功耗、数模混合的数显卡尺专用芯片，目前已经实现产品化，投放市场。

关 键 词：容栅传感器；数显卡尺；VLSI；CMOS

研究类型：应用研究

Subject : ASIC design for digital calipers with capacitive transducers

Specialty : Measurement Technology and Automation

Name : Wang Yuan yuan

(signature) Wang Yuan yuan

Instructor: Tong JUN

(signature) Tong JUN

ABSTRACT

As basic measuring tools, mechanical calipers have been widely used in manufacture industry. But its difficult reading, low accuracy and single function can not meet the need of modern manufacture. With the development of electronic technology it makes easier to integrate all functions of production into one chip, which can reduce cost and volume of system, increase capability, and decrease power dissipation. The digital calipers with advantages of small volume, small output impedance, high sensibility, wide temperature range, low power dissipation, little parasitic capacitance will be used more widely.

Firstly, displacement-measuring principle of digital calipers is analyzed and capacitive transducers model applied to data processing is presented with Verilog-A and simulated by Spectre. Secondly, logic circuits are designed to meet the demand of capacitive system, and three important parts of them are researched as follows: charge pump circuit is designed to reduce power dissipation. Demodulation circuit is designed to demodulate and magnify the output signals of capacitive transducers. Phase discriminator is designed to distinguish the different phase between input signal and output signal of capacitive transducers. Meanwhile, logic circuits above are simulated and validated by Hspice. Thirdly, layout based on 3 μ m CMOS Process is designed and checked. Finally, this novel chip with high integrity, low power dissipation and mixed signal tapes out and is sold in the market.

Key words: Capacitive transducers

Digital calipers

VLSI

CMOS

Thesis : Application Research

西安科技大学

学位论文独创性说明

本人郑重声明：所呈交的学位论文是我个人在导师指导下进行的研究工作及取得研究成果。尽我所知，除了文中加以标注和致谢的地方外，论文中不包含其他人或集体已经公开发表或撰写过的研究成果，也不包含为获得西安科技大学或其他教育机构的学位或证书所使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中做了明确的说明并表示了谢意。

学位论文作者签名：王媛媛 日期：2006. 4. 19

学位论文知识产权声明书

本人完全了解学校有关保护知识产权的规定，即：研究生在校攻读学位期间论文工作的知识产权单位属于西安科技大学。学校有权保留并向国家有关部门或机构送交论文的复印件和电子版。本人允许论文被查阅和借阅。学校可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。同时本人保证，毕业后结合学位论文研究课题再撰写的文章一律注明作者单位为西安科技大学。

保密论文待解密后适用本声明。

学位论文作者签名：王媛媛

指导教师签名：音昂

2006年 4月 19日

1 绪论

1.1 检测技术及集成电路发展的背景概述

1.1.1 检测技术的现状及发展趋势

当今时代是信息化的时代，各个领域常以信息的获取和利用为中心。在现代工业生产、仪器仪表高度自动化和信息管理现代化的过程中，已大量涌现出以计算机为核心的信息处理与过程控制相结合的实用检测系统。伴随着这种系统的发展，一些先进技术，如信息传感技术、数据处理技术以及计算机控制技术正在飞速发展并不断变革。综合其发展概况，主要有以下几方面发展趋势。

(1) 集成化与综合化

电子测量仪器、自动化仪表、智能检测系统、数据采集与控制系统过去分属于不同的学科领域，并各自独立发展。由于生产自动化的需求，使他们在发展中相互靠近，功能相互覆盖，差异缩小，体现为一种“信息流”综合管理与控制系统。

(2) 多功能化与智能化

智能化仪表或系统能随外界条件的变化，具有确定正确行动的能力。例如，智能化检测仪表能在被测参数变化时，自动选择测量方案，进行自校正、自检测、自诊断，还能进行远程设定、状态组合、信息存储、网络连接等，以获取最佳的测试结果。如采用实时动态建模技术、在线辨识技术等，根据专家系统中知识库、决策控制模式和控制策略，可取得优良的控制性能，能解决常规控制中不易实现的问题。

(3) 系统化及标准化

现代检测的任务，更多的涉及到系统的特征。所谓系统是指若干个相互具有内在关联的要素构成的一个整体，由它来完成规定的功能，以达到某一特定的目标。例如作为采集检测与控制用的前端机或仪表，它需要与生产设备的主机、辅机合成一体，相互建立通信联系，由此形成分布式数据采集系统，以适应系统开放、复杂工程及大系统的需要。在向系统化发展的同时，还涉及系统部件接口的标准化、系列化与模块化，以便形成通用的整体。

(4) 仪器虚拟化

随着微电子技术与计算机技术的飞速发展，检测技术与计算机深层次的结合正引起检测仪器领域里一场新的革命，一种全新的仪器结构概念导致新一代仪器—虚拟仪器的出现并走向实用。虚拟仪器 VI (Virtual Instrument) 是随着计算机技术和现代测量技术的发展而产生的一种新型高科技产品，代表着当今仪器发展的新方向。VI 是利用现有

的微型计算机，加上特殊设计的仪器硬件和专用软件，形成既有普通仪器的基本功能，又有一般仪器所没有的特殊功能的新型计算机仪器系统。VI 的主要工作是把传统仪器的控制面板移植到普通计算机上，利用计算机的资源，实现相关的测控需求。性价比高，可广泛应用于试验、科研、生产、军工等方面的检测与控制。

(5) 网络化

将一个智能检测和控制系统接入计算机网络，无疑会进一步增强其功能和活力。例如，一个设备工程师出差在外地的时候，突然接到厂里的电话，说正在监测的一台机器出现了异常声响和振动，亟待解决。她打开随身带的计算机，通过互联网与另一个城市的专家交换了看法，在 20 分钟内解决了问题。因此，网络化也是智能检测技术的一个重要发展方向^[1]。

1.1.2 集成电路发展状况

自集成电路发明到现在已经 40 多年了，存储器、微处理器等大规模集成电路 (Large Scale Integrate circuits, LSI) 的应用也已经有 30 多年的历史。在这期间，集成电路不断的高速发展，形成了新的集成电路产业，对社会的发展做出了重大的贡献。目前，作为信息技术主要支柱的通信设备与计算机，其中主要硬件设备是集成电路。以集成电路的发展为标志的微电子技术无所不在，已成为现代信息技术的基础。

1946 年，世界上第一台电子计算机诞生于美国的宾夕法尼亚 (Pennsylvania) 大学。这台被命名为 ENIAC 的电子计算机由 18000 个电子管、70000 个电阻、10000 个电容及 6000 个继电器构成。只读存储器 (ROM) 容量为 16Kbit，随机存储器 (RAM) 容量为 1Kbit，时钟频率为 100kHz。这台计算机全长 30m，宽 1m，高 3m，重量为 30t，功耗为 174kW。由于电子管的寿命问题，这台计算机平均正常工作的时间只有 2.5 小时。

1948 年，电接触晶体管问世，1949 年，结型晶体管问世，而由结型晶体管构成的电子计算机于 1955 年投入市场。

1959 年，世界上第一块集成电路在美国德州仪器公司 (TI) 和美国仙童公司诞生，这块集成电路上只集成了 4 个晶体管。1962 年世界上出现了第一块集成电路正式商品，这预示着第 3 代电子器件已正式登上电子学舞台。集成电路的发明大大的促进了电子设备的小型化和低功耗化。与采用单个电子管和晶体管相比，采用集成电路还可以大大降低电子设备的故障率，使更加庞大的电子系统的制造成为可能。

自从 1959 年集成电路诞生以来，经历了小规模、中规模、大规模、超大规模和甚大规模的发展过程，如表 1.1 所列。目前已进入系统集成或片上系统的时代，如图 1.1 所示，可以将各种各样的功能模块，例如存储器、数字电路、模拟电路和输入/输出接口电路等集成在一块芯片上。从集成电路的特征尺寸上，目前商业化集成电路芯片的特征

尺寸为 $0.13\mu\text{m}\sim 0.18\mu\text{m}$ ，今后发展的趋势是 $0.045\mu\text{m}\sim 0.10\mu\text{m}$ ，即集成电路已进入深亚微米工艺和超深亚微米工艺时代。集成电路技术正在迅速的向着更高集成度、超小型化、高性能、高可靠性的方向发展。

表 1.1 集成电路按规模分类

名称	元件数/芯片
SSI	少于 100
MSI	100~1000
LSI	1000~10 万
VLSI	10 万~1000 万
ULSI	1000 万以上

过去的 40 多年里，集成电路的发展一直遵循美国 Intel 公司的创始人之一摩尔在 1960 年发表的摩尔定律，即集成电路的集成度每三年翻一番。预计今后 15 年内集成电路的发展仍服从这一定律。

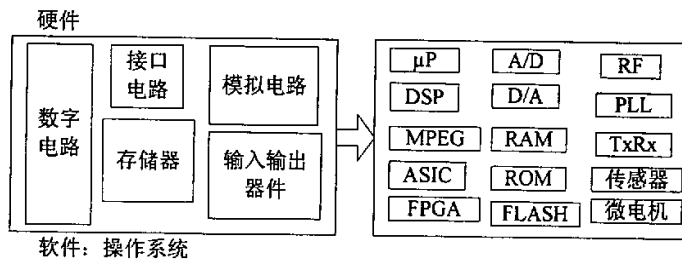


图 1.1 片上系统

目前，集成电路朝着两个方向发展：一是在发展微细加工技术的基础上，开发超高速、超高集成度的电路。二是迅速、全面的利用已达到的或已成熟的工艺技术、设计技术、封装技术和测试技术等开发各种专用集成电路^[2]。

1.2 容栅式数显卡尺的现状与发展趋势

半个世纪以来，世界各国都在致力发展位移传感器和数字测量系统，到目前为止，举世公认的已得到广泛应用的栅式位移测量技术，按照问世的先后次序是感应同步器、光栅、磁栅、容栅和球栅。由于光刻、复制技术和微电子技术迅速发展，光栅、容栅测量系统的生产成本大幅度下降，其技术指标又不断提高，在机床和测量机90%以上都是光栅，在量具、量仪90%以上都是容栅。

目前,国内的数显标尺(或数显装置)大部分为光栅、磁栅和感应同步器。这些装置各有所长,但成本较高,结构复杂,对使用环境和安装条件要求高,特别是各部分间的连

线困难,易受干扰,难以普及使用和实现在有机床设备改造中的应用。采用容栅传感器则可以较好地解决了上述数显系统所存在的问题,这类数显量具具有结构简单、造价低、体积小、耗能少、安装使用方便、环境适应性强、分辨率高、动态范围宽等优点。特别是其位移传感器的可动部分不需通电,从根本上解决了连线困难的问题。因而适用于多种机械设备的位移量数字化自动显示^[3]。

1.2.1 国产数显量具的现状与发展

历届中国国际机床展览会上参展的国产数显量具产品,展示了我国机械量具电子数显化发展的历程。我国量具行业在相关电子行业、科研院所、高等院校的通力合作下,经过多年来不懈地努力,从引进、消化、吸收,直到自行研究并开发出拥有自主知识产权和专利的先进电子传感数显技术,批量生产出电子数显量具的系列产品,取得了骄人的成就。国产数显量具从前几年简单的条形液晶数字显示发展到较为复杂的面形液晶动态模拟的图像显示,容栅的分辨率从0.01mm发展到0.001mm,测量的精度和可靠性都有了显著提高。不断提高的防水防尘性能(从IP54提高到IP65,目前已可达到IP67),增强了国产数显量具的市场竞争能力。我国容栅数显卡尺近年大量出口,在国际市场已经占有了举足轻重的地位,就是一个最好的实例。

据中国机床工具工业年鉴的统计资料表明,近年来我国工具行业(包括刀具和量具量仪制造)有了长足的发展。2001年与2000年相比,工业总产值增长11.18%,销售产值增长约11.15%;2002年工业总产值同比增长20.18%,销售产值增长14.18%;2003年工业总产值同比增长16.11%,销售产值增长13.18%;2004年上半年与2003年同期相比,工业总产值增加达22.19%,销售额增长达29.14%,经济增速势头强劲。据我国数显行业分会统计和预测,十一·五期间,容栅传感器及容栅数显量具需求量的年增长率将达到20%以上,到2010年,销售额将达到8~10亿元,发展前景十分看好。桂林广陆数字测控股份有限公司作为国产数显量具生产与开发的领头企业,其发展历程就是我国工具行业发展数显量具的一个最好写照^[4]。

1.2.2 国外数显产业的现状与发展

国外数显量具发展很快,品种规格齐全,体系较为完善,大体可分为以下几类,数显卡尺类(包括数显高度尺、深度尺等)、数显千分尺类、数显量表类等。其中容栅式数显量具的主要代表厂商有:瑞士TRIMOS和SYLVAC、日本MITUTOYO(三丰)。容栅测量系统是在1973年面世,1974年TRIMOS公司最先在测高仪上应用,这种新的栅式测量系统从此得到了迅速的发展,1980年专门生产容栅数显的SYLVAC公司成立,容栅很快就应用于数显卡尺、千分表、测高仪和测量仪。MITUTOYO(三丰)是著名的精

密测量仪器公司, 该公司向全世界提供千分尺、卡尺等测量工具等。它的位移测量系统都是采用该公司生产的光栅和容栅。表1.2所示为数显卡尺国内外水平对比:

表1.2 数显卡尺国内外水平对比

产品名称	生产国及型号规格	测量范围(mm)	主要技术指标
数显卡尺	瑞士 SYLVAC	0~100	分辨率: 0.001mm 精度: $\pm 0.007\text{mm}$ 响应速度: 1.5m/s
	日本三丰	0~150	分辨率: 0.01mm 精度: $\pm 0.02\text{mm}$ 具有数据保持、数据输出及公/英制转换功能
			响应速度: 1.6m/s
			分辨率: 0.01mm 精度: $\pm 0.03\text{mm}$ 具有公/英制转换、数显输出功能
	中国	0~150	响应速度: 1.5m/s

从整体上看, 无论是产品水平、质量, 还是品种规格, 国产数显量具与国外先进水平相比, 仍存在较大的差距^[5]。

1.3 本文的主要内容及章节安排

本文按照专用集成电路(ASIC)的设计方法及设计流程, 设计了一款高集成度、低功耗、数模混合数显卡尺用控制芯片。通过使用 EDA 软件(Cadence)对芯片内部电路功能模块进行了设计与仿真, 并实现了芯片版图的设计与物理验证。具体内容安排如下:

论文的第一章为绪论, 介绍了课题研究的背景知识: 检测技术、集成电路的发展以及数显行业的国内外发展状况。第二章, 在对电容式传感器的结构及工作原理分析的基础上, 介绍了容栅系统的组成结构, 详细阐述了容栅传感器的结构及位移测量原理, 并根据其工作原理, 使用 Verilog-A 语言对容栅传感器的行为进行建模与仿真。第三章, 介绍了专用集成电路(ASIC)的设计方法、设计流程以及电路模拟用的 EDA 软件(Hspice), 重点描述了容栅式数显卡尺专用芯片的电路功能模块的设计与仿真。第四章, 介绍了集成电路版图设计方法, 详细阐述了容栅式数显卡尺专用芯片的版图设计与物理验证。第五章描述了对本文所设计芯片的应用测试。第六章是对全文的总结与展望。

2 容栅式数显卡尺原理及建模与仿真

容栅传感器由于生产成本低、功耗小、结构简单、速度快,因此,在量具、量仪中得到愈来愈多的应用,其中,容栅式数显卡尺是最成功的典型实例^[6]。

本章从分析检测系统的组成入手,主要介绍容栅式数显卡尺的组成结构及各部分的工作原理,着重分析数显卡尺的重要组成部分——容栅传感器的工作原理,及其建模与仿真。

2.1 检测系统的组成

检测技术几乎已应用于所有的行业,它是多学科知识的综合应用,涉及半导体技术、激光技术、光纤技术、声控技术、遥感技术、自动化技术、计算机应用技术,以及数理统计、控制论、信息论等近代新技术和新理论。检测系统的最终目的就是测量对象中获取反应其变化规律的有用信息,为了实现此目的,一个广义的检测系统一般由激励装置、测试装置、数据处理与记录装置所组成(如图 2.1)。

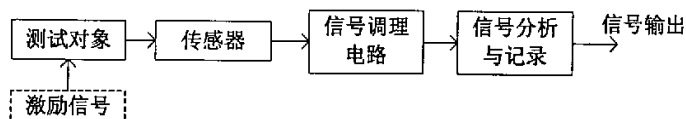


图 2.1 检测系统原理图

2.1.1 各组成部分的特点

(1) 激励信号

激励信号由激励装置产生,采用激励装置是为了使被测对象处于预订状态下,并将其有关方面的内在联系充分显示出来,以便于有效的测量。当测试工作所希望获得的信息并没有直接载入可检测的信号中时,就需要激励被测对象,使其既能表示相关信息又便于检测。

(2) 测试对象

测试对象的特性均以信号的形式给出,被测信号一般都是随时间变化的动态量,即使在检测不随时间变化的静态量时,由于混有动态的干扰噪声,通常也按动态量进行检测。由于被测信号描述了被测信号的特征信息,且信号本身的结构对所选用的测试装置有重大影响,因此应当熟悉和了解各种信号的基本特征和分析方法。

(3) 传感器

传感器是检测系统的第一个环节,其主要作用是将感知的被测非电量按一定的规律

转化为某一种量值输出，通常是电信号。传感器种类繁多，几乎能检测所有非电量。但因传感器输出的电信号种类多、功率小，故一般不能直接将这种电信号传输到后续的信号处理电路或输出元件中去，必须经过信号的调理。

(4) 信号调理电路

信号调理电路的作用主要有两方面：一是把来自于传感器的信号进行转换和放大，使其更适合于进一步处理和传输，多数情况是将各种电信号转换为电压、电流、频率等少数几种便于测量的电信号，输出功率可达到 mW 级；第二方面是进行信号处理，即对经过调理的信号，进行滤波、解调、衰减、运算、数字化处理等。

(5) 信号的分析与记录

信号调理电路输出的测量结果是对被测信号的真实记录，为了显示其变化过程，可以采用示波器、屏幕显示器、打印机等输出装置。现代检测系统采用了计算机和网络技术，将调理电路输出的信号直接送到信号分析设备中，进行在线处理，已在工程检测和工业控制中得到了广泛的应用^[7]。

2.1.2 电容式传感器的工作原理及结构形式

传感器是信息检测的必要工具，是生产自动化、科学测试、计量核算、监测诊断等系统中必不可少的基础环节，通常是检测系统与被测量对象之间的接口，处于检测系统的输入端，其性能直接影响整个检测系统，对检测精度起着主要的作用。常用传感器的类型有：电阻式传感器、电容式传感器、电感式传感器、光电式传感器、智能式传感器等。本节将简要介绍电容式传感器的工作原理及结构形式，作为进一步分析容栅传感器的基础。

电容式传感器是将被测物理量转换为电容变化的一种转换装置，实际上就是一个具有可变参数的电容器。电容式传感器广泛应用于位移、角度、振动、速度、物位、压力、成分分析、介质特性等方面的测量。但电容式传感器的泄漏电阻和非线性等缺点也给它的应用带来了一定的局限。随着电子技术的发展，特别是集成电路的应用，这些缺点也得到了克服，从而进一步促进了电容式传感器的应用。

电容式传感器的基本原理可以用图 2.2 所示的平行板电容器来说明。设两极板相互覆盖的有效面积为 A ，两极板间的距离为 d ，真空介电常数为 ϵ_0 ，极板间介质的相对介电常数为 ϵ ，空气介质 $\epsilon=1$ 。

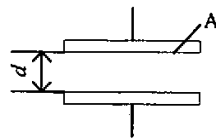


图 2.2 电容式传感器工作原理图

在忽略极板边缘效应影响的条件下，可写出平行板电容器电容量表达式为

$$C = \frac{\epsilon \epsilon_0 A}{d} \quad (2.1)$$

由式 (2.1) 可以看出, ϵ 、 d 、 A 三个参数都直接影响着电容量 C 的大小。如果保持其中两个参数不变, 而使另一个参数改变, 则电容量将会随之改变。如果变化的这个参数与被测量之间存在一定的函数转换关系, 那么被测量的变化就可以直接由电容量的变化反映出来。所以, 电容式传感器在结构上可以分为三种类型, 即改变极板面积的变面积式传感器; 改变极板间距离的变间隙式传感器; 改变介电常数的变介电常数式传感器。

下面就这三种类型的电容式传感器的工作特性进行分析。

(1) 变面积式电容传感器

变面积式电容传感器有线位移型和角位移型两种。线位移型电容式传感器又可分为平面线位移和圆柱线位移两种 (如下图 2.3 所示)。

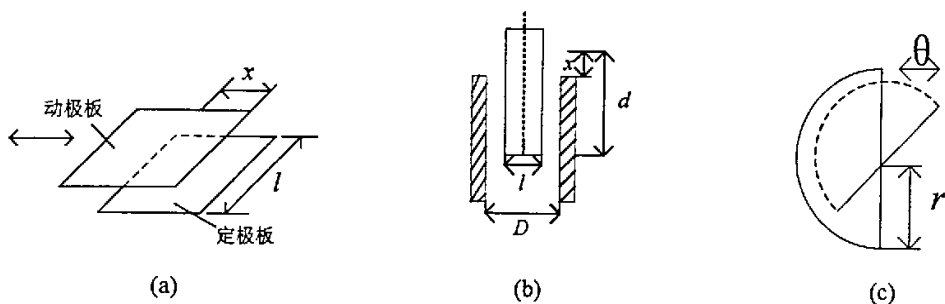


图 2.3 位移型电容传感器 (a) 平面型 (b) 圆柱型 (c) 角位移型

图 2.3(a)平面线位移型传感器, 电容量为

$$C = \frac{\epsilon_0 \epsilon l x}{d} \quad (2.2)$$

灵敏度为

$$k = \frac{dC}{dx} = \frac{\epsilon_0 \epsilon l}{d} = \text{常数} \quad (2.3)$$

图 2.3(b)圆柱型线位移传器, 电容量为

$$C = \frac{2\pi\epsilon_0\epsilon(d-x)}{\ln(D/l)} \quad (2.4)$$

灵敏度为

$$k = \frac{dC}{dx} = \frac{2\pi\epsilon_0\epsilon}{\ln(D/l)} = \text{常数} \quad (2.5)$$

图 2.3(c)角位移型传感器, 电容量为

$$C = \frac{\epsilon_0 \epsilon S}{d} \quad (2.6)$$

其中, $S = \theta \frac{r^2}{2}$

灵敏度为

$$k = \frac{dC}{d\theta} = \frac{\varepsilon_0 \varepsilon r^2}{2d} = \text{常数} \quad (2.7)$$

以上式 (2.2) 至 (2.7) 中, l 为电容器极板的宽度。

变面积式电容传感器的输出与输入呈线性关系, 但灵敏度比变间隙式传感器的低, 适合于较大线位移和角位移测量。

(2) 变间隙式电容传感器

图 2.4 所示为变间隙式电容传感器的结构原理图。图中 1 为固定极板, 2 为可动极板, 其位移是由被测量变化引起的, 当可动极板移动距离 x 后, 其电容量可变为 (式 2.8 所示)

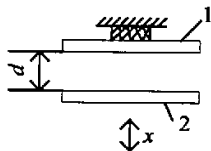


图 2.4 变间隙式电容传感器

1—固定极板 2—可动极板

$$C = \frac{\varepsilon_0 \varepsilon A}{d-x} = C_0 \frac{1+\frac{x}{d}}{1-\frac{x^2}{d^2}} \quad (2.8)$$

式中, $C_0 = \frac{\varepsilon_0 \varepsilon A}{d}$ 。

当 $x \ll d$ 时, 即 $1 - \frac{x^2}{d^2} \approx 1$ 时, 则

$$C = C_0 \left(1 + \frac{x}{d}\right) \quad (2.9)$$

式 (2.8) 表明, 电容 C 与 x 不是线性变化关系, 只有当 $x \ll d$ 时, 才可以认为是近似线性关系, 因此这种类型的传感器一般用来对微小位移量进行测量, 通常为 $0.01\mu\text{m}$ 到几个毫米的线位移。同时, 变间隙式电容传感器要提高灵敏度, 应减小起始间隙 d 。但当 d 过小时, 又容易造成电容式传感器的击穿, 这增加了加工难度。为此, 一般是在极板间放置云母、塑料膜等介电常数高的介质来改善这种情况。实际应用中, 为了提高灵敏度, 减小非线性, 变间隙式电容器一般采用差动结构。

(3) 变介电常数式电容传感器

变介电常数式电容传感器的结构原理如图 2.5 所示。这种类型的传感器大多数用来测量电介质的厚度、位移、液位、液量，还可以根据极间介质的介电常数随温度、湿度、容量的改变而改变来测量温度、湿度、容量等量。图中所示为测量介质的插入深度，其电容量可表示为 $C = C_A + C_B$ 。

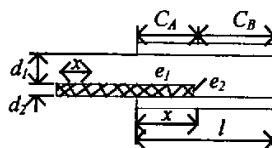


图 2.5 变介电常数式电容传感器

其中：

$$C_A = \frac{bx}{\frac{d_1}{\epsilon_0 \epsilon_1} + \frac{d_2}{\epsilon_0 \epsilon_2}}, \quad C_B = \frac{b(l-x)}{\frac{d_1}{\epsilon_0 \epsilon_1} + \frac{d_2}{\epsilon_0 \epsilon_1}}$$

设极板间无 ϵ_2 介质时的电容量为

$$C_0 = \frac{\epsilon_0 \epsilon_1 bl}{d_1 + d_2}$$

当 ϵ_2 介质插入两极板后的电容量为

$$\begin{aligned} C &= C_A + C_B = \frac{bx}{\frac{d_1}{\epsilon_0 \epsilon_1} + \frac{d_2}{\epsilon_0 \epsilon_2}} + \frac{b(l-x)}{\frac{d_1}{\epsilon_0 \epsilon_1} + \frac{d_2}{\epsilon_0 \epsilon_1}} \\ &= C_0 + C_0 \frac{1 - \frac{\epsilon_1}{\epsilon_2}}{\frac{d_1}{d_2} + \frac{\epsilon_1}{\epsilon_2}} \cdot \frac{x}{l} \end{aligned} \quad (2.10)$$

式(2.10)表明，电容量 C 与位移 x 呈线性关系^{[7][8]}。

2.1.3 电容式传感器的基本特性

由前面的分析可知，电容式传感器实际上就是一种可变参量电容器

(1) 如果在电容器的一个极板上，加上一定的电压信号 V ，则在另一个极板上将会产生感应电荷 Q ，且

$$Q = V \cdot C \quad (2.11)$$

其中， V 是电压值， C 就是该电容器的电容量。

(2) 电容器两极板间的电位差有保持不变的“惰性”，即如果在电容器的一个极板上

突然加载一个电压信号,则在另一极板上必然感应产生相同的电压信号,以保持两极板间的原电位差不变。根据这一特点,如果在电容器的一个极板上加载周期性变化的电信号(激励信号),则在另一极板上必然产生与激励信号具有相同周期变化的感应信号,感应信号的强弱,根据式(2.1)和式(2.11)式应为:

$$Q_{\text{感}} \propto V \cdot (\epsilon A / d) \quad (2.12)$$

其中, V 为激励信号电压。

了解了电容式传感器的结构、工作原理及特性,在此基础上,下文将进一步分析容栅系统的结构组成及各部分的工作原理。

2.2 容栅系统的结构组成及各部分工作原理

容栅式数显卡尺是典型的容栅系统,即由容栅传感器组成的测量系统,它包括以下几个部分:容栅传感器、位移装置(机械部分)、信号及数据处理(即测量电路)等组成部分。由此可以看出,容栅系统是一个机电一体化的系统。本节主要讲述容栅传感器及其位移测量电路的工作原理。

2.2.1 容栅传感器的结构及位移测量原理

容栅传感器是一种基于变面积工作原理、可测量大位移的电容式数字传感器,与其它数字式位移传感器,如光栅、感应同步器等相比,具有如下突出优点:体积小、结构简单、分辨率和准确度高、测量速度快、功耗小、成本低、对使用环境要求不高等,因此在电子测量技术中占有十分重要的地位,广泛应用于数显卡尺、千分表、测长仪、高度仪和坐标测量机等数显测量系统中。随着电子技术的不断发展,特别是集成电路的应用,使容栅位移传感器将得到更为广泛的应用。在整个测量系统中它的主要作用是把机械位移量转变成电信号的相位变化量,然后送给测量电路进行数据处理。

(1) 容栅传感器的结构

根据结构形式,容栅传感器可分为直线型、圆形、圆筒型三类。其中直线型和圆筒型容栅传感器用于直线位移的测量,圆形容栅传感器用于角位移的测量。本文中使用的直线型容栅传感器,其结构如图 2.6 所示,可以看出容栅传感器的结构非常类似于平行板电容器,它是由一组排列成栅状结构的平行板电容器并联而成的,包括动栅极板 A 和定栅极板 B 两部分。其中动栅极板又由发射极和接收极两部分组成,发射极包括 48 个小发射极,分成 6 组,每组各有 8 个小发射极。小发射极的极板宽度为 w ,每 8 个小发射极所占的宽度为一个节距 S ,即 $S=8w$;其大小与传感器的分辨率有关。接收极为一个长金属条,处于发射极的下方,长为 5 个节距,与中间 5 组发射极相对应,即前后各空出 4 个小发射极,这是为了消除边缘效应。定栅板如图所示,是正对于动栅板安装的,是在环氧敷铜板上腐蚀出宽为 $S/2$ 、间隔为 $S/2$ 的与其它部分绝缘的小矩形方格,

表面粘贴绝缘保护层, 这些小方格称为反射极, 其它连通部分屏蔽接地。动栅板的每组发射极中有 4 个小发射极正对定栅板的反射极, 另外 4 个正对定栅板的屏蔽地, 对测量没有影响。由此可以看出, 容栅传感器是由多个可变电容器组成的。

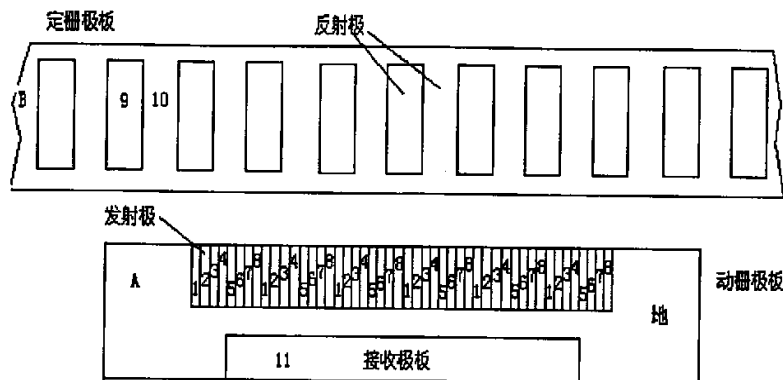


图 2.6 容栅传感器的结构

(2) 容栅传感器的位移测量原理

由上述的平行板电容器基本特性可知, 在单一平行板电容器的情况下, 如果给电容器的一个极板加上随时间周期变化的电压信号, 则在另一个极板上必然感应产生相同周期变化的信号, 这种信号周期变化只能与时间相关; 那么对于容栅传感器, 即多组平行板电容器并接的情况, 结构示意图如图 2.7 所示。

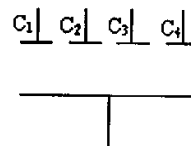


图 2.7 容栅传感器简略结构示意图

如果把随时间变化的周期信号, 通过电子电路的控制, 在同一瞬间以不同的相位分布, 分别加载于顺序排列的栅状电容器各个栅极上, 则在另一公共极板上, 任一瞬间产生的感应信号将与该瞬间加载的激励信号具有相同的相位分布。值得注意的是: 其一, 顺序排列, 已经把相位分布与空间 (这里指距离) 联系在一起; 其二, 说感应信号与激励信号一致, 其前提条件是假定电容器两极板相对静止, 那么, 如果电容器两极板发生相对移动, 则尽管激励信号不变, 随着空间的变化, 各激励信号有不同的相位分布, 感应信号也将随两极板相对位置的不同而不断的变化; 其三, 激励信号本身又是随时间变化的周期信号, 以致激励信号在同一瞬间不同的栅极上有不同的相位, 在同一位置的栅极上不同的瞬间也有不同的相位, 而极板的移动既有空间位置的不同, 移动过程又需要时间, 因而极板位移时, 感应信号的变化就极为复杂了, 也是传统的方法所无法观察和测定的, 在这里, 微电子技术的作用达到了淋漓尽致的发挥, 它一方面随时控制着激励信号的按时按序发送, 并把每一瞬间的激励信号记作标准, 另一方面, 又随时接收感应信号并及时与标准信号进行比较, 从而判定极板发生的相对位移量, 并把它显示给观察者, 这就

是利用容栅传感器测定位移量的基本原理。

容栅传感器动栅、定栅各极板之间形成的电容的等效电路如图 2.8 所示, 设 $C_1(x)$, $C_2(x)$, $C_3(x)$ $C_8(x)$ 为动栅上 48 块极板与定栅上相应极板所构成的电容量, 它是位移 x 的函数, 假设小发射极板与反射极板完全覆盖时两者之间的电容为 C_0 , 每一块小发射极板的宽度为 w , 则由图 2.8 可知, 当 $0 \leq x \leq w$ 时, $C_8(x) = C_0x/w$, $C_1(x) = C_2(x) = C_3(x) = C_0$, $C_4(x) = C_0(1-x/w)$, $C_5(x) = 0$, $C_6(x) = 0$, $C_7(x) = 0$ 。由此可以得出, 在整个量程中两极板之间的电容量随位移 x 的变化规律。由图 2.8 等效电路图可以导出位移 x 与 $\phi(x)$ 的关系式。 $\phi(x)$ 为传感器的输出信号相对于某一驱动信号的相位移。

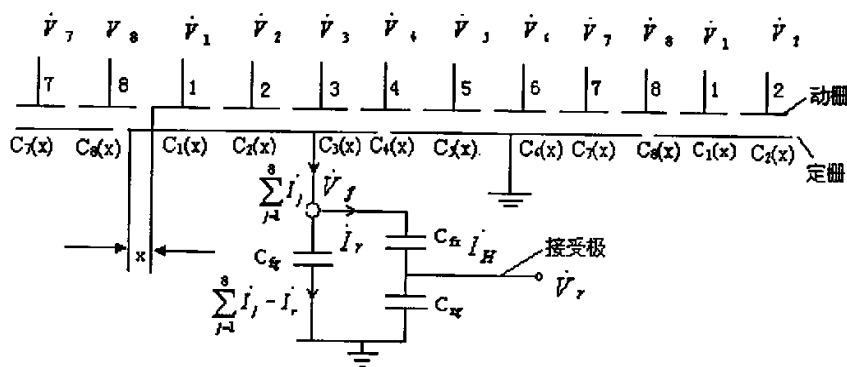


图 2.8 容栅传感器等效电路图

图中, C_{fg} : 定栅上各极板与“地”之间形成的电容量;

C_{fr} : 动栅上的接收极板与定栅上的相应极板之间形成的电容量;

C_{rg} : 动栅上的接收极板与“地”(屏蔽板)之间形成的电容量;

由图 2.8 可以看到, 在 x 为任何值时, 动栅上的 48 块极板中总有一部分与“地”(屏蔽板)形成电容, 相应的输入信号源直接入“地”, 对传感器的输出信号不产生影响, 可是为了导出 $\phi(x)$ 随位移 x 连续变化的统一公式, 在推导中不考虑这些极板对“地”形成电容, 而仍把它们看作对定栅极板形成电容, 只不过此时它们的电容量为零罢了。由于这些电容量为零, 则其阻抗为无穷大。相应的信号源全部都落在这些电容上, 同样, 对传感器的输出信号无影响。

如果给容栅传感器每组发射极板上所加的发射电压 $\dot{V}_1 \sim \dot{V}_8$ 为 8 路频率、幅值相同而相邻小极板间相位相差 $\pi/4$ 的正弦交变电压, 则在反射极上有电压 \dot{V}_r , 在接收极上有电压 \dot{V}_r 。

应用交流电路理论及基尔霍夫电流定律, 解图 2.8 的等效电路, 如下:

$$\frac{\dot{V}_8 - \dot{V}_f}{1} + \frac{\dot{V}_1 - \dot{V}_f}{1} + \frac{\dot{V}_2 - \dot{V}_f}{1} + \frac{\dot{V}_3 - \dot{V}_f}{1} + \frac{\dot{V}_4 - \dot{V}_f}{1} = \frac{\dot{V}_f}{1} + \frac{\dot{V}_f - \dot{V}_r}{1} \quad (2.13)$$

$$\frac{j\omega C_8(x)}{j\omega C_1(x)} + \frac{j\omega C_2(x)}{j\omega C_3(x)} + \frac{j\omega C_4(x)}{j\omega C_{fg}} + \frac{j\omega C_{fg}}{j\omega C_{fr}} = \frac{j\omega C_{fr}}{j\omega C_{rg}} \quad (2.14)$$

如果用 V_0 表示各发射极电压的幅值, 并取 8 路信号中的第 1 路信号的相位为参考值,

$$\text{则有: } \dot{V}_1 = V_0 e^{j\phi_0}, \quad \dot{V}_2 = V_0 e^{j(\phi_0 + \frac{\pi}{4})} = V_0 \left(\frac{\sqrt{2}}{2} + j \frac{\sqrt{2}}{2} \right) e^{j\phi_0},$$

$$\dot{V}_3 = j V_0 e^{j\phi_0}, \quad \dot{V}_4 = V_0 e^{j(\phi_0 + \frac{\pi}{4} + \frac{\pi}{4} + \frac{\pi}{4})} = V_0 \left(-\frac{\sqrt{2}}{2} + j \frac{\sqrt{2}}{2} \right) e^{j\phi_0}$$

$$\dot{V}_8 = V_0 e^{j(\phi_0 + \frac{7\pi}{4})} = V_0 \left(\frac{\sqrt{2}}{2} - j \frac{\sqrt{2}}{2} \right) e^{j\phi_0} \quad \text{其中 } \phi_0 \text{ 为 } \dot{V}_1 \text{ 的相角。}$$

将上述各量及 $C_i(x)$ ($i=1,2,\dots,8$) 的值代入式(2.13)、(2.14)即得

$$\dot{V}_r = \frac{C_0[(1-2x/w)^2 + (1+\sqrt{2})^2]^{1/2}}{[(C_{fr} + C_{rg})/C_{fr}][C_{fg} + 4C_0] + C_{rg}} V_0 e^{j(\phi_0 + \pi/4 + \phi(x))} \quad (2.15)$$

$$\phi(x) = \arctan[(1-2x/w)/(1+\sqrt{2})]$$

可见, 容栅传感器的输出电压是一频率与发射电压相同的正弦电压, 其幅值在很小范围内变化, 可近似看作一常数, 而相位比 \dot{V}_1 超前了 $\pi/4 + \phi(x)$, 相位移 $\phi(x)$ 可采用鉴相型测量电路测出, 即可得到相对位移 x , 可见容栅传感器是一种相位跟踪型的位移传感器, 这种传感器对输入信号的幅值变化不敏感, 故具有较好的抗干扰能力。

可以验证, 当位移量发生一个动栅小发射极板距离 w 的变化时, 有 $\phi(0) - \phi(w) = 45^\circ$, 即每发生一个 w 的位移变化, 就会产生 45° 相位差。同时应该注意: 式 (2.14) 只在 $0 \leq x \leq w$ 时成立, 且相位组合与位置相对应, 否则式 (2.15) 不成立。当 $-w \leq x \leq 0$ 或 $w \leq x \leq 2w$ 时, 相位组合相当于顺序向前或向后移动 $\pi/4$, 则式 (2.15) 相对于下一个 $0 \leq x \leq w$ 仍然成立, 那么在整个量程上式 (2.15) 都成立^[9]。

(3) 容栅传感器的基本参数

根据对容栅传感器工作原理的分析, 要把电容器极板相对位移量与感应信号相对于激励信号的变化规律定量的对应起来, 必须确定下列几个参数:

① 激励信号的周期 T 。本文中所选用的参数 $T = 512\varphi$, 其中 φ 的值 (也叫时钟脉冲周期) 由选用的振荡器频率 f 决定, 本系统所选用的振荡器的频率 $f = 185.185 \text{ KHz}$, 从而 $\varphi = 1/f = 5.4 \mu\text{s}$, $T = 512\varphi = 2.7648 \text{ ms}$ 。

② 激励信号一个周期在空间分布上所占用的宽度 (也称栅节距) w , 本系统选定

$W = 5.08mm$ 。反之，当接收到的感应信号与激励信号相比发生了一个周期的变化时。就可判断两极板的相对位移为一个节距，也即发生了 $5.08mm$ 的位移，因此，通过两信号周期变化量 ΔT 的记录，就可得出位移量，即 $S = W \times \Delta T$ 。

③ 最小分辨率。上式是以周期 T 为单位的，判定位移导致的周期变化量 ΔT ，而每一周期变化量代表 $5.08mm$ 的位移，这样，测量太粗糙了，但正如前面所述，本系统中的最小计时单位为 φ ，而每一周期 $T = 512\varphi$ ，在周期信号中，按每一 φ 代表一个相位，则整个信号周期被分解为 512 个相位，每一相位变化所对应的位移距离 ΔS 自然就是：
 $\Delta S = W / 512 = (5.08 / 512)mm = 0.009921875mm \approx 0.01mm$
 或 $\Delta S = 0.2 / 512inch = 0.000390625inch$ 。因此，本文所设计的数显卡尺的最小分辨率为 $0.01mm$ 。

④ 动栅（激励极）栅宽 W_E 的选定。考虑到栅状电极加工的实际可能性、栅电极边缘效应的影响以及电路设计诸因素，本系统把一个周期的信号按每 64 个相位为一组，分别同时加载于 8 个激励电极栅条上，因此每一激励极栅条宽度为 $W_E = W / 8 = 0.635mm = 0.025inch$ ，注意，这里包括了栅条之间的间隔。

⑤ 定栅（感应极）栅宽 W_K ：本系统中每一感应极对应 4 条激励极条宽，因此，

$$W_K = 4 \times W_E = 2.54mm = 0.1inch$$

⑥ 最大测量速度 V_{max} 的计算及振荡频率的影响：因为最小分辨率是一个相位的变化，在一个周期时间 T 内，最多只能分辨出 512 个脉冲当量，因此，最快测量速度是：

$$V_{max} = (512 \cdot \Delta S) / T = 1837.384259mm/s$$

2.2.2 测量电路（集成电路）的工作原理

如上所述，容栅传感器的作用是把机械位移量转变成电的相位变化量。

测量电路，是容栅式数显卡尺实行测量的心脏，采用现代微电子技术，全部线路被集成为一块专用大规模集成电路。在一块微小的硅片上，制作近万只晶体管、电阻、电容及其间的连线，组成了系统工作所必需的各种电路，实际上就是一部微型计算机在控制着容栅系统的工作。它的主要作用是：给容栅传感器提供所需的激励信号，同时又随时接收其感应信号，并通过鉴相型电路测量出激励信号与感应信号的相位差，再经过一系列的变换和处理，最终将机械位移的数字信号通过 LCD 液晶屏显示给观察者。

2.3 基于 Verilog -A 语言的容栅传感器的建模与仿真

如上所建立的容栅传感器的模型，只能用于理论分析，只能静态的反映位移与相位的关系，却无法适用于工程实践中所需的系统验证。因此必须找到一种能够直接用于工程实践中的验证模型，然而传统的仿真器、硬件描述语言（HDL）根本无法描述容栅传感器的行为模型。

随着标准模拟 HDL、VDHLAMS 以及 VerilogAMS 的出现,模拟的概念已经频繁的出现于行为级仿真中。Verilog-A 是 IEEE 标准 Verilog 的扩充,它为电子系统的设计与仿真提供了一种新的方法与能力。目前,混合信号芯片用 SPICE 和硬件描述语言 Verilog 共同完成仿真。Verilog 仿真数字电路,而 SPICE 仿真模拟电路。但是随着微电子技术的不断发展,集成度越来越高,甚至可以将整个系统集成在一块芯片上,这就为仿真器的仿真速度提出了新的要求,这也是 SPICE 所无法满足的。Verilog-A 是描述模拟电路系统和模拟电路单元的结构、行为及特性参数的模块化硬件描述语言,为模拟、混合信号电子系统的建模、设计和仿真提供了一种新的空间。本文分析了硬件描述语言 Verilog-A 的特点、结构,并针对容栅传感器的原理及结构,采用 Verilog-A 语言对其行为进行建模,使其能够用于工程实践中的系统验证,通过理论分析和 Cadence Spectre 仿真器对模型的正确性进行了证明和验证^{[10][11]}。

2.3.1 模拟硬件描述语言 Verilog-A 的特点及行为结构

Verilog-A 是一种高层次的模块化硬件描述语言,它用模块的形式来描述模拟系统及其子系统的结构和行为。它对模拟电路的描述可分为两种类型,即行为描述和结构描述。行为描述是指用一些数学表达式或传输函数来描述目标电路的行为,行为级模型能映射成网表,网表模型包括行为模型的模型名、参数等,其端口对应于行为模型的端口,表 2.1 为 Verilog-A 行为模型结构;而结构描述是对各个子模块在系统中的用途以及子

表 2.1 Verilog-A 行为模型结构

	Module capacitive (<信号列表>;
接口描述	<端口定义>
	<参数定义>
	<信号定义>
行为描述	Analog begin
	<行为描述>
	end
	endmodule

模块与子模块之间的连接关系进行描述,这可以理解为对系统结构框图的描述。完整的结构描述还需包括对信号的定义,对端口的定义和对基本参数的定义

为了便于实现模拟电路系统性能与物理实现之间的优化设计,Verilog-A 提供了多层次的行为及结构模型和多种行为模块描述方法,包括有限指数产生器 limexp()、积分产生器 idt()、微分产生器 ddt()与延迟产生器 delay()等许多用以描述模拟电路行为模块的函数。通过对不同函数的设定及组合,可以定义出模拟电路模块,如各种运算放大器、

带隙基准源、车模拟锁相环 (APLL)、压控振荡器 (VCO)、整流电路、MOS 电容、开关电容滤波器、数 / 模转换器 (DAC) 与模 / 数转换器 (ADC) 等, 进而设计用于 SOC 设计的模拟电路 IP 核行为模型。再将模拟电路 IP 核的 Verilog-A 行为模型整合到 Spectre 等混合信号仿真环境中, 就可以快速实现 SOC 设计, 并保证 IP 核之间的无缝联接。

使用 Verilog-A 语言进行行为建模, 一是可以在系统级对整个电路进行优化设计; 二是由于子模块是直接描述的行为, 不需要考虑到晶体管级, 因此在模拟仿真的过程中, 大大减少了运算量, 节省了仿真时间, 提高了精度^[12]。

2.3.2 基于 Verilog-A 语言的容栅传感器的建模与仿真

(1) 容栅传感器的 Verilog-A 模型

由上文对容栅传感器的工作原理分析, 可知, $C_1(x), \dots, C_8(x)$ 的变化规律可由分段函数进行描述, 见式 (2.16), 其中 $w=0.635mm$, $C_0=0.116E-12$ 。

$$\left\{ \begin{array}{l} 0 \leq x \leq w \\ C_1(x) = (C_0 / w) * x \\ C_2(x) = C_3(x) = C_4(x) = C_0 \\ C_5 = (C_0 / w) * (w - x) \\ C_6(x) = C_7(x) = C_8(x) = 0 \\ w < x \leq 2w \\ C_1(x) = C_2(x) = C_3(x) = C_0 \\ C_4(x) = (C_0 / w) * (2w - x) \\ C_5(x) = C_6(x) = C_7(x) = 0 \\ C_8(x) = (C_0 / w) * (x - w) \\ \dots\dots\dots \end{array} \right. \quad (2.16)$$

根据图 2.8 可知, 容栅传感器的单元等效结构如图 2.9 所示。

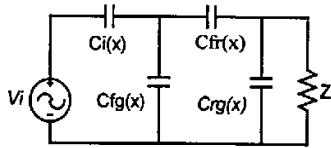


图 2.9 单元电容等效结构

电容模型的建立根据流过电容的电流与其两端电压成微分关系进行描述, 见式 (2.17)。

$$i_{C_i(x)} = C_i(x) \frac{du_{C_i(x)}}{dt} \quad (2.17)$$

根据式 (2.16), 式 (2.17), 及图 2.8, 图 2.9, 采用 Verilog-A 语言对容栅传感器的结构及行为进行建模。由容栅传感器的工作原理可知, 容栅传感器具有 8 个输入激励信号端口和一个输出信号端口。为了验证容栅传感器输出信号随位移变化的规律, 在对传感器建模时外加一个脉冲输入端口来模拟位移行为。则容栅传感器的 Verilog-A 模型如下:

```
// VerilogA for wyy, sensor, veriloga
`include "constants.h"
`include "discipline.h"
module sensor(L1,L2,L3,L4,L5,L6,L7,L8,clk,out);
input L1,L2,L3,L4,L5,L6,L7,L8; //8 个激励信号输入端口, 即容栅传感器的发射极
input clk;                      //脉冲输入端口
electrical L1,L2,L3,L4,L5,L6,L7,L8,clk;
output out;                      //输出端口
electrical out;
electrical L9;                   //容栅传感器的反射极
parameter real W=0.635E-3;
parameter real C0=0.116E-12;
parameter real C911=1.337E-12,C910=6.66E-12;
parameter real ZR=4E6;
parameter real scale=0.2;
real X,X1,X2,X3,X4,X5,X6;
real C1,C2,C3,C4,C5,C6,C7,C8;
analog begin
  @(initial_step) begin
    X=0; C1=0;C2=0;C3=0;C4=0;
    C5=0;C6=0;C7=0;C8=0;
  end
end
  @(cross(V(clk)-1.5,+1,0.01n,clk.potential.abstol)) begin
    X=X+scale*W;
    if(X>9*W) X=0;
    if ((X>=0)&&(X<=W)) begin
```

```

C1=(C0/W)*X; C2=C0; C3=C0; C4=C0;
C5=(C0/W)*(W-X); C6=0; C7=0; C8=0;
end else if((X>W)&&(X<=2*W)) begin
C1=C0; C2=C0; C3=C0; C4=(C0/W)*(2*W-X);
C5=0; C6=0; C7=0; C8=(C0/W)*(X-W);
end else if((X>2*W)&&(X<=3*W)) begin
C1=C0; C2=C0; C3=(C0/W)*(3*W-X); C4=0;
C5=0; C6=0; C7=(C0/W)*(X-2*W); C8=C0;
:
:
:
end else $strobe("beyond the range");
end
//容栅传感器的结构描述
I(L1,L9) <+ C1*ddt(V(L1,L9));
I(L2,L9) <+ C2*ddt(V(L2,L9));
I(L3,L9) <+ C3*ddt(V(L3,L9));
I(L4,L9) <+ C4*ddt(V(L4,L9));
I(L5,L9) <+ C5*ddt(V(L5,L9));
I(L6,L9) <+ C6*ddt(V(L6,L9));
I(L7,L9) <+ C7*ddt(V(L7,L9));
I(L8,L9) <+ C8*ddt(V(L8,L9));
I(L9) <+ C910*ddtV (L9) ;
I(out,L9) <+ (I(L1,L9)+ I(L2,L9)+ I(L3,L9)+ I(L4,L9)+ I(L5,L9)+ I(L6,L9)+ I(L7,L9)+
I(L8,L9))-I(L9);
V(out) <+ 5*I(out,L9)*ZR;
end
//容栅传感器的行为描述

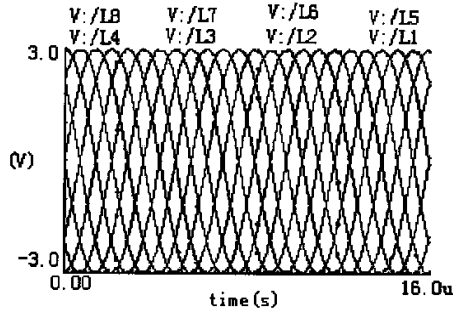
endmodule

```

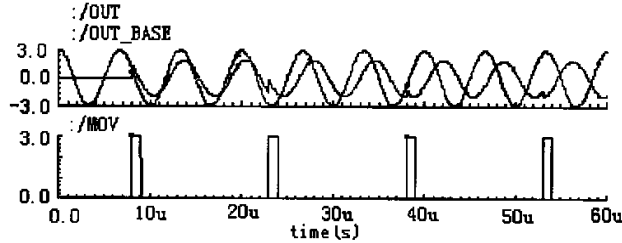
(2) 仿真结果

将上述容栅传感器的 Verilog-A 模型在模拟仿真环境下,使用 Cadence 公司的 Spectre 仿真器进行仿真。为了便于观察和分析相位与位移的关系,仿真时取 scale 的值为 1,这样,每来一个脉冲(即模拟位移信号)的上升沿会产生一个极板宽度 w 位移,则根据公

式 (2.15) 可知, 相位将相应的有 45° 的变化。为了便于观察, 仿真时给传感器输入 8 路相邻相位相差 45° 的正弦激励信号, 和 4 个 clk 脉冲信号。仿真结果如图 2.10 所示:



(a) 8 路激励信号



(b) 相位比较结果

图 2.10 容栅传感器 Verilog-A 模型验证结果

可以看到, 在连续 4 个位移模拟脉冲之后, 容栅传感器输出信号 out 和基准信号 out-base 相比, 相位相差了 180° , 其结果充分验证了公式 (2.15) 的正确性, 同时也说明了模型建立的正确性。该模型可以直接应用于对整个容栅测量系统的验证, 从而为系统验证提供了一种新的方法, 同时也节省了时间。

2.4 小结

在本章中, 分析了利用容栅传感器进行位移测量的原理, 并根据其理论分析, 使用模块化硬件描述语言—Verilog-A 对其行为进行建模, 同时通过 Cadence Spectre 仿真器对模型的正确性进行了证明和验证。该模型可以直接用于工程实践中的系统验证, 结构简单、仿真速度快、效率高, 从而可以大大节省产品开发的时间。

3 容栅式数显卡尺专用芯片的设计

3.1 概述

容栅式数显卡尺专用芯片,采用了现代微电子技术,是一款新颖的高集成度、低功耗、数模混合的专用集成电路(ASIC)芯片。该芯片是容栅系统实行测量的心脏。它实现的主要功能是:一方面,提供容栅传感器所需的激励信号,并把每一瞬间的激励信号作为基准;另一方面,又随时接收感应信号并及时与基准信号进行比较,从而判定极板发生的相对位移量,并把它显示给观察者。

本章的主要内容是:首先,介绍了集成电路设计的相关理论知识;然后,根据系统芯片的功能要求,对系统的整体结构进行设计,划分系统模块,进行子模块的电路设计,并对其子模块的电路在 Hspice 仿真器中进行仿真验证。

3.2 集成电路的设计技术

现代电子产品性能的飞速发展得益于生产制造技术和电子设计技术的发展,前者以微细加工技术为代表,已发展到深亚微米阶段,在一个芯片上可集成数百万甚至上千万只晶体管;后者的核心就是电子设计自动化 EDA (Electronics Design Automation) 技术。EDA 技术是在先进的计算机工作平台上开发出来的一套电子系统自动化设计的软件工具。它主要能辅助进行三方面的设计工作:IC 设计、电子电路设计和 PCB(Printed Circuit Board) 设计。下面将简要阐述相关集成电路设计技术及本文所采用的方法^[13]。

3.2.1 专用集成电路(ASIC)的设计方法

专用集成电路(ASIC)通常可以分为全定制集成电路(Full Custom IC)、半定制集成电路(Semi-custom IC)和可编程逻辑电路。半定制集成电路又可分为标准单元电路(Cell-Based IC)和门阵列(GateArray)两大类。相应的电路设计可分为全定制设计法、半定制设计法和可编程逻辑器件(PLD)设计法,本文芯片的设计是按照全定制设计法进行的。

全定制 ASIC 电路是指专为某一用户设计、制造的集成电路。全定制专用集成电路在设计时根本不使用预先已编译好或设计好的单元,从电路图输入开始,完成逻辑验证、版图的生成,掩膜(MASK)制造到芯片制作的全套集成过程。由于采用人工方法在晶体管层次上进行每个单元的性能、面积的优化设计,单位面积的集成度比其它类型 ASIC 电路高,体现了集成度高、芯片利用率高的特点。全定制 ASIC 适用于大批量的成熟产品的生产,但设计费用高且周期长。为了缩短设计和制作的周期,在设计过程中可采用

CAD 方式,制作过程采用成熟的半导体集成电路工艺。

与全定制 ASIC 不同,半定制电路的大部分设计和制造过程并不是针对某一特定用户。半定制的门阵列 (GateArray) 设计法和标准单元 (Cell-Based IC) 设计法都是约束性的设计方法,主要目的就是简化设计,以牺牲芯片性能为代价来缩短开发时间。

门阵列设计法是指在预先生成的门阵列母片上进行布线,完成 ASIC 的一种设计方法。在门阵列母片上预先进行了一系列的制造工艺,可以一直进行到蒸铝为止,对于不同的用户电路,只需完成铝引线的设计和制造即能实现所需的 ASIC。其优点是开发周期短,多品种小批量生产成本较低。

标准单元设计法是指把一些宏单元完整地设计好并存储在系统库中,在定做电路时调用,并进行布局和布线。标准单元设计法在定做产品工艺流程线之前不能预先加工,因此需要全套掩膜。标准单元库中的功能元件一般包括:基本逻辑门和缓冲器;触发器和移位寄存器等 SSI、MSI 电路;RAM、ROM、PLA、ALU 8 位及 16 位微处理器等 LSI 电路,并不断充实如运算放大器,A/D、D/A 变换器等模拟电路。目前以 CPU 为核心,包括各种外围电路的 ASIC 微控制器正在飞速发展。

标准单元设计法具有以下特点:(1)所有单元均经过优化设计,芯片布局较门阵列紧凑,因此可提高电路性能并减小芯片面积;(2)单元的版图固定,在定做时只需单元布局及单元间布线,因此设计时间较全定制大大减少;(3)由于需要全套掩膜,工艺制造时间和成本与全定制相当,较门阵列为高。

可编程逻辑器件 PLD(Programmable Logic Device)是可以由用户在工作现场进行编程,实现所需逻辑功能的数字集成电路。是专用集成电路的一个重要分支,也可以认为是厂家作为一种通用型器件生产的半定制电路。可编程逻辑器件 (PLD) 设计法是利用 PLD 内部的逻辑结构实现所需布尔表达式或寄存器函数,得到所需的逻辑功能,实现芯片功能的设计方法。PLD 将掩膜 ASIC 集成度高的特点和可编程逻辑器件设计生产方便的特点结合在一起,特别适合于样品研制或小批量产品开发,完成版图设计后,在实验室就可以烧制出自己的芯片,无需 IC 制造厂家参与,加快上市时间。当市场扩大时,又可以很容易转由掩膜 ASIC 实现,大大降低开发风险^[14]。

3.2.2 ASIC 设计流程

集成电路设计包括逻辑(或功能)设计、电路设计、版图设计和工艺设计。其设计流程简要概括如下:

(1) 系统规范化说明 (System Specification)

包括系统功能、性能、物理尺寸、设计模式、制造工艺、设计周期、设计费用等。

(2) 根据功能要求进行系统设计

将系统功能的实现方案设计出来,主要是考虑系统的行为特性,通常是给出各模块

之间的数据流图。

(3) 划分成子系统（功能块）进行逻辑设计

这一步首先是将系统功能层次化。然后对各个子模块进行逻辑设计，设计者通常用文本、原理图或逻辑图表示设计。

(4) 由逻辑图或功能块的功能要求进行电路设计

电路设计是将逻辑设计表达式转换成电路实现。设计时要考虑速度、功耗等，此外还要注意各元器件的电学性能，通常用详细的电路图来表示电路设计。

(5) 电路模拟

对所设计电路功能的正确性进行验证。

(6) 版图设计

它要将电路设计中的每一个元器件包括晶体管、电阻、电容、电感等以及它们之间的连线转换成集成电路制造所需要的版图信息。版图，即电路的几何表示。版图设计要符合与集成电路制造工艺有关的规则要求。

(7) 物理验证

物理验证也称版图验证，它确保版图设计完成所得到的几何图形满足制造工艺要求和符合系统的设计规范。因此，在版图设计完成之后，通常要进行设计规则检查（DRC）、电学规则检查（ERC）、寄生参数提取（LPE）和电路与版图一致性检查（LVS）等。

(8) 工艺设计

比如原材料选择，设计工艺参数、工艺方案，确定工艺条件、工艺流程。整个流程如图 3.1 所示^[15]：

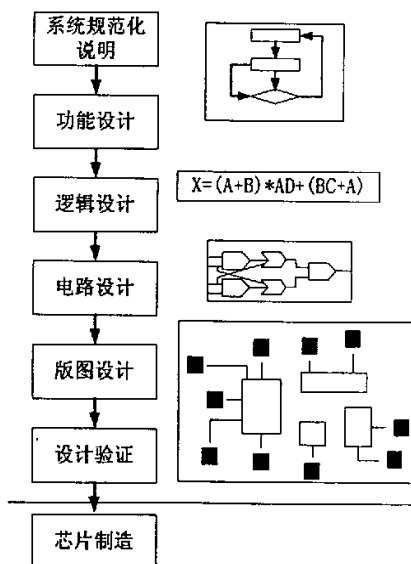


图 3.1 IC 设计流程

3.2.3 低功耗设计技术

在 IC 设计中，功耗已经与面积、速度一样，成为衡量设计优劣的指标。

我们知道，设计中的功耗可以分为翻转功耗、短路功耗、静态功耗几个部分。表 3.1 列出了翻转功耗在一些实例电路中所占的比例。

表 3.1 不同电路中翻转功耗所占比例

电路种类	翻转功耗在总功耗中占的比例/%
乘法器	86.9
加法器	84.9
浮点数处理单元	75.2
数字信号处理器	73.9
小 SRAM	54.4
微控制器	46.8
大 SRAM	34.8
DRAM	18.9

在不同的电路中，各类功耗所占的比例是不同的，因此进行低功耗设计的重点也不同。由表 3.1 可见，在运算电路中，开关功耗占绝大部分，因此，此类电路的地功耗设计要致力于减小开关功耗；对于 DRAM 存储器，泄漏功耗占大部分，因此要将重点放在减小泄漏功耗等上面。

针对不同的功耗类型，具有不同的低功耗设计方法。

对于动态功耗，可以从降低物理电容、工作电压、频率、翻转概率来着手。

对于静态功耗，可以从增加阈值、降低栅极电流来着手。

低功耗设计贯穿整个 IC 设计的流程。在各个设计层次上，有相应的低功耗设计方法。

(1) 系统级低功耗技术。主要是制定电源方案与时钟方案、选择算法、确定架构，以得到最小的功耗。

一个设计可以采用多电源的策略，即可将系统划分为不同的区域，各个区域采用不同的电压。例如，一个 SOC 设计可大致分为三部分：存储器、嵌入式处理器、其他逻辑。这三个部分可以采用不同的电压。

此外，在进行时钟规划时，也要考虑到功耗问题。系统时钟对功耗的影响重大。降低系统工作频率，可以大大降低功耗。可以采用如下方案：对于关键路径，采用较快时钟；对于较慢的模块，采用较慢时钟。如果系统当前不工作，可以将系统时钟切换到慢时钟。

在许多应用中,不需要 IC 系统的所有部分都全速工作。可以根据应用要求,在设计中采用多种模块。例如,可以分为正常模式与省电模式。在省电模式下,将一些不需要工作的模块的时钟/电源关掉。在便携式设计中这种方案应用很普遍。

(2) 电路级功耗技术。在一个系统中,存储器与 I/O 电路的功耗占了很大比例。所以, I/O 电路与存储器的低功耗设计是很重要的研究内容。这属于电路级低功耗设计的内容。

(3) 在版图设计时,也需要考虑功耗问题。对于翻转较多的点,采用寄生电容较小的布线层。在最新的 EDA 工具中,可以将功耗作为优化目标来生成时钟树。

(4) 工艺制作的选择也会影响功耗。同种设计,采用 CMOS 或 BICMOS,其功耗是不一样的。而且,采用先进的制作工艺,会提高系统的集成度,显著降低功耗。但同时也会增加成本,因此选择工艺时需要折中考虑。

表 3.2 列出了在不同设计层次常用的低功耗设计方法^[16]。

表 3.2 不同设计层次的低功耗技术

设计层次	低功耗设计方法
系统	尽量选择较低的工作电压;
	多电源供电;采用多种工作模式;
	并行处理,以降低时钟频率
电路级	改变电路结构,降低信号摆幅;
	利用晶体管堆垛效应的自反偏技术
版图级	低功耗时钟树生成技术;
	对翻转较高的节点,用低寄生电容的布线层来布线
工艺级	采用高介电常数的材料,以降低栅极漏电流等

3.2.4 设计使用 EDA 工具的介绍

本设计所使用的是业界较为流行的大型 EDA 软件 Cadence。它几乎可以完成电子设计的方方面面,包括 ASIC 设计、FPGA 设计和 PCB 板设计。尤其在仿真、电路设计、版图设计及物理验证等方面有着绝对的优势。本文中的电路设计采用的是 Cadence 的 virtuoso 软件包;版图设计采用的是 layout 软件包;物理验证采用的是 diva 和 Dracula。

本文中仿真采用的工具是 Cadence 公司的 Hspice 仿真器,在模拟仿真环境下对电路进行仿真。Hspice 是一种优秀的 Spice 软件,在模拟仿真方面起着重要的作用。是晶体管级模拟仿真的工业标准,具有非常高的精度。同时,它也提供了强大的行为仿真能力。在用 Hspice 进行行为模拟仿真时,设计者可以直接使用各种电子设计特征参数和单元,例如增益、带宽、失调电压、电容、电阻、压控电压源、压控电流源等。使用 Hspice 进行

电路仿真的流程如图3.2所示^{[17][18]}。

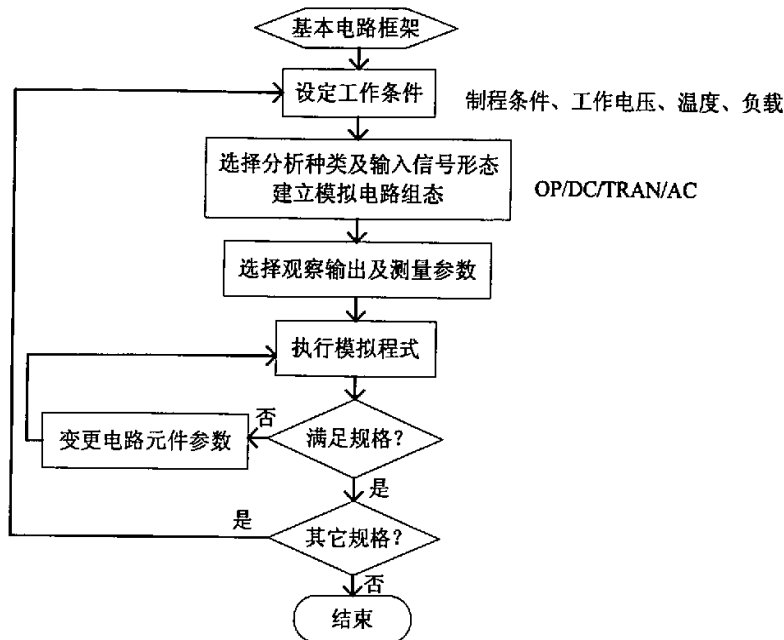


图 3.2 Hspice 仿真流程

3.3 系统芯片电路设计

3.3.1 系统结构设计及电路模块划分

容栅式数显卡尺专用芯片，其功能实现过程是：芯片产生驱动信号，送到容栅传感器，传感器送回调制的信号，经过芯片对其进行解调、放大、相位比较等一些列的数据处理，从而转变成数字量，再经公英制运算和二十进制运算，最后将数据送到 LCD 进行显示。此外，它还具有自动休眠工作模式，即设备被停止使用大于 4 分钟时，将自动进入休眠模式，从而可以起到降低功耗，延长电池寿命的作用。还具有按键清零模式，可以避免传统游标卡尺人为对准零刻度线时所产生的误差。该芯片不仅可用于卡尺，还可适用于制作 10 米以内量程，高精度、低功耗的位移测量工具。其内部结构设计如图 3.3 所示。

根据以上对系统芯片功能的描述，该芯片的电路按功能可分为以下几个模块：时钟发生器、基准分频器、电源变换器、激励信号编码器、数据采集与解调电路、相位检测电路（鉴相器）、运算器、控制器、寄存器、LCD 显示驱动、串行接口等。

由于本文的篇幅所限，在下文中仅对芯片电源电路、采样与解调放大电路和鉴相电路作详细介绍。

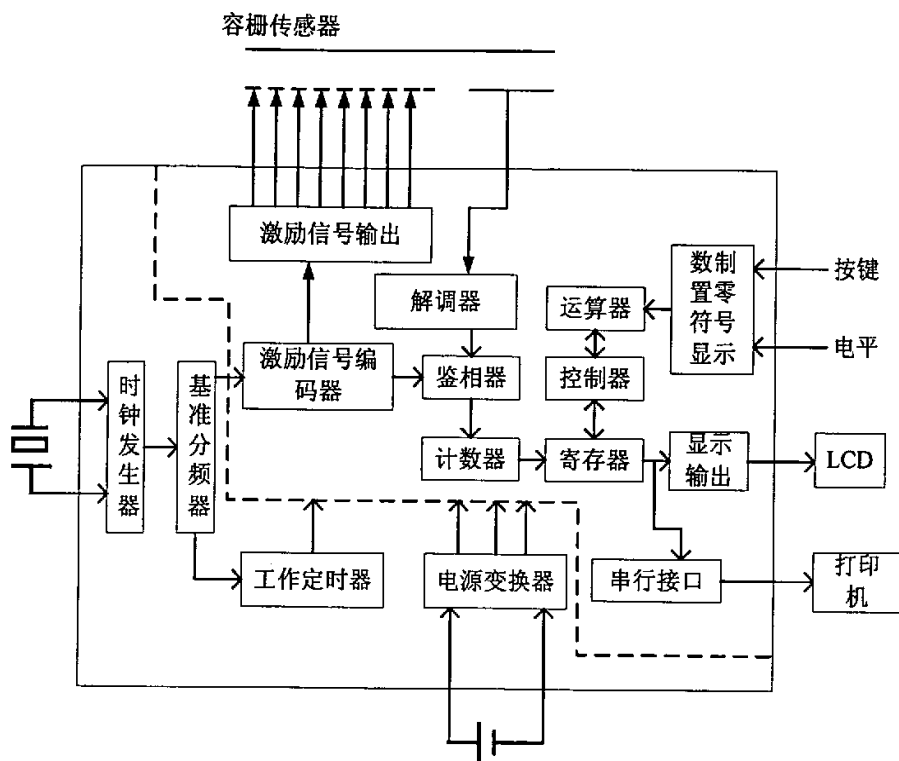


图 3.3 系统整体结构框图

3.3.2 电路设计的总体考虑

该芯片是一个模数混合专用集成电路，用于低功耗便携式测量系统，因此，在设计时考虑了以下几方面的因素：第一，由于系统是电池供电的便携式工具，设计时要采用低压低功耗技术；第二，由于容栅传感器上的信号十分微弱，数据采集时，既要保证足够的增益又要考虑采集精度；第三，同一块芯片上集成了数字电路和模拟电路，要充分考虑数字电路和模拟电路的相互干扰问题；第四，要驱动 LCD 液晶屏，电压差必须在 2V 以上，而系统由电池供电，其电压只有 1.5V，因此需要设计片上电源；第五，该芯片所集成的是一个处理位移量的系统，要考虑位移速度与芯片处理速度等问题。

3.2.3 各电路模块的设计

下面就主要模块的具体设计和仿真加以介绍。

(1) 数据采集与解调电路的设计及仿真

① 功能要求

从对容栅传感器工作原理的分析可知,容栅传感器的输入信号为 8 路幅值相等相邻

位相差 45° 的激励信号, 因此本文首先由晶体振荡器产生一组时钟脉冲信号, 其频率为 185.185KHz, 然后时钟脉冲信号经基准分频后到激励信号编码器, 得到一组幅值不变、宽窄按一定规律变化的周期性矩形波序列, 供给容栅传感器作为发射电极的激励电压, 周期为 $2500\mu\text{s}$, 波形如图 3.4 所示。

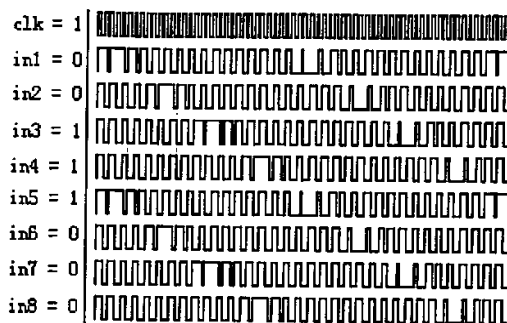


图 3.4 8 路激励信号波形

输入信号经容栅传感器两次电容耦合后输出, 由于输出信号十分微弱, 因此本文中采用了四个特殊放大器轮流工作, 实现对传感器输出信号的采样维持、放大及解调。工作原理如图 3.5 所示:

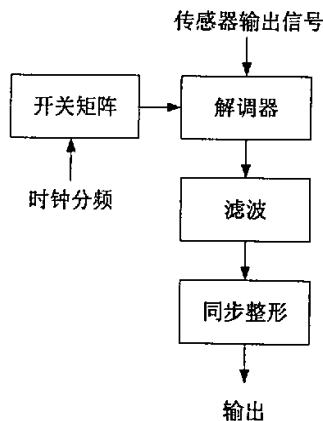


图 3.5 数据采集与解调电路框图

将经传感器调制后的信号送入解调器进行解调处理, 解调器受开关矩阵的控制, 开关矩阵由四个运算放大器组成, 其周期为四倍的时钟周期。解调器在电压开关的控制下, 将接收电极上的输出信号存于电容器两端, 并进行迭加, 使输出电压的幅值增大近一倍, 同时还反映输出电压的极性。解调后电压的周期与激励电压的周期一致。由于解调后的信号含有高频分量, 故进行了滤波处理, 使输出电压曲线变得光滑, 以提高相位的分辨率。滤波后的电压为正弦波形式。再通过整形使输出电压变成方波形式。从而易于相位

控制。

② 电路设计及仿真

本文根据其功能要求设计出了对容栅传感器的输出信号进行采样维持、放大与解调的电路，电路原理及控制时序波形如图 3.6 和 3.7 所示：

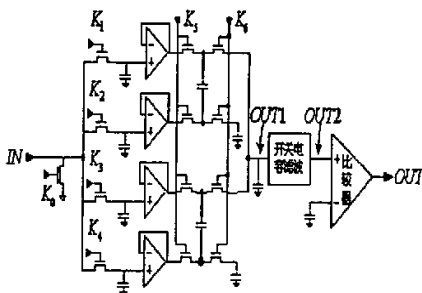


图 3.6 数据采集与解调电路

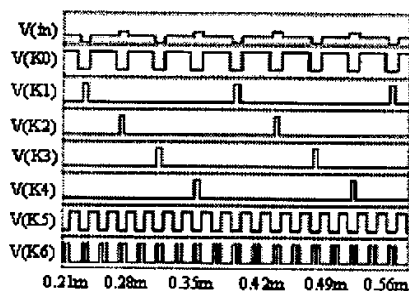


图 3.7 开关矩阵及解调器的控制时序

使用 Hspice 仿真软件对数据采集与解调电路进行了仿真实验，仿真波形如图 3.8 所示：

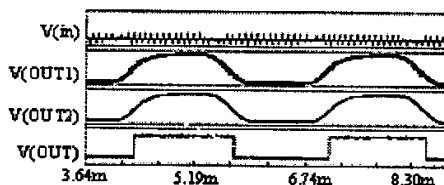


图 3.8 解调仿真波形

如图 3.8，信号 $V(in)$ 为容栅传感器的输出信号，可以看到非常弱，信号 $V(OUT1)$ 是经解调器采样、放大之后的信号，类似于正弦波，但含有大量的高次谐波，信号 $V(OUT2)$ 是经开关电容滤波器之后的信号，是平滑的正弦波，信号 $V(OUT)$ ，即解调器的最终输出信号，为同步整形之后的方波信号。

(2) 电荷泵电路的设计及仿真

① 功能要求

随着工艺水平的不断提高，器件特征尺寸的不断减小，低功耗的要求越来越高，对于将来的 CMOS 特大规模集成电路设计来说，电源电压低于 2V 已成为必要。尤其是对于便携式片上系统，为了降低成本，节省能源，延长电池寿命，低功耗是至关重要的，由此一个主要的设计趋势就是降低电源电压。在传统的数字 CMOS ICs 中，电源电压的降低直接导致速度变慢，噪声容限变小。而在模拟开关控制的应用中，低于 2V 将不能正常工作。那么，要让整个系统能够正常工作，系统中的不同成份必须工作在不同的电源电压下。要解决这个问题，方法就是利用电荷泵电路来泵出电压以满足不同的要求^[19]。

电荷泵电路是一种通过电容上电荷积累效应来产生高于电源电压或负电压的电路，

也是一种常见的 DC-DC 电路。通常使用电池作为电源的显示器(如液晶显示屏)都存在致命的缺陷: 电池一开始使用, 电压就递减, 影响使用效果。在电路中, 使用一个升压型电荷泵, 就能把递减的电压在一段较短的时间内稳定至工作电压。而很多 ADC 需要负电压供电, 这时就需要降压型电荷泵。因此电荷泵电路能管理好电池电力的使用, 延长电池寿命, 提高使用效率, 获得更经济的利益。电荷泵还适用于 LCD 驱动, 智能读卡机、USB 5V 稳压电源、GSM 手机的 SIM 接口电源等^[20]。

本文中, 由于既要考虑低压低功耗因素, 又要驱动 LCD 显示, 因此, 片上同时存在两种工作电压即 1.5V 和 3V, 对于数字部分采用 1.5V 供电, 而模拟部分除晶振外采用 3V 供电。为此, 本文设计了电荷泵负压产生电路来泵出 1.5V 负电压与电源电压正 1.5V 之差形成了 3.0V 的片上电源。

② 电路设计及仿真

本文根据其功能要求设计出了电荷泵负压产生电路, 电路原理如图 3.9 所示。同时使用 Hspice 仿真软件对电路的功能进行了验证, 仿真波形如图 3.10 所示。

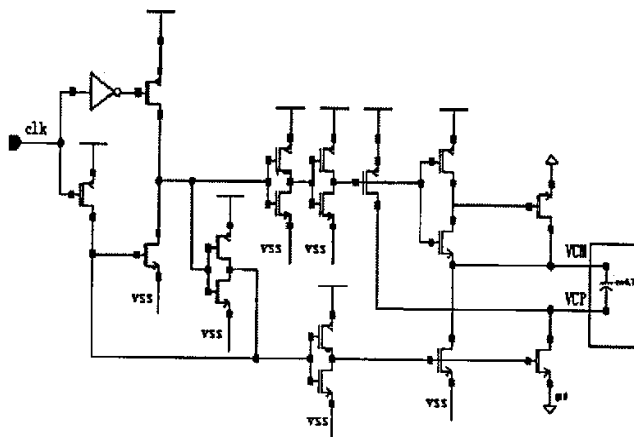


图 3.9 电荷泵负压产生电路

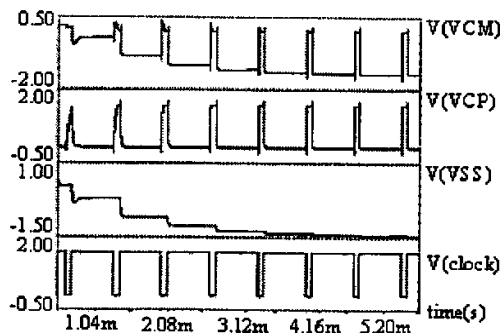


图 3.10 负压产生仿真波形

由图 3.10 的仿真波形可以看出: 负电压电荷泵电路的输出电压最终稳定到了 -1.5V,

达到了预期的设计目标。

(3) 鉴相电路的设计与仿真

① 功能要求

鉴相器即相位比较器，其功能主要是检测输入信号和基准信号之间的相位偏差，利用相位偏差来产生控制信号^[21]。为了说明鉴相器的功能，本文首先介绍一种最简单的异或门鉴相器。

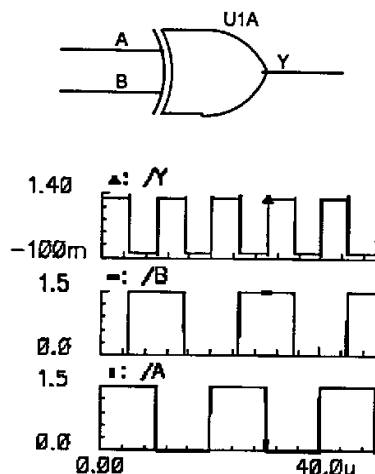


图 3.11 异或门鉴相器及其仿真波形

图 3.11 所示为最简单的异或门鉴相器，比较其输入输出信号可以发现，鉴相器比较两个同频输入时钟信号的上升沿及下降沿，差值反应这两个信号的相位偏差。

为了获得容栅传感器的输出信号与输入信号之间的相位偏差，本文采用了鉴相原理。将传感器的输出信号经解调后送入鉴相器，同时也将时钟分频信号即传感器的输入信号送到鉴相器，构成相对相位基准。初始状态时，传感器输出信号与相对相位基准信号具有同相位，鉴相器的输出为零，计数器保持原来的值不变。当传感器移动一定距离后，输出信号的相位超前或滞后相对相位基准，此时鉴相器有输出，计数器便相应的做加法或减法运算，然后将其值锁存在移位寄存器中。

② 电路设计及仿真

鉴相器电路的基本组成单元及其 HSPICE 仿真波形如图 3.12 所示。它的工作原理是：当基准信号 ZB7_X 和输入信号 DE9 同时为低电平时，MOS 管 M0、M1 和 M3 导通，M2、M4 和 M5 截止，则输出为低电平；① 若输入信号 DE9 先与基准信号变为高电平，则 MOS 管 M2 仍然截止，M4 导通，输出仍然为低电平，当基准信号的上升沿到来之后，MOS 管 M0 截止，M2 导通，M4 仍然导通，若此时钟控信号为高电平，则 M5 导通，输出变为高电平；当输入信号的下降沿到达之后，输出转为低电平，直到下一个基准信号的上升沿到达才再次变为高电平。② 若基准信号先与输入信号变为高电平，则 MOS

管 M0、M3 截止，M4 仍然截止，M2、M5 导通，输出为低电平；当输入信号的上升沿到达之后，M4 导通，M1 截止，输出变为高电平，当基准信号的下降沿到达之后，M0 导通，输出再次变为低电平。鉴相器电路的钟控信号 ZB7_2 的输出，初始值为高阻态，之后将跟随基准信号，波形如图 3.12 所示。

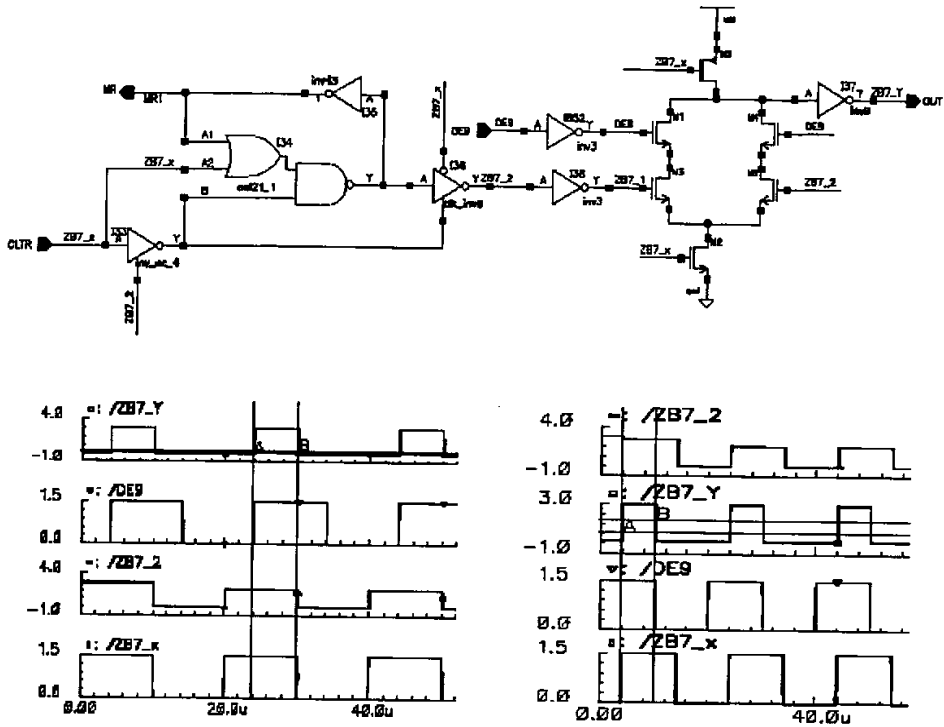


图 3.12 鉴相电路的基本单元仿真波形

由仿真波形可以看出，鉴相器的作用为：比较传感器输入与输出信号的相位差，从而产生控制信号来指挥计数器工作，最终实现将机械位移量以数字的形式显示出来。

3.4 小结

本章系统的阐述了专用集成电路（ASIC）的设计方法与设计流程，介绍了集成电路中的低功耗设计技术，以及设计中所使用的 EDA 软件。重点讲述了容栅式数显卡尺专用芯片的设计。得出了芯片中主要电路功能模块的电路与仿真结果。

4 芯片版图的设计与实现

4.1 版图设计方法与工艺选择

(1) 版图设计方法

硅集成电路,实际上就是把实现一定功能的电子元器件及其连线一起制作在一小硅片上,早期的晶体管是一个一个的做,生产效率极低,成本高昂;现在可以在一块晶片上制造出成千上万的晶体管,只要在这个晶片的表面反复进行氧化、蚀刻、扩散等加工制造技术,这样的生产方式效率高、成本低、品质稳定、适合大规模生产。晶片的大小从以前的 2 英寸到现在的 8 英寸,而且技术在不断的提高。在晶片中,每个独立的晶体管或电路各自占有一个几何区域,因此集成电路的设计最终是要得到用于制作芯片的光刻掩模版的几何图形,也就是设计出集成电路版图。

在集成电路的设计过程中,版图设计是继性能指标确定、功能模型分析、实现原理综合、具体线路设计和电路整体仿真等步骤之后的最后一步,同时也是最关键的一步,它决定了前期阶段的既定设计功能能否最终实现和性能指标能否最终满足要求。好的版图设计不仅可以节省芯片成本,而且可以提高设计效率,对于工艺上难以避免的问题,也可预防或减弱其影响。可以从不同角度对版图设计方法进行分类。如果按设计自动化程度来分,可将版图设计方法分成手工设计和自动设计两大类。如果按照对布局布线位置的限制和布局模块的限制来分,则把设计方法分成全定制(full custom)和半定制(semi custom)两大类。而对于全定制设计模式,目前有 3 种 CAD 工具服务于他:几何图形的交互编辑、符号法和积木块自动布图。

本文所设计的是一款数模混合集成电路芯片,由于模拟电路的基本单元结构种类繁多,而且对于同一单元结构,性能要求不同,单元中器件尺寸的大小也就不同。因而,模拟电路单元版图必须根具体电路性能要求动态生成。又由于模拟电路对性能的要求比数字电路苛刻很多,而模拟集成电路版图设计的目标与数字电路也不相同。数字电路版图设计以高速、高密度、低功耗为目标。对模拟电路而言,电路的精度、信噪比、带宽则是设计中心问题,必须在版图设计阶段加以考虑。对于数模混合集成电路而言,版图设计在要求上更为复杂,平面布局及各器件几何图形的设计都会对芯片的性能产生明显影响,因此,在版图设计时要特别注意采取措施控制相互之间的串扰、失配、噪声等效应^{[22][23]}。

本芯片采用的是手工设计的全定制设计模式,使用的是 Cadence 公司的 Virtuoso 版图设计工具,属于几何图形交互编辑手段。

简单的讲版图设计,就是根据逻辑电路的功能和性能要求以及工艺水平要求设计出

光刻用的掩模版图。版图是指一组相互套合的图形,不同层的版图对应不同的工艺步骤,每一层版图都用不同的图案来表示。版图与制造工艺紧密相关,在版图设计前,需要确定工艺流程,这样才可能设计出相互套合的版图^[24]。

(2) 工艺选择

集成电路版图是在一定的微电子制造工艺基础上进行设计的。因此,在版图设计之前需要进行集成电路制造工艺的选择,而选择合适的工艺则需要折中考虑产品的制造成本及其电路的性能。

集成电路的制造工艺,主要有双极工艺和 MOS 工艺,目前的主流工艺是 CMOS 工艺,还有混合的双极-CMOS 工艺(简称为 Bi-CMOS 工艺)。这些制造工艺都有各自的优缺点:基于双极工艺的集成电路器件具有速度高、驱动能力强的优点,但其功耗较大、集成度较低;MOS 集成电路包括 NMOS、PMOS 和 CMOS 三种类型,其中 CMOS 器件具有功耗低、集成度高的特点,并且随着集成电路特征尺寸的缩小,其速度也可以很高,但特征尺寸的缩小必然会增加设计难度,提高设计成本;Bi-CMOS 工艺兼具了双极工艺和 MOS 工艺的优点,但其工艺复杂^{[25][26]}。

本文中所设计的数显卡尺属于便携式的电子产品,要求低功耗设计,因此,本设计选择 CMOS 工艺。而 CMOS 工艺又分为铝栅 CMOS 和硅栅 CMOS。其中铝栅 CMOS IC 主要应用在民用消费类电子产品上,其主要优点是:成本低、产量高。因此该类产品在销售价格上比较低,在国内外市场上有大量用户需求^[27]。基于以上原因,本文中数显卡尺专用芯片的版图设计采用了南科集成电子有限公司的 $3\mu\text{m}$ CMOS P-WELL (N-substrate) 铝栅低成本工艺。

4.2 芯片版图的实现

4.2.1 版图设计

(1) 版图设计流程及其基本原则

在进行版图设计之前除了要得到必要的工艺文件及学习设计规则外,还要做一些其它的准备工作,便于后面绘制工作顺利进行:首先,要估算芯片面积,先分别计算各个电路模块的面积,然后再加上模块之间走线以及端口引出等的面积,即得到总的芯片面积,这个工作的目的是控制芯片的成本,很明显芯片面积越小,一个 wafer (晶圆片) 可制的芯片数就越多,成本就越低。其次,根据电路规模对版图进行整体布局,为每个模块和整个芯片选择一个好的布图方案,芯片的整体布局包括主要单元的形状大小以及位置安排,电源和地的布局,输入输出引脚的放置等,统计整体芯片的引脚个数,包括测试点,严格确定每个模块的引脚属性、位置^[28]。做完所有准备工作后,根据上文设计仿真通过的电路和南科电子有限公司的版图设计规则,就可以开始设计版图了。绘制完

成以后对版图要进行压缩,这是布线完成后的优化处理过程,目的是进一步减小芯片的面积。在整个版图的设计过程中,由于手工设计方法不可避免的会出现疏忽,所以设计好版图后,必须通过几何规则检查(DRC),网表一致性检查(LVS)等几个版图验证步骤,确保满足设计规则并与原电路保持一致。其基本设计流程如图4.1所示^[29]。

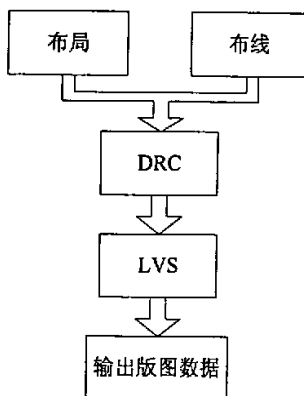


图 4.1 版图设计流程

在设计版图时,得到的图形要符合流片工艺线的版图设计规则。大多数情况下,各硅片生产厂流片工艺线的设计规则是各不相同的。这是因为版图设计规则,代表了生产厂家的技术工艺水平,为了保证生产的集成电路合格并具有高的成品率,必须使设计的图形符合生产厂家的加工水平,所以在着手设计之前,应先拿到准备去投产的硅片生产厂的设计规则,并把它作为整个设计过程的参考。设计规则确定了在掩膜板上每个几何图形如何与彼此有关的另一块掩膜版上的图形水平对准,要精确控制各层图形的横向尺寸和纵向尺寸。除了明确指出的不同点以外,所有的规则是指相应几何图形之间的最小间隔,是根据生产的工艺线水平制定的。一般常以 MOS 管的沟道长度标志工艺水平来确立相应的设计规则。

版图设计规则中除了主要的几何规则外,还涉及到了电学规则和布局、布线规则。在本文中,设计版图时首先根据电路原理及其所选定的工艺进行合理的布局、布线。布局所遵循的基本原则是:

- ① 根据连线最短及减小芯片面积的要求,在电路中处于等电位的 MOS 管要尽可能共用有源区;
- ② 尽可能把 PMOS 和 NMOS 管集中在一起;
- ③ 数字电路与模拟电路要分隔开^[30],并以保护环作为隔离环进行隔离。

布线的基本原则:

- ① 连线采用铝线实现,并且每一层铝线必须满足其最小宽度及线与线间的最小间距要求;

② 连线以最近连接为准则;

(2) 芯片版图的总体布局

版图设计的第一步就是整体布局, 首先将整个芯片的模拟部分和数字部分分开布局, 从一定程度上减少干扰。其次, 根据电路的功能、性能及几何要求等约束条件, 将各功能模块放置在芯片的合适位置上, 实现芯片面积最小的总体目标。

(3) 版图设计时的其他考虑

布局完成以后就要做单元的版图和连线, 除遵循版图设计基本原则外, 还有以下几点考虑:

① 考虑了管脚排列顺序, 使其均匀分布。

② 考虑了最小面积, 即各管子尺寸以最小尺寸为原则, 设计面积最小。

③ 考虑了电源和地的分布以及接衬底和接阱问题, 使得布线清晰。

④ 考虑了 CMOS 集成电路中的门锁效应, 合理布置电源接触孔, 主要采取了以下一些措施: a. 增加电源接触孔的个数, 并加大接触面积。b. 尽量使“电源”和“地”接触孔的长边相互平行。c. 接“地”的孔尽可能安排在 P 阱的所有边上。

(4) 器件及电路单元的设计

本文的版图设计是从设计各个器件及电路单元开始的。严格以南科集成电子有限公司 $3\mu\text{m}$ CMOS P-WELL 铝栅工艺的设计规则为基准, 遵循上述的布局及布线规则, 逐步完成整个芯片版图的设计。图 4.2 和 4.3 分别所示为 P-WELL 中 NMOS 管的结构及采样与解调电路内部单元的版图形式。设计时根据电路性能、功能以及制造工艺的要求来确定单个 MOS 管的宽长比和电路单元的结构形式。其中图 4.2 所示的 NMOS 管的宽长比为 $4/3$ 。图 4.3 的版图设计时考虑了其匹配与对称。此外, 设计时都遵循了以下的规则: 阱包 n 有源区的最小距离; 铝线之间的最小间距; 接触孔与孔之间的最小间距; 增大阱与电源“地”的接触等。

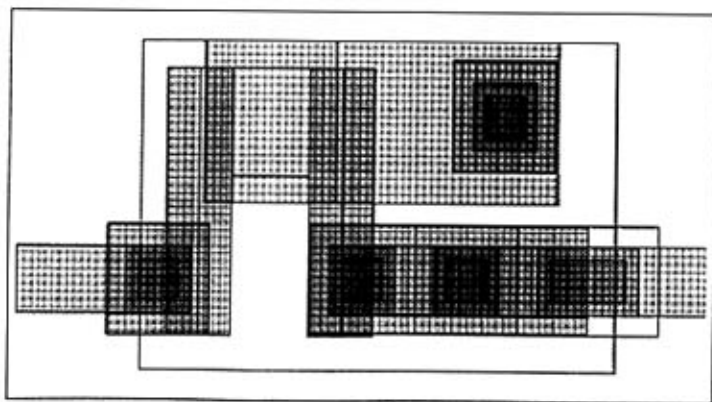


图 4.2 NMOS 管的结构

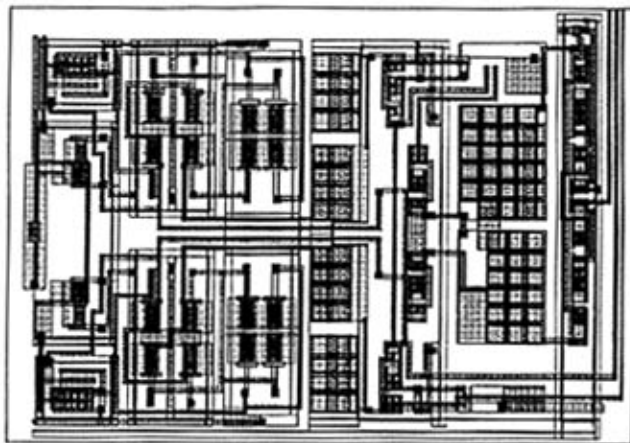


图 4.3 解调电路内部单元的版图

4.2.2 物理验证

为了保证版图的正确性,物理验证是关键的一步。主要包括有几何规则检查(Design Rule Check,简称 DRC)、电学规则检查(ERC)以及网表一致性检查(Layout Versus Schematic,简称 LVS)等。下面将详细描述 DRC 验证和 LVS 验证。

(1) 几何规则检查(DRC)

几何规则检查是用来保证所设计出的版图可以符合工艺的设计规则。它以给定的设计规则为标准,对最小线宽、最小图形间距、最小接触孔尺寸、晶体管的最小特征尺寸等工艺限制进行检查^[31]。本文中用的是 Cadence 公司的 Diva 验证工具。验证步骤如图 4.4 所示:将版图数据和 DRC 规则(diva.rul,见附录 1)读入 Diva 验证工具后进行检查,并生成图形错误报告,有助于差错和修改。

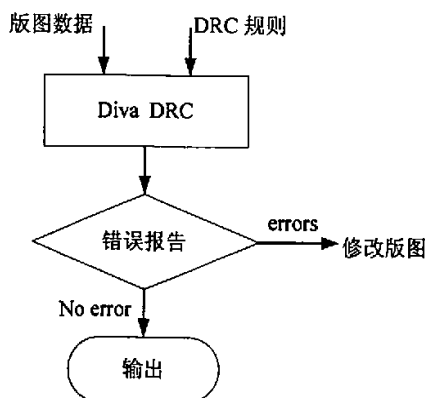


图 4.4 几何规则检查的验证流程

验证结果如图 4.5 所示:

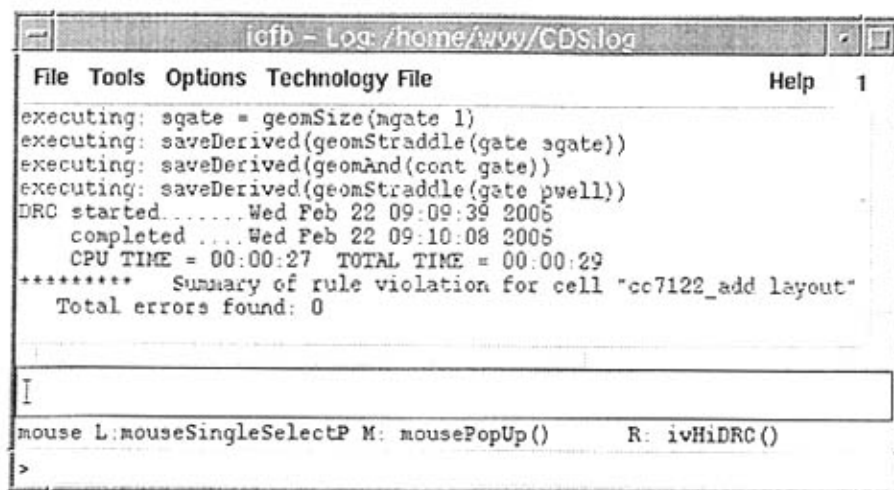


图 4.5 版图 DRC 验证结果显示

从验证报告可以看出：错误总数为零，即芯片的版图满足几何规则检查。

(2) 网表一致性检查 (LVS)

网表一致性检查用来保证设计的版图与其电路原理图的一致性。设计者要提交版图和电路的信息。LVS 工具从版图中作电路连接复原，然后将提出的电路网表与原理图得到的网表进行比较，检查两者是否一致。本文中采用的是物理验证工具 Dracula，其步骤（如图 4.6 所示）为：先将版图转换成工具可读入的 GDSII 格式的文件，同时将电路原理图转换为 CDL 格式的网表，通过命令将这些设计数据读入到 Dracula 验证工具中，并通过 LVS 规则（见附录 2）进行检查，生成图形和文本两种错误报告。然后根据图形报告进行相应的修改，直到设计中所有的器件都相互匹配 (MATCHED)，最后保存正确结果。

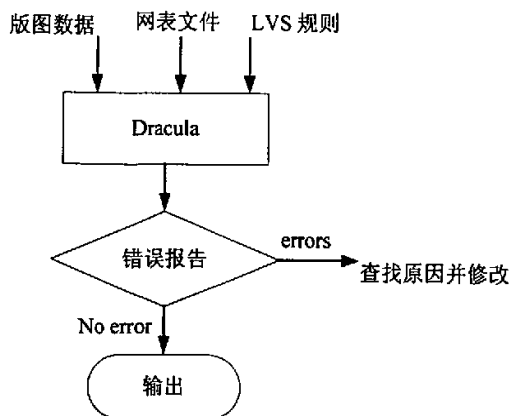


图 4.6 网表一致性检查的验证过程

进行 LVS 验证的命令如下：

```
UNIX% LOGLVS
```

```
    CIR netlist    //读电路图的网表文件文件
```

```
    CON
```

```
    X
```

```
UNIX% PDRACULA
```

```
    :/g *.lvs      //读 LVS 文件
```

```
    :/f
```

```
UNIX% jxrun.com    //LVS 验证的运行
```

```
UNIX% vi LVS.lvs   //查看结果
```

验证结果如图 4.7 所示：

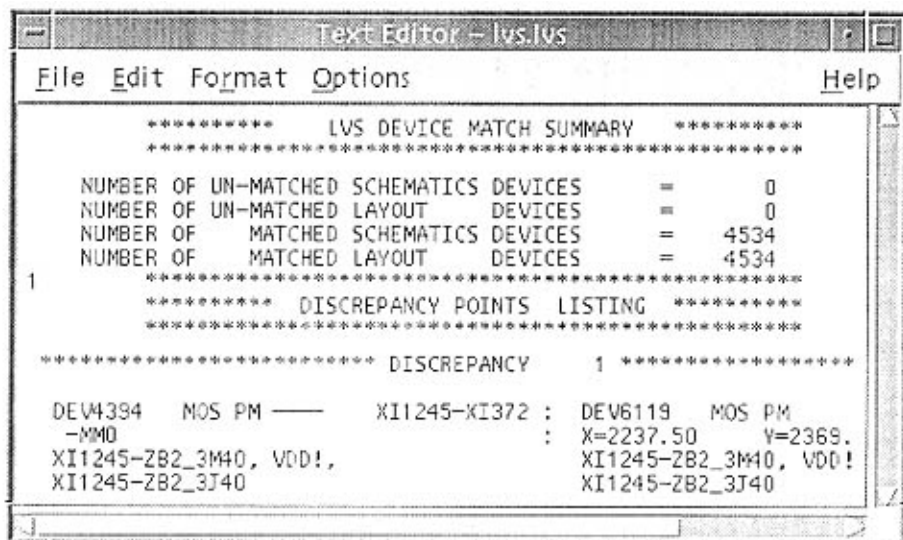


图 4.7 版图 LVS 结果显示

验证结果表明：版图上的器件及连接方式与电路原理一致。

(3) 电学规则检查 (ERC)

电学规则检查不需涉及电路行为，在完成元器件和电路连接关系识别后，针对以下错误进行检查：短路、开路、只有一个引出端的布线、孤立布线、孤立接触控、非法器件（如接地的负载晶体管、CMOS 电路中源接地的 PMOS 管或源接电源的 NMOS 管）等。电学规则检查也有相应的程序完成，ERC 可以减轻 LVS 的负担，在本设计中 LVS 规则文件已将 ERC 的检查规则嵌入了进去。

4.2.3 芯片版图的实现

整个数显卡尺用芯片的版图如图 4.8 所示：芯片面积约为 $3 \times 3 \text{mm}^2$ 。

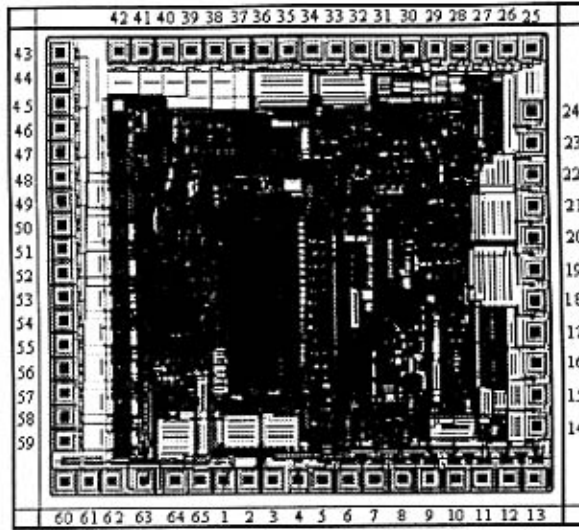


图 4.8 数显卡尺用芯片的完整版图

芯片引脚说明如表 4.1 所示:

表 4.1 芯片引脚说明

编号	名称	编号	名称	编号	名称
1, 23	VSS1	19	TPRE	32	X2
2,3,16, 20,27	T0~T4	21, 22	T160ms,T1024T	33	Mm/inch
4,30	VDD	24	DOWN	34	OFF
5	AUTO	25	UP	35~39	液晶显示
6~13	P1~P8	26	SN	60, 61	COM1,COM2
14	XT1	28	CLR/SET/SSY	62	悬空
15	XT0	29	FCT/SDATA	63	VSS2
17	TAMP	31	Reset	64	VCP
18	AMPIN			65	VCM

4.3 小结

在本章中,阐述了集成电路版图设计的方法和基本流程,并在前一章电路设计的前提下,根据南科集成电子有限公司 3.0 μ m CMOS 铝栅工艺,进行了芯片版图的设计与绘制,并对版图进行了物理验证,以确保其正确性,最终得到了完整的芯片版图。

5 应用测试

本文所设计的芯片适用于数显卡尺、大位移量具、量仪等。其中，容栅式数显卡尺是其最典型的应用。容栅式数显卡尺主要包括容栅传感器、位移装置（机械部分）和电子电路（集成电路）三部分，其电路原理图如图 5.1 所示。

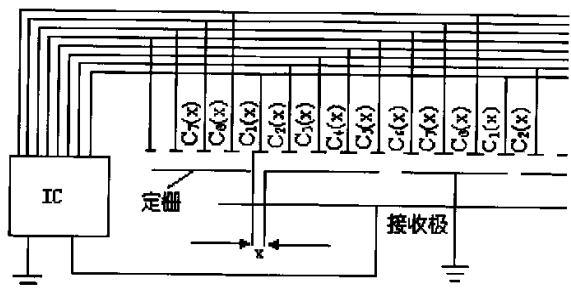


图 5.1 芯片应用电路原理图

在数显卡尺实际设计中，将容栅传感器的发射极板、接收极板制作在同一块双面 PCB 板上（如图 5.2），并与卡尺的移动部分固定在一起。容栅传感器的定栅与卡尺的尺身表面粘接在一起，定栅材料采用单面的覆铜板刻蚀而成，其基板材料为环氧层压板。加工装配完成的容栅式数显卡尺装置如图 5.3 所示。

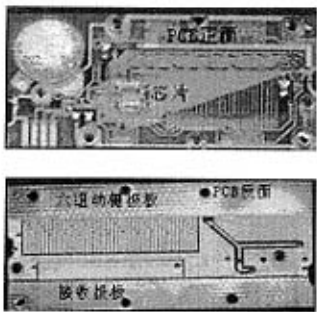


图 5.2 应用电路 PCB 板制作图



图 5.3 数显卡尺装置

在实验室环境下进行实际测试验证。被测件选取为浙江玲珑机械轴承有限公司生产的不锈钢深沟球轴承，型号为 SS6300，外径为 35mm。测试人员为实验室的三名工作人员（命名为甲、乙、丙）。数显卡尺的测试条件：芯片供电电源采用 1.5V 直流，工作电流为 12uA（包括液晶显示驱动电流），供电方式为扣式氧化银电池，晶振频率为 180KHz。用常见的 50 分度机械式游标卡尺作对比测试。

数显卡尺，最大测量范围为 0—200mm（可扩展为 9999.99mm），分辨率为 0.01mm（0.0005inch），测量误差：0.03mm（与动栅节距制作有关），最大测量速度为 1.5m/s；

机械式游标卡尺，最大测量范围为 0—200mm，分辨率为 0.02mm，测量误差 0.02mm，测量误差和测量速度与人为因素有很大关系。两种卡尺的对比测试数据如表 5.1 所示。

表 5.1 两种卡尺的测试结果对比显示

	数显卡尺			游标卡尺		
	甲	乙	丙	甲	乙	丙
1	34.98	35.02	35.03	35.02	35.00	35.00
2	35.00	35.03	35.00	35.00	35.04	35.04
3	34.97	34.99	35.00	35.00	35.00	34.96
4	35.00	35.00	34.97	34.98	35.02	34.98
5	35.01	35.00	35.00	34.98	35.04	35.02

采用数显卡尺测量 5 次的平均时间约为 20s，而采用传统游标卡尺则需要约 60s。

从测试结果来看，与传统游标卡尺相比，数显卡尺无论在读数和使用方便程度，还是在测量速度方面都有很大的改进。虽然数显卡尺的设计系统测量误差比传统游标卡尺稍差，但是传统游标卡尺在使用中需要人为观察刻度，也会引入较大的人为误差因素。反映在最终的测量误差评定上，数显卡尺的测量误差较为稳定，而传统游标卡尺的测量误差由于人为因素导致其起伏较大。也就是说，数显卡尺对操作人员的要求相对较低，便于降低企业人员培训费用，提高测试效率。此外，数显卡尺还具有调零键，可以有效地减少尺身变形、或尺身轻微磨损时，对测试结果的影响。

6 结论

前面几章已经对容栅传感器的位移测量原理、容栅式数显卡尺控制芯片的逻辑电路设计以及版图设计物理验证做了较为详细的介绍。在本文结束之际将对整个设计做一次分析总结,拟总结经验、改进工作。

6.1 设计总结

背景:国内从1985年开始对容栅传感器工作原理、专用大规模集成电路芯片等进行了分析和解剖,并在此基础上,对测量电路作仿制、改进和生产。如原机电部214研究所开发了BJ201数显量具专用集成电路芯片。上海量具刃具厂和香港华科半导体有限公司合作开发了数显卡尺动栅数显单元。总的来说,国内开发的容栅测量系统,在原理上仍未有大的突破,仅在某些具体电路的结构上进行提高,从而致使产品进入国际市场受到一定的限制。同时国产化的动栅数显单元在灵敏度和稳定性方面与国外先进水平相比尚有一定的差距。

意义:目前,国内的数显卡尺(或数显装置)大部分为光栅、磁栅和感应同步器。这些装置各有所长,但成本较高,结构复杂,对使用环境和安装条件要求高。而容栅传感器则可以较好的解决上述问题。容栅式数显测量仪是一种机电一体化的测量仪器,它以容栅作为位移传感器,使用液晶数显电路专用集成芯片,直接显示测量结果。测量精度高、制作方便。因此,容栅式量具的市场前景更加光明,而研究基于容栅技术的专用集成电路芯片也就有着积极的意义。本文也是基于以上几方面的因素,设计了一款用于容栅式数显卡尺的控制芯片。

取得的主要成果以及本文的主要创新点在于:

1、在对容栅传感器的结构及位移测量原理分析的基础上,采用模块化模拟硬件描述语言 Verilog-A,对传感器的行为进行了建模,然后在 Cadence Spectre 仿真环境下进行验证。得到了能够直接用于系统验证的模型,从而可以大大节省产品开发的时间。

2、通过对容栅系统各模块功能的分析,特别是对容栅传感器位移测量原理的讨论,采用模块化的设计方法设计了一款数模混合的专用集成电路(ASIC)芯片,测量原理新颖、测量电路独特、所制成的数显卡尺装置工作可靠、精度高、功耗低、重量轻、抗震动、耐污染,并且组装的成品率高,是最有希望逐步取代机械卡尺的电子数显卡尺。

6.2 展望

随着测量技术向精密化、高速化、自动化、集成化、智能化、非接触化和多功能化方向发展,容栅数显量具的应用将越来越广泛。尤其在计算机信息技术、自动化数字测

量技术快速发展的今天，数显量具在各种制造业、尤其是传统机械制造业中，正以强劲的气势替代传统的机械量具和气动量具，成为生产现场使用中占主导的先进测量器具。本文所设计的芯片可以应用于便携式量具量仪，其最成功的方面就是：低功耗、低成本，这也是目前集成电路设计的发展方向，尤其是对于便携式应用。但与国外先进技术水平相比尚有一定的距离，为了进一步提高容栅数显卡尺的性能，为了能够使国内的产品顺利进入国际市场并占领一席之地，应该做以下几方面的改进：

第一：集成电路工艺方面。铝栅 CMOS IC 产品具有成本低的特点，然而，该类产产品一般功能较简单、性能比较低、集成度不高。为了进一步提高容栅数显量具的性能，传统铝栅 MOS 工艺将被局限，而硅栅 MOS 工艺可以实施自对准，从而可以最大限度的减小栅-源或栅-漏之间的寄生电容，因此可以使电路性能得到改善。

第二：测量精度和速度方面。数显量具生产在国内外飞速发展，目前光电数码盘、光栅、磁栅的测量系统应用进展不大，容栅测量系统得到广泛的应用。国际市场上占领数显量具商品的主要厂家是瑞士 Trimos、TESA、德国 Helios、美国 Brown & Sharpe、日本 Kanon、Mitutoyo 等。与国外技术水平相比，我国的数显量具在测量精度和速度方面尚有一定的距离，因此，还需在国外比较成熟的基础上进行改进和完善，增加产品功能，提高产品性能。

第三：本文所设计的电子数显卡尺采用容栅位移传感器来实现测量，它具有分辨力高、重复性好、功耗低等优点，但是容栅传感器易受介质的影响，在有冷却液、水、切削液及油污等的工况下，将不能正常工作，生产现场的使用受到限制。目前国外已研究生产出了防水型数显卡尺，相应技术在我国申请了专利，为突破国外技术的垄断，提高数显卡尺适应各种生产现场的能力是当前数显卡尺发展的趋势。

由于本人水平有限，论文中的不足之处还请指正。

致 谢

三年的硕士学习生涯即将结束，在这三年里，值得回忆并对我有深刻影响的师生、朋友很多。在此首先感谢我的导师童军副教授，无论日常生活，还是课程的学习、课题的进展和论文的撰写，一直受到童老师的悉心指导和亲切关怀。然后感谢 IC 设计中心刘树林教授和杨波老师，在课题研究和论文写作过程中，很多的观点、方案以及难题的解决都得益于他们的启发和指导，这些不仅使本文的工作得以顺利完成，而且我也将会因此受益终生。在论文即将完成之际，谨此向他们表示衷心的感谢！

在课题研究过程中，同实验室的赵新毅、王瑞、钟久明和王忠芳，同宿舍的孙静和安静宇，在理论和实践上都给予了我大力支持和热情帮助，他们待人真诚、学习刻苦，在科研上求实务新、刻苦钻研，是我学习的榜样，也是我生活中的朋友，我为有这样的合作伙伴、朋友感到自豪，在此向他们表示衷心的感谢！

感谢所有支持和关心我的人。

最后衷心感谢我的家人及男友，感谢他们一直以来对我默默的支持和帮助。

参考文献

- [1] 卜云峰. 检测技术.北京: 机械工业出版社, 2005. 1~2
- [2] 宋玉兴, 任长明. 超大规模集成电路设计.北京: 中国电力出版社, 2004.2~3
- [3] 王习文, 齐欣等.容栅传感器及其发展前景.吉林大学学报(工业版), 2003, 33(2): 89~93
- [4] 谢华锬. 我国数显量具发展点评.工具技术, 2004, 38(12): 56~57
- [5] 徐科军, 马修水等.容栅传感器研究与开发现状.工具技术, 1994, 28(12): 39~40
- [6] 徐科军, 薛靓.容栅传感器鉴相型测量电路分析.计量技术, 1995, 6: 7~8
- [7] 余成波, 胡新宇等.传感器与自动检测技术.北京: 高等教育出版社, 2004. 60~70
- [8] 李晓莹, 张新荣, 任海果等.传感器与检测技术.北京: 高等教育出版社, 2005. 1~10
- [9] 刘德全, 王筱华. 大位移测量的容栅传感器工作原理. 大连轻工业学院学报, 1997, 16(12): 18~21
- [10] 朱樟明, 张春朋, 杨银堂, 付永朝.Verilog-A 的模拟电路行为模型及仿真.电子器件, 2003, 26(4): 397~399
- [11] 555 River Oaks Parkway, San Jose. Affirma Verilog-A Language Reference.Cadence Design Systems, Inc.2000.6
- [12] Kenichi SUZUKI, Akinobu NISHIO. An Application of Verilog-A to Modeling of Back Propagation Algorithm in Neural Networks. IEEE Midwest symp on Circuits and systems [J], Aug. 8-11,2000
- [13] 李建玲. 基于 PWM 的两相混合式步进电机细分驱动芯片的设计: [学位论文]. 西安: 西安科技大学, 2005
- [14] 朱正涌. 半导体集成电路.北京: 清华大学出版社, 2002. 382~392
- [15] 谢永瑞. VLSI概论.北京: 清华大学出版社, 2002.111~112
- [16] 王彬, 任艳颖. 数字IC系统设计.西安: 西安电子科技大学出版社, 2005.198~205
- [17] HSPICE Simulation and Analysis User Guide. Synopsys, Inc.2003
- [18] Charles R. Kime. GETTING STARTED WITH HSPICE – A TUTORIAL. Dept. of Electrical and Computer Engineering University of Wisconsin – Madison.1998.1
- [19] 楚薇. 低压CMOS电荷泵的设计及应用: [学位论文].合肥: 合肥工业大学, 2004
- [20] 曹香凝, 汪东旭, 严利民. DC-DC电荷泵的研究与设计. 通信电源技术, 2004, 21(5): 14~16
- [21] 黄瑞, 戴宇杰, 卢桂章.锁相环用CMOS 鉴频鉴相器及电荷泵的实现.南开大学学报(自然科学版), 2004, 37(4): 118~122

- [22] Phillip E. Allen, Douglas R. Holberg. CMOS Analog Circuit Design(Second Edition). Oxford University Press, Inc. 2002
- [23] David A. Johns, Ken Martin. Analog Integrated Circuit Design. John Wiley & Sons, Inc. 2005
- [24] 张兴, 黄如等. 微电子学概论. 北京: 北京工业出版社, 2000. 164~172
- [25] 陈贵灿, 邵志表等. CMOS 集成电路设计. 西安: 西安交通大学出版社, 2000. 1: 3~4
- [26] 王志功, 景为平. 集成电路设计与九天 EDA 工具应用. 南京: 东南大学出版社, 2004. 8: 2~3
- [27] 吴魏, 蔡木本. 125mm 铝栅 CMOS 工艺技术开发及其应用. 微电子技术, 1998, 26(1): 27~30
- [28] Christopher Saint, Judy Saint. IC Mask Design—Essential Layout Techniques. The McGraw—Hill Companies, Inc, 2003: 141~142
- [29] R. Jacob Baker, Harry W. Li, David E. Boyee. CMOS: Circuit Design, Layout, and Simulation. The Institute of Electronics Engineer, Inc, 2003. 6: 301~305
- [30] Behzad Razavi. Design of Analog CMOS Integrated Circuits. First Edition. The McGraw-Hill International Edition. 2001.
- [31] Christopher Saint, Judy Saint. IC Layout Basics: A Practical Guide. The McGraw-Hill Companies, 2004

附 录

附录 1 DRC 规则文件

```
drcExtractRules(
/***** Original Layers Define *****/
bkgnd = geomBkgnd()
pwell = geomOr("Pwell")
pdif= geomOr("P+")
ndif = geomOr("N+")
gate = geomOr("Gate")
cont = geomOr("CONT")
metal = geomOr("Metal")
pad = geomOr("Pad")
cap = geomOr("cap")
Text= geomOr("Text")
alllay = geomCat(pwell ndif pdif cont metal pad)
offGrid(alllay 0.25 "shape off gird")
nwell=geomAndNot(bkgnd pwell)
ntap=geomInside(ndif nwell)
ptap=geomInside(pdif pwell)
over1 = geomSize(pwell -1)
over2 = geomSize(over1 3.5)
over3 = geomAndNot(pwell over1)
over4 = geomAndNot(over2 over1)
over5 = geomAndNot(over2 pwell)
pguard = geomAnd(over4 pdif)
nguard = geomOutside(pwell ndif)
psd=geomOutside(pguard pdif)
nsd=geomInside(pwell ndif)
globalLabel(("Text" "drawing") "vdd!" "vss!")
joinableNet("vdd!" "vss!")
geomConnect
```

```

(via cont pdif metal)
(via cont ndif metal)
(via ptap pwell psd)
(via ntap nwell nsd)
label(("Text" "drawing") metal)
)

/***** 1. PWELL RULE *****/
pwcold=geomGetNet(pwell "vss" "vss!")
pwhot=geomAndNot(pwell pwcold)
drc(pwell width < 5.0 edge "pwell width < 5.0")
drc(pwell notch < 5.0 edge "pwell notch < 5.0")
drc(pwcold pwhot sep < 10 edge "non_equipotential pwell distance < 10")
drc(pwcold sep < 9 edge "equipotential pwcold distance < 9")
drc(pwcold 0 < notch < 9 "equipotential pwcold distance < 9")
drc(pwhot sep < 10 edge "equipotential pwhot distance < 10")
drc(pwhot 0 < notch < 10 "equipotential pwhot distance < 10")
drc(pwell (geomInside ndif pwell) ovlp < 1.0 "pwell enclose ndif inside pwell < 1.0")
drc(pwell psd sep < 5.5 "pwell to pdif outside pwell < 5.5")
drc(pwell psd 0 < notch < 5.5 "pwell to pdif outside pwell < 5.5")

/***** 2. N+/P+ RULE *****/
drc(pdif sep < 3 "pdif layer sep < 3")
drc(pdif 0 < notch < 3 "pdif layer sep < 3")
drc(ndif sep < 3 "ndif layer sep < 3")
drc(ndif 0 < notch < 3 "ndif layer sep < 3")
drc(pdif width < 2.5 "pdif width < 2.5 ")
drc(ndif width < 2.5 "ndif width < 2.5 ")
drc(pguard width < 3.5 "pguard width < 3.5")
drc(nguard width < 3.0 "nguard width < 3.0")
drc(over3 width < 1.0 "pguard inside pwell width < 1.0")
drc(over5 width < 2.5 "pguard outside pwell width < 2.5")
drc(ndif pdif 0 < sep < 3 "ndif pdif sep < 3")
saveDerived( geomStraddle(pdif ndif))

/***** 4. Gate RULE *****/
drc( gate width < 3 "gate width < 3 ")

```

```

drc( gate sep < 2.5      "gate  sep < 3 ")
gatecap=geomAndNot(gate cap)
drc( gatecap pguard sep < 2.5)
drc(pdif gate enc < 0.25)
drc(pdif gate sep < 0)
drc(ndif gate sep < 0)
drc(gate pwell sep < 1)
/***** 6. Contact RULE *****/
drc( cont  width  < 1.5      "contact  width  < 1.5")
buttingcont=drc(cont 1.5 < width < 3.0)
drc(pdif buttingcont ovlp < 1.5  "butting contact extend to Pdif < 1.5")
drc(ndif buttingcont ovlp < 1.5  "butting contact extend to Ndif < 1.5")
drc( cont  sep < 2          "contact  sep  < 2 ")
drc(pdif cont enc < 1.25      " Pdif over contatc sep < 1.25")
drc(ndif cont enc < 1.25      " Ndif over contatc sep < 1.25")
/***** 7. Metal RULE *****/
drc( metal  width < 2.5      " metal  width  < 2.5  ")
drc( metal  sep  < 1.5      " metal  space  < 1.5  ")
drc( metal 0 < notch < 1.5    " metal  space  < 1.5  ")
drc(metal gate enc < 1.0      " metal overlap gate < 1.0")
drc(metal cont enc < 0.5      " metal overlap cont < 0.5")
/***** 8. Pad RULE *****/
drc( pad  width  < 90      "pad  width  < 90  ")
drc( pad sep < 55          "pad  sep    < 55")
drc(metal pad enc < 10      "bonding pad metal size < 110")
metal1=geomAnd(metal pad)
padmetal=geomSize(metal1 10)
drc(padmetal sep < 35      "bonding pad metal sep < 35")
drc(padmetal metal sep < 35      "bonding pad metal to metal sep < 35")
drc(ndif padmetal enc < 10 "bonding pad n+ overlap bonding pad metal < 10")
/***** mask bias *****/
saveDerived( geomStraddle( ndif pwell) )
metal2=geomNot(metal padmetal)
mgate=geomAnd(metal2 gate)

```

```
sgate=geomSize(mgate 1)
saveDerived( geomStraddle( gate sgate) )
saveDerived( geomAnd(cont gate) )
saveDerived( geomEnclose(pdif ndif) )
saveDerived( geomEnclose(ndif pdif) )
)
;end    divaDRC.rul
```

附录 2 LVS 规则文件

```

;-----
; *****LVSERC FOR cc7122 for CMOS 3.0μm*****
;-----

;Project :cc7122
;Process :Xian Company,limited
;Filename :/home1/user/wyy/cc7122/lvs
;Author :wyy
;Date :2004/06
;Rev :7.0
;-----

*DESCRIPTION
PRIMARY =cc7122
INDISK =1.gds
OUTDISK =err.gds
PRINTFILE =lvs
;PROGRAM-DIR =/home/cds/tools/dracula/bin
SYSTEM =GDS2
SCALE =0.001 MICRON
RESOLUTION =0.25 MICRON
;MODE =exec now
TEXT-PRI-ONLY =YES
MINI-SUMMARY =NO
CNAMES-CSEN =NO
KEEPDATA =YES
ABORT-P-G-SHORT =NO
FLAG-NON45 =YES
FLAG-ACUTEANGLE =YES
POWER-NODE =VDD,vdd,vdd!
GROUND-NODE =GND,gnd,gnd!
SCHEMATIC =LVSLOGIC
*END
;-----

```

```

*INPUT-LAYER
Pwell          =1
Pdif           =2
Ndif           =3
gate           =8
CONT           =5
Metal          =6 text 11 ATTACH Metal
cap            =9
Res            =10
Text           =11
dio            =12
Pad            =7
substrate      =bulk 59
CONNECT-LAYER= pwell,bulk,nsd,psd,Metal, ntap,ptap,dntap,dptap,dnsd,dpsd
*END
;-----
*OPERATION
NOT bulk Pwell nwell
select Pdif cut pwell ptap
AND Ndif nwell ntap
AND cap gate capGate
NOT gate capGate gate1
AND pdif res pdifres
AND ndif res ndifres
;-----source layers-----
SIZE pwell by 2.5 pwell1
SELECT ndif inside pwell1 nsd
select pdif outside pwell1 psd
AND psd cap pcap
AND nsd cap ncap
AND ptap cap pcap1
AND ntap cap ncap1
;-----DEFINE DIODE-----
AND dio pwell ndio

```



```

SELECT nsd OVERLAP ndio dnsd
SELECT ptap OVERLAP ndio dptap
AND   dio bulk pdio
SELECT psd OVERLAP pdio dpsd
SELECT ntap OVERLAP pdio dntap
;-----DEFINE GATE S/D-----
AND   gate1 pwell  ngate
AND   gate1 nwell  pgate
;-----DEFINE CONNECT LAYERS-----
AND   Cont   nsd      nsdcnt
AND   Cont   psd      psdcnt
AND   Cont   ntap     ntpcnt
AND   Cont   ptap     ptpcnt
AND   Cont   ptap     wptpcnt
AND   Cont   ntap     wntpcnt
AND   Cont   dntap    dntapc
AND   Cont   dptap    dptapc
AND   Cont   dnsd     dnsdc
AND   Cont   dpsd     dpsdc
;-----DEFINE  CONNECT -----
CONNECT nsd      Metal by nsdcnt
CONNECT psd      Metal by psdcnt
CONNECT ntap     Metal by ntpcnt
CONNECT ptap     Metal by ptpcnt
CONNECT dnsd     Metal by dnsdc
CONNECT dpsd     Metal by dpsdc
CONNECT dntap    Metal by dntapc
CONNECT dptap    Metal by dptapc
SCONNECT bulk    ntap by wntpcnt
SCONNECT pwell   ptap by wptpcnt
;-----DEFINE MOS  GATE-----
ELEMENT MOS[NM]  ngate metal  nsd pwell
ELEMENT MOS[PM]  pgate metal  psd bulk
;-----DEFINE DIODE-----

```

```

ELEMENT    DIO[DP] ndio dptap dnsd
ELEMENT    DIO[P]  pdio  dntap dpsd
;-----DEFINE NWELL RES-----
ELEMENT    RES[r1] ndifres nsd
PARAMETER  RES[r1] 40
ELEMENT    RES[r0] pdifres psd
PARAMETER  RES[r0] 400
;-----DEFINE CAP -----
ELEMENT    CAP[c1] pcap  metal psd
PARAMETER  CAP[c1] 7.7e-16
ELEMENT    CAP[c2] ncap  metal nsd
PARAMETER  CAP[c2] 1.925e-16
ELEMENT    CAP[c3] ncap1 metal ntap
PARAMETER  CAP[c3] 1.925e-16
ELEMENT    CAP[c4] pcap1 metal ptap
PARAMETER  CAP[c4] 7.7e-16
;-----ERC CHECK-----
SAMELAB    OUTPUT  open    61
MULTILAB   OUTPUT  short   62
SOFTCHK    bulk    OUTPUT[U] softn 74
SOFTCHK    pwell   OUTPUT[U] softp 74
LCONNECT   bulk    DISC VDD  OUTPUT pwnvdd 63
LCONNECT   pwell   DISC GND  OUTPUT nwnvdd 64
ELCOUNT   MOS     all  EQ   1  OUTPUT single 65
NDCOUNT    MOS[NM] nsd EQ   1  OUTPUT nnsdsh 66
NDCOUNT    MOS[PM] psd EQ   1  OUTPUT ppsdsh 67
ECONNECT   MOS[PM] psd  CONN GND  OUTPUT ppsdvss 72
ECONNECT   MOS[NM] nsd  CONN VDD  OUTPUT nnsdvdd 73
*BREAK LVSCCHK
LVSCCHK[RUS] WPERCENT=0 LPERCENT=0 CAPVAL=50 DIOAREA=5 RESVAL=5
LVSPLOT     NODE    TYPE  1  OUTPUT  NODE1  50
LVSPLOT     NODE    TYPE  2  OUTPUT  NODE2  50
LVSPLOT     NODE    TYPE  3  OUTPUT  NODE3  50
LVSPLOT     NODE    TYPE  4  OUTPUT  NODE4  50

```

LVSPLOT	NODE	TYPE	5	OUTPUT	NODE5	50
LVSPLOT	NODE	TYPE	6	OUTPUT	NODE6	50
LVSPLOT	NODE	TYPE	13	OUTPUT	NODE13	50
LVSPLOT	MOS	TYPE	2	OUTPUT	MOS2	50
LVSPLOT	MOS	TYPE	3	OUTPUT	MOS3	50
LVSPLOT	MOS	TYPE	4	OUTPUT	MOS4	50
LVSPLOT	MOS	TYPE	6	OUTPUT	MOS6	50
LVSPLOT	MOS	TYPE	7	OUTPUT	MOS7	50
LVSPLOT	MOS	TYPE	9	OUTPUT	MOS9	50
LVSPLOT	MOS	TYPE	10	OUTPUT	MOS10	50
LVSPLOT	MOS	TYPE	12	OUTPUT	MOS12	50
LVSPLOT	MOS	TYPE	14	OUTPUT	MOS14	50
LVSPLOT	MOS	TYPE	15	OUTPUT	MOS15	50

*END

附录 3 攻读学位期间发表的论文

- [1] 王媛媛, 杨波, 童军. 一种高速 MCU 核的设计. 西安科技大学学报, 2005
- [2] 王媛媛, 童军, 杨波. 基于 Verilog-A 语言的三相半波整流电路的建模与仿真. 西安科技大学高教研究, 2005
- [3] 杨波, 王媛媛, 韦力. 基于 SOC 的容栅式数显卡尺用芯片的设计. 西安科技大学学报, 2005