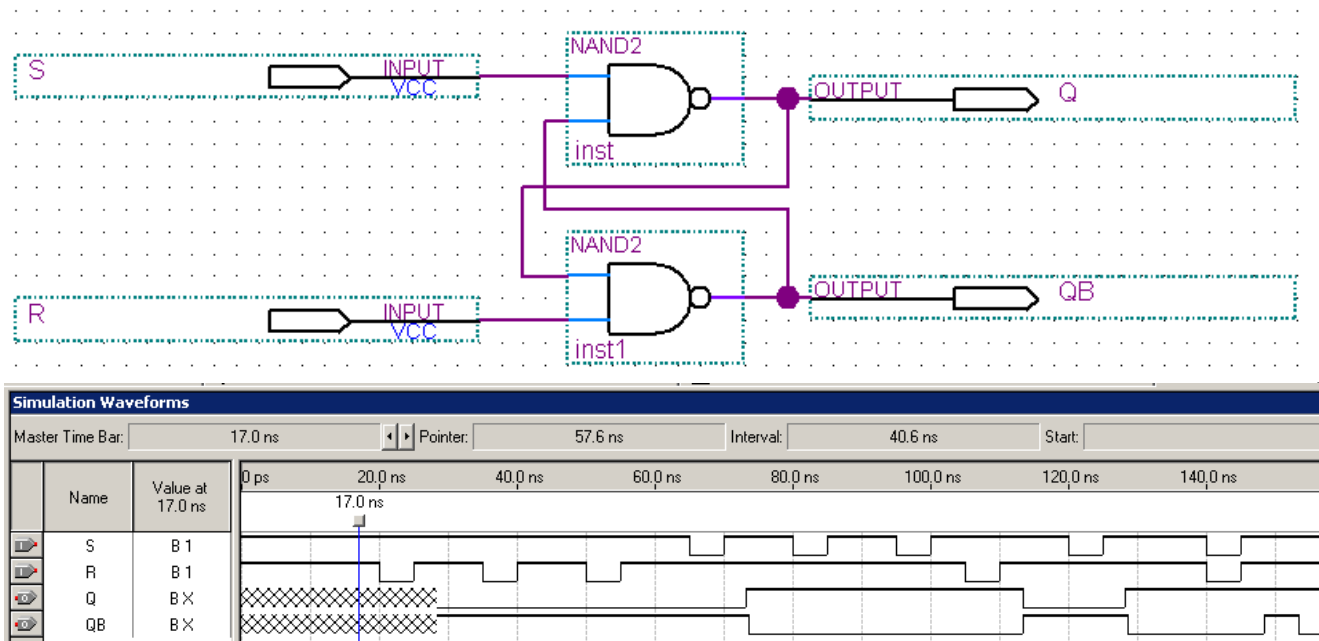


1. Создать в графическом редакторе проект схемы RS-триггера на элементах "И-НЕ" (элемент nand2). Откомпилировать и промоделировать его работу. Зарисовать временные диаграммы.



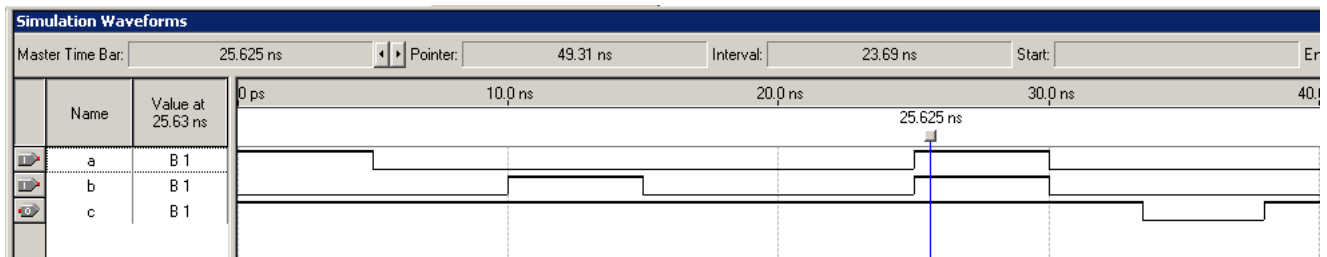
2. Создать проект схемы RS-триггера в текстовом редакторе, используя язык проектирования схем VHDL.
 - Создать проект схемы логического элемента "И-НЕ" на языке VHDL.

```
-- Элемент И-не
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY notand IS
    PORT( a : IN std_logic;
          b : IN std_logic;
          c : OUT std_logic );
END notand;

ARCHITECTURE behavior OF notand IS
BEGIN
    C <= NOT ( a AND b );
END behavior;
```

- Откомпилировать проект и получить временные диаграммы. Сравнить с таблицей истинности элемента "И-НЕ".



a	b	И	И-НЕ
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Значения совпали.

- Создать проект схемы RS-триггера на основе логических элементов "И-НЕ", используя язык VHDL.

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY rstr IS
    PORT( s : IN std_logic;
          r : IN std_logic;
          q : INOUT std_logic;
          qb : INOUT std_logic );
END rstr;

ARCHITECTURE behav OF rstr IS
    COMPONENT notand
        PORT( a : IN std_logic;
              b : IN std_logic;
              c : INOUT std_logic);
    END COMPONENT;

    BEGIN
        u1: notand
            PORT MAP (s, qb, q);

        u2: notand
            PORT MAP (q, r, qb);

    END behav;

CONFIGURATION con OF rstr IS
    FOR behav

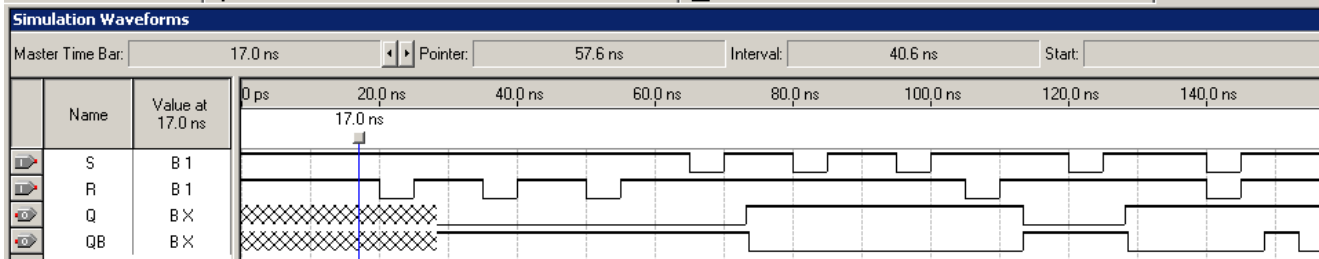
```

```

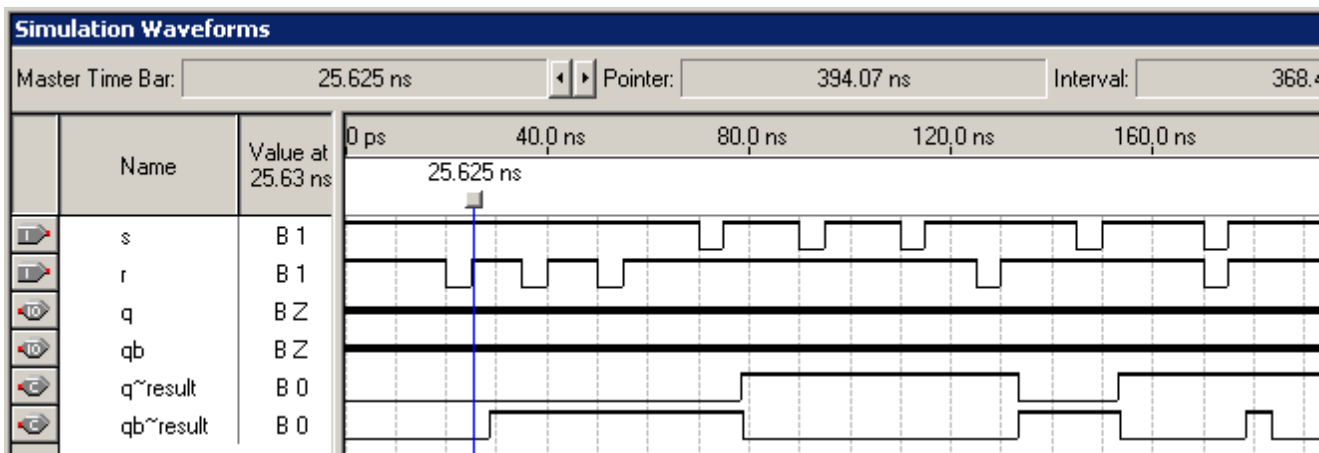
FOR u1, u2: notand
    USE ENTITY work.notand (behavior);
END FOR;
END FOR;
END con;

```

Сравним диаграмму созданного элемента в граф. ред.



и элемента написанного на vhdl



Диаграммы совпали.

- Реализовать проект RS-триггера, используя поведенческую модель.

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY rstl IS
    PORT( s : IN std_logic;
          r : IN std_logic;
          q : OUT std_logic );
END rstl;

ARCHITECTURE behav OF rstl IS
    SIGNAL qs:std_logic;
    BEGIN PROCESS (s,r)
        BEGIN
            IF s='1' THEN
                IF r='1' THEN qs<=qs;
                ELSE qs<='0';
                END IF;
            ELSE qs<='1';
            END IF;
        END PROCESS;
    END PROCESS;

```

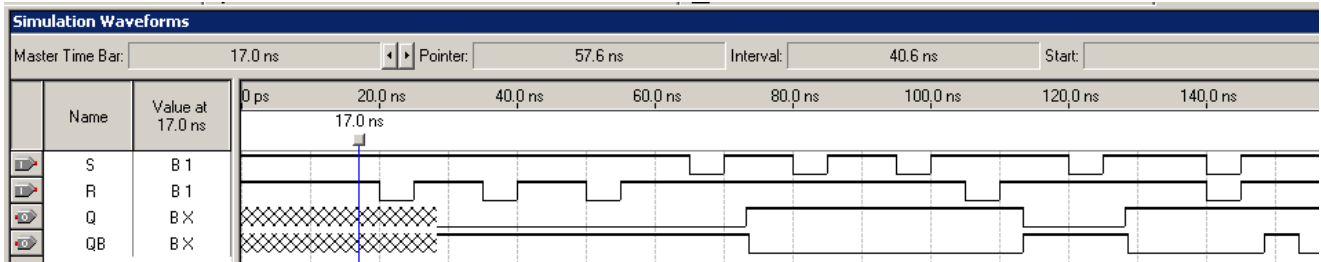
```

q<=qs;
END behav;

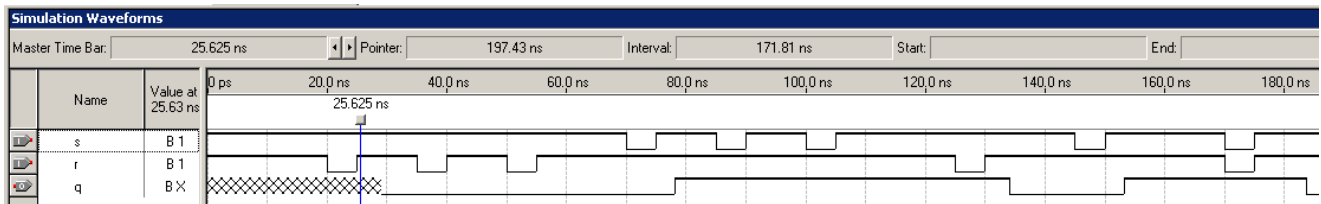
```

- Откомпилировать проект и получить временные диаграммы. Сравнить с результатами моделирования, полученными в п.1.

Сравним диаграмму созданного элемента в граф. ред.

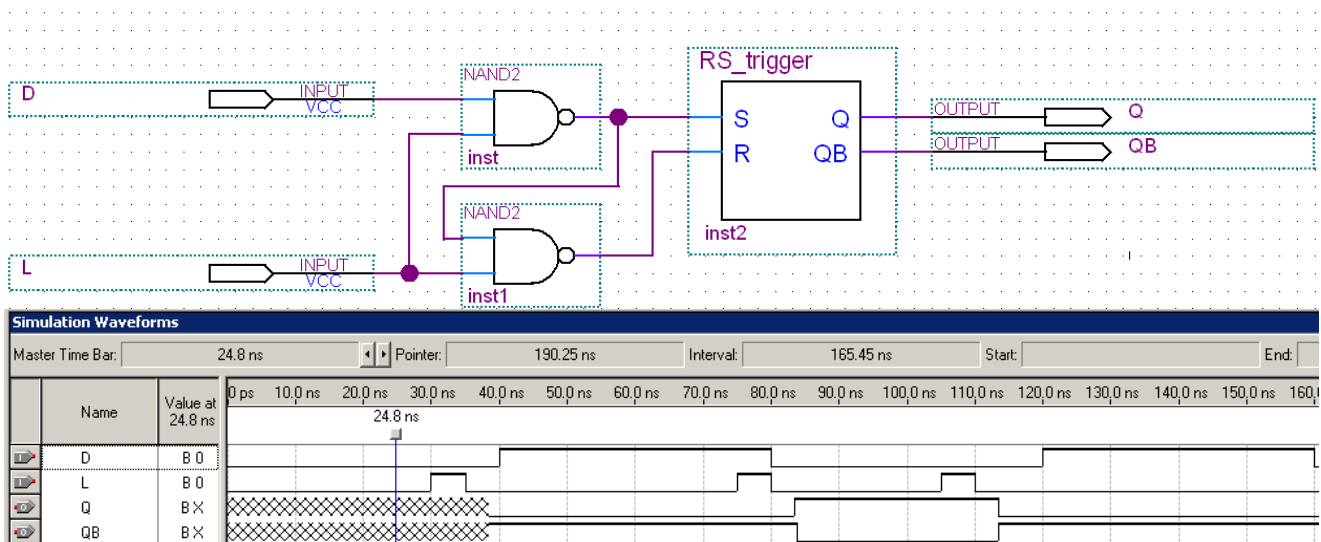


и элемента из поведенческой модели



Внешне диаграммы совпали.

- Создать в графическом редакторе проект схемы D-триггера на элементах "И-НЕ" (элемент nand2). Откомпилировать и промоделировать его работу. Зарисовать временные диаграммы.



- Реализовать проект D-триггера на языке программирования VHDL

- используя структурную модель устройства.

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY dtr IS
    PORT( d : IN std_logic;
          l : IN std_logic;

```

```

        q : INOUT std_logic;
        qb : INOUT std_logic );
END dtr;

ARCHITECTURE behav OF dtr IS
    COMPONENT notand
        PORT( a : IN std_logic;
              b : IN std_logic;
              c : OUT std_logic );
    END COMPONENT;

    COMPONENT rstr
        PORT( s : IN std_logic;
              r : IN std_logic;
              q : INOUT std_logic;
              qb : INOUT std_logic);
    END COMPONENT;

    SIGNAL s_signal, r_signal : std_logic;

    BEGIN
        u1: notand
            PORT MAP (d, l, s_signal);

        u2: notand
            PORT MAP (s_signal, l, r_signal);

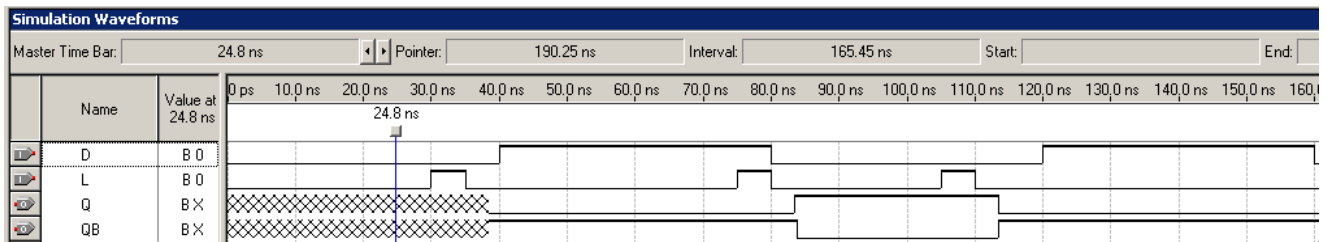
        u3: rstr
            PORT MAP (s_signal, r_signal, q, qb);

    END behav;

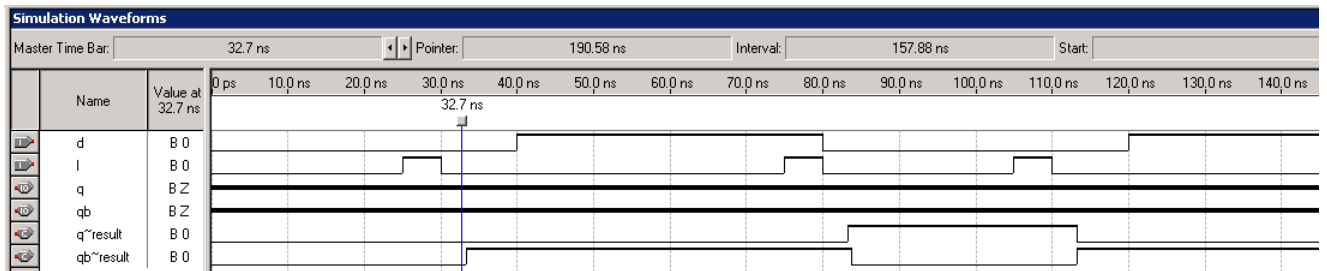
CONFIGURATION con OF dtr IS
    FOR behav
        FOR u1, u2: notand
            USE ENTITY work.notand (behavior);
        END FOR;
        FOR u3 : rstr
            USE ENTITY work.rstr (behav);
        END FOR;
    END FOR;
END con;

```

Сравним диаграмму созданного элемента в граф. ред.



и элемента из структурной модели



Внешне диаграммы совпали.

- используя поведенческую модель устройства.

```

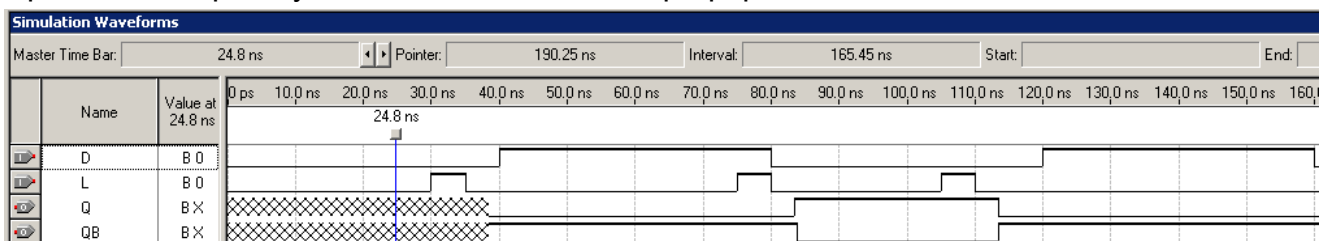
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY dtr1 IS
    PORT( d : IN std_logic;
          l : IN std_logic;
          q : OUT std_logic );
END dtr1;

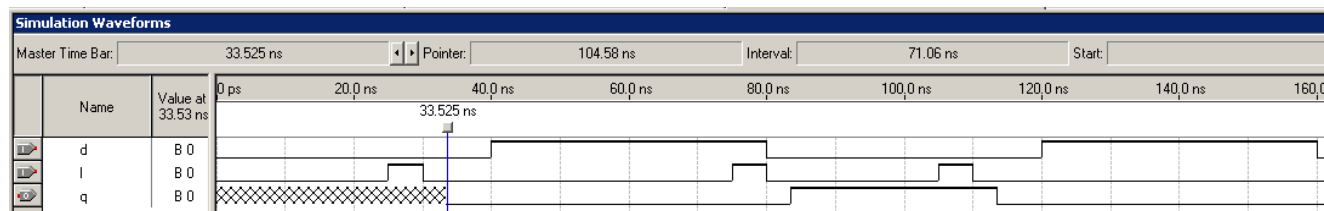
ARCHITECTURE behav OF dtr1 IS
    SIGNAL qs:std_logic;
    BEGIN PROCESS (l,d)
        BEGIN
            IF l='1' THEN
                qs <= d;
            END IF;
        END PROCESS;
        q <= qs;
    END behav;

```

Сравним диаграмму созданного элемента в граф. ред.



и элемента из поведенческой модели



Внешне диаграммы совпали.