



Gowin DDR3 Memory Interface IP

用户指南

IPUG281-2.5, 2025-05-09

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、GOWIN、W、GOWINSEMI、GOWIN、Gowin、高云、晨熙、小蜜蜂、littleBee、Arord-V、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2018/08/24	1.0	初始版本。
2019/03/12	1.1	新增 DDR3 1:4 时钟比例关于连续突发的描述和使用。
2019/07/12	1.2	<ul style="list-style-type: none">修改地址格式；增加读写效率的相关描述。
2020/01/06	1.3	修改静态参数选项。
2021/06/30	1.4	<ul style="list-style-type: none">增加 memory_clk、pll_lock 端口；设计源代码文件更新。
2021/11/25	1.5	<ul style="list-style-type: none">修改 cmd_en 与 cmd_ready 的时序描述；修改 wr_data_en 与 wr_data_rdy 的时序描述。
2022/08/12	1.6	<ul style="list-style-type: none">修改用户接口时序描述；增加控制器连续突发模式及非连续突发模式描述。
2022/10/17	1.7	修改时序图中的 wr_data_wren 为 wr_data_en, clk 为 clk_out, wr_data_ready 为 wr_data_rdy。
2023/06/08	2.0	<ul style="list-style-type: none">新增 GW5AST-138 器件描述；新增 pll_stop 信号。删除第 8 章参考设计和第 9 章文件交付。
2023/08/18	2.1	<ul style="list-style-type: none">新增 GW5A-25 器件支持；删除 Burst_Number_Enable 选项；删除 app_burst_number 接口信号的有关内容。
2023/09/12	2.2	GW5A-25 器件支持 pll_stop。
2024/12/31	2.3	<ul style="list-style-type: none">修改器件支持的最高速率等相关内容；新增在 GW5A(T)-60K 器件环境下 IP 的 pll_stop 相关内容；更新 Data_Mask 端口描述；更新复位描述。
2025/3/14	2.4	<ul style="list-style-type: none">更新主要特征描述；更新资源利用描述。
2025/05/09	2.5	<ul style="list-style-type: none">新增 ODT 描述；更新静态参数配置描述。

目录

图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	1
1.4 技术支持与反馈.....	2
2 概述.....	3
3 主要特征与性能.....	4
3.1 主要特征.....	4
3.2 工作频率与带宽效率.....	5
3.3 资源利用.....	5
4 功能描述.....	6
4.1 整体结构.....	6
4.2 Memory Controller.....	7
4.3 PHY.....	7
4.3.1 初始化单元.....	7
4.3.2 数据通路单元.....	8
4.3.3 控制通路单元.....	8
4.3.4 I/O 逻辑单元.....	8
4.4 用户接口.....	8
4.4.1 初始化接口.....	8
4.4.2 时钟.....	8
4.4.3 复位.....	9
4.4.4 pll_stop.....	10
4.4.5 命令和地址接口.....	11
4.4.6 命令与写数据位置关系.....	13
4.4.7 写数据接口.....	14
4.4.8 读数据接口.....	16
4.4.9 刷新.....	18

5 ODT.....	20
6 端口列表.....	21
7 参数配置.....	24
8 界面配置	26

图目录

图 4-1 DDR3 Memory Interface IP 结构图.....	6
图 4-2 DDR3 PHY 基本结构图.....	7
图 4-3 初始化完成信号时序图.....	8
图 4-4 时钟.....	9
图 4-5 复位.....	9
图 4-6 138k pll_stop.....	10
图 4-7 25K pll_stop.....	11
图 4-8 Rank-Bank-Row-Column 顺序的寻址方案.....	12
图 4-9 命令、地址与使能信号时序图-A.....	12
图 4-10 cmd 与数据位置关系图.....	13
图 4-11 时钟比例 1:2, Burst_Mode=BC4 或时钟比例 1: 4 写数据时序图.....	14
图 4-12 时钟比例 1:2, Burst_Mode=BL8, 写数据时序图.....	15
图 4-13 时钟比例 1:2, Burst_Mode=OTF, 写数据时序图.....	15
图 4-14 时钟比例 1:2, Burst_Mode=BC4, 读数据时序图.....	16
图 4-15 时钟比例 1:2, Burst_Mode=BL8, 读数据时序图.....	17
图 4-16 时钟比例 1:2, Burst_Mode=OTF, 读数据时序图.....	17
图 4-17 时钟比例 1:4, 读数据时序图.....	18
图 4-18 用户刷新时序图.....	18
图 5-1 FloorPlanner 下配置 ODT.....	20
图 8-1 打开 IP Core Generator.....	26
图 8-2 打开 DDR3 Memory Interface IP 核.....	27
图 8-3 IP 核接口示意图.....	28
图 8-4 基本信息配置界面.....	29
图 8-5 参数配置界面.....	30

表目录

表 1-1 术语、缩略语.....	1
表 2-1 Gowin DDR3 Memory Interface IP.....	3
表 3-1 资源利用情况.....	5
表 4-1 cmd 命令.....	11
表 6-1 Gowin DDR3 Memory Interface IP 的 IO 端口列表.....	21
表 7-1 DDR3 时间参数.....	25

1 关于本手册

1.1 手册内容

Gowin DDR3 Memory Interface IP 用户指南主要内容包括 IP 的结构与功能描述、端口说明、时序说明、配置调用、参考设计等，旨在帮助用户快速了解 Gowin DDR3 Memory Interface IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 V1.9.11 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS102, GW2A 系列FPGA 产品数据手册](#)
- [DS226, GW2AR 系列FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列FPGA 产品数据手册](#)
- [DS1103, GW5A 系列FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ECC	Error Correcting Code	纠错码
FIFO	First Input First Output	先进先出队列
GSR	Global System Reset	全局系统复位
IP	Intellectual Property	知识产权
ODT	On-Die Termination	片内终端

术语、缩略语	全称	含义
LUT	Look-up Table	查找表
RAM	Random Access Memory	随机存取存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

2 概述

Gowin DDR3 Memory Interface IP 是一个通用的 DDR3 内存接口 IP，符合 JESD79-3F 标准协议。该 IP 包含 DDR3 内存控制器（Memory Controller, MC）与对应的物理层接口（Physical Interface, PHY）设计。Gowin DDR3 Memory Interface IP 为用户提供一个通用的命令接口，使其与内存芯片进行互连，完成用户的访存需求。

表 2-1 Gowin DDR3 Memory Interface IP

Gowin DDR3 Memory Interface IP	
逻辑资源	请参见 表 3-1 。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.11 及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

3 主要特征与性能

3.1 主要特征

- 能与工业标准的 DDR3 SDRAM 器件和具有 JESD79-3F 规范兼容的模块接口
- 支持存储器数据路径宽度为 8、16、24、32、40、48、56、64 和 72 位
- 支持单列 RDIMM、UDIMM 和 SODIMM 内存模块
- 支持 x8 和 x16 数据宽度的内存芯片
- 可编程突发长度 4 或 8 或 OTF
- GW2A-18、GW2A-55、GW2AR-18 下支持时钟比例 1:2 和 1:4，GW5AST-138 下支持时钟比例 1: 4
- 支持 ECC
- 可配置的 CL
- 可配置的 AL
- 可配置的 CWL
- 可配置的 t_{FAW}
- 可配置的 t_{RAS}
- 可配置的 t_{RCD}
- 可配置的 t_{RFC}
- 可配置的 t_{RRD}
- 可配置的 t_{RTP}
- 可配置的 t_{WTR}
- 支持动态片上终端 ODT 的控制
- 支持自动刷新和用户启动刷新，自动刷新间隔可配置

3.2 工作频率与带宽效率

Gowin DDR3 Memory Interface IP 可支持的 DDR3 SDRAM 数据速率为：

- 时钟比例 1:2 模式下最高支持 533Mbps。
- 时钟比例 1:4 模式下：GW5A(R)(S)-25 器件，最高速率支持 1100Mbps；GW5A(T)-60 器件，最高速率支持 1100Mbps。其余器件，最高速率支持 800Mbps。

Gowin DDR3 Memory Interface IP 带宽效率统计如下：

- 时钟比例 1:2 模式下，突发长度为 4，带宽效率为 50%。
- 时钟比例 1:2 模式下，突发长度为 8，带宽效率为 90%。
- 时钟比例 1:4 模式下，带宽效率为 90%。

3.3 资源利用

Gowin DDR3 Memory Interface IP 通过 Verilog 语言实现，应用于高云 GW2A 及 GW5A（除 15K）系列芯片。因使用器件的密度和速度不同，其资源利用可能不同，以 GW5A-LV25UG324C2/I1 芯片为例，其资源利用情况如表 3-1 所示。

表 3-1 资源利用情况

器件系列	速度等级	器件名称	资源利用
GW5A-25	C2	LUT	2173
		REG	3410
		ALU	125
		BSRAM	8

注！

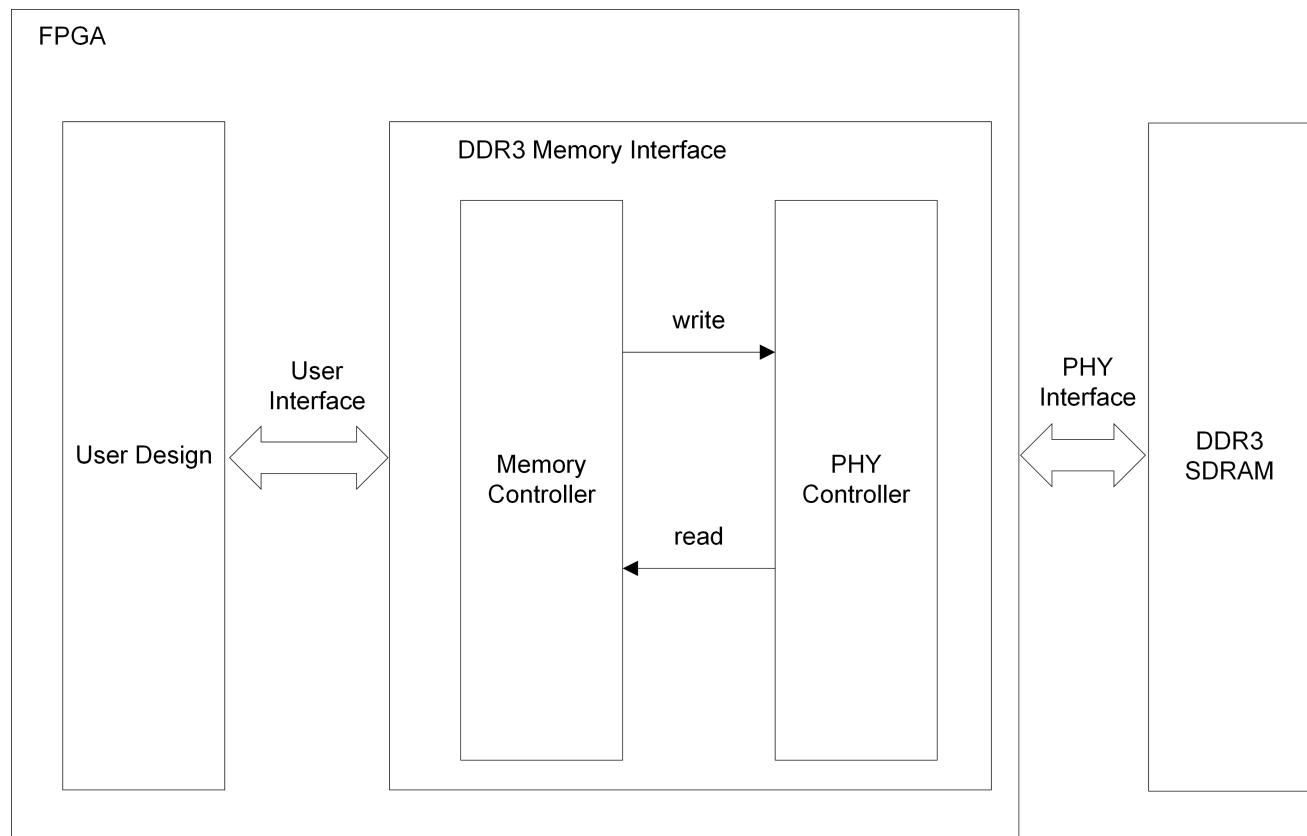
在表 3-1 中，Gowin DDR3 Memory Interface 配置用户地址宽度为 28 位，DRAM WITDH 为 x16，时钟比例为 1:4。

4 功能描述

4.1 整体结构

Gowin DDR3 Memory Interface IP 基本结构如图 4-1 所示，主要包含 Memory Controller、Physical Interface 等模块。图 4-1 中的 User Design 是 FPGA 中需要与外部 DDR3 SDRAM 芯片所连接的用户设计。

图 4-1 DDR3 Memory Interface IP 结构图



4.2 Memory Controller

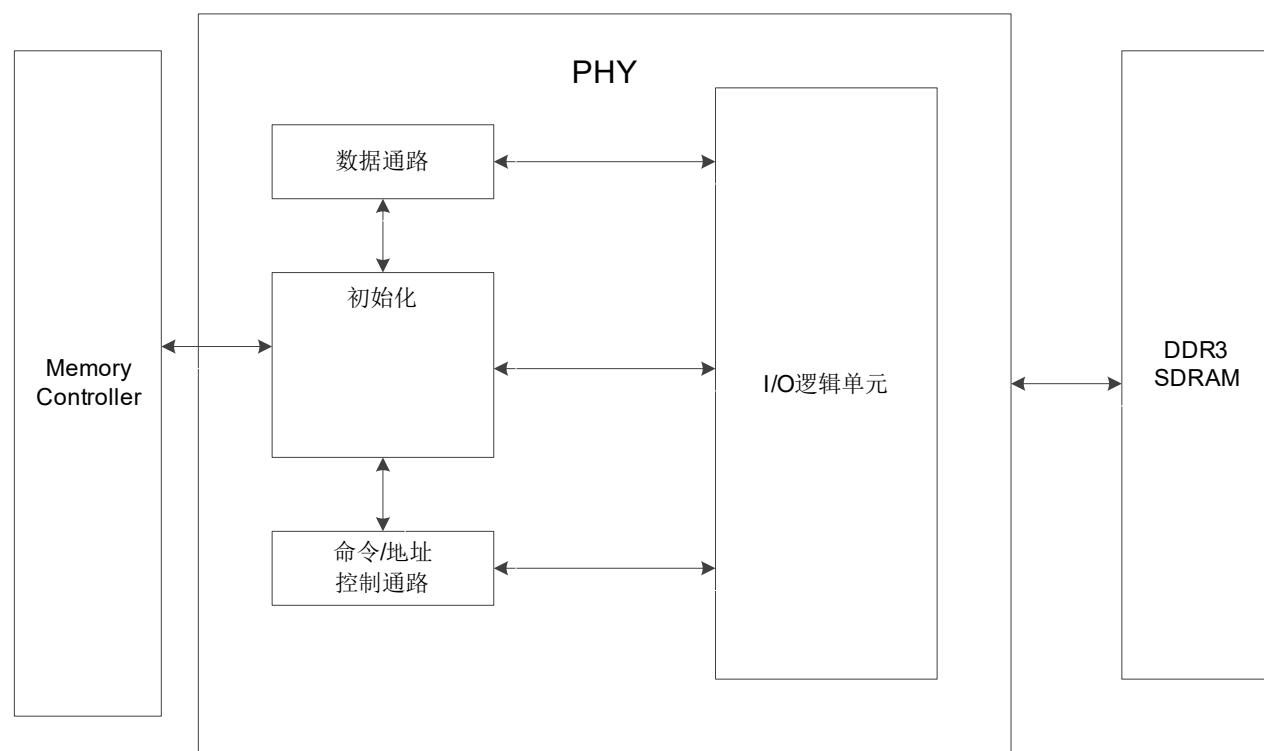
Memory Controller 属 MC 层，实现协议层功能，内部状态机进行 BANK、ROW、COL 及刷新控制。Memory Controller 接收用户侧读写命令，内部以 FIFO 逻辑存储，将读写命令转化为 PHY 侧可识别的接口时序，输入到 PHY 侧。

4.3 PHY

PHY 提供了 MC 与外部 DDR3 SDRAM 之间的物理层定义与接口，接收来自 MC 层内存控制器的命令，并向 DDR3 SDRAM 颗粒提供接口时序。

PHY 的基本结构如图 4-2 所示，主要包括四个模块，分别为初始化模块、数据通路、命令地址控制通路和 I/O 逻辑模块。

图 4-2 DDR3 PHY 基本结构图



4.3.1 初始化单元

初始化模块主要完成 DDR3 SDRAM 上电后的初始化和读校准。在完成所有初始化与读校准之后，信号“init_calib_complete”会由低变高，指示整个初始化完成。

注！

init_calib_complete 信号被拉高之前，不允许执行读/写操作。

上电初始化

按照 JESD79-3F 协议标准，上电后需对 DDR3 SDRAM（颗粒或 DIMM）进行初始化，包括复位、时钟使能、模式寄存器的配置及 ZQ 校准等过程。

4.3.2 数据通路单元

数据通路包括写数据和读数据过程。

4.3.3 控制通路单元

命令/地址控制通路为单向通路，接收 MC 发送的命令与地址信号，并与数据通路配合，处理写、读数据时延参数，并将命令发送到 I/O 逻辑模块。

4.3.4 I/O 逻辑单元

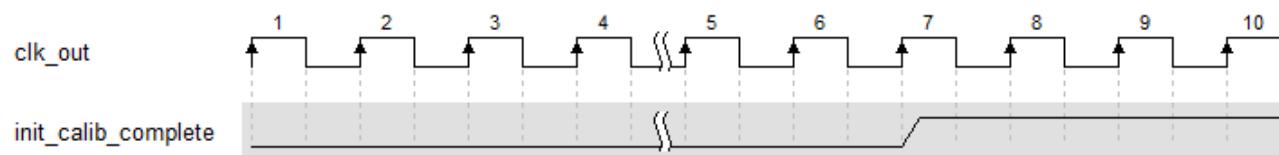
I/O 逻辑模块主要是对数据通路和命令/地址通路传递过来的数据、命令、地址信号进行时钟域的转换。

4.4 用户接口

4.4.1 初始化接口

`init_calib_complete`: DDR3 SDRAM 必须经过校准操作才能进行正常的写、读操作。因此上电后 PHY 会对 DDR3 SDRAM 进行初始化校准操作，初始化完成后 `init_calib_complete` 拉高，如图 4-3 所示。

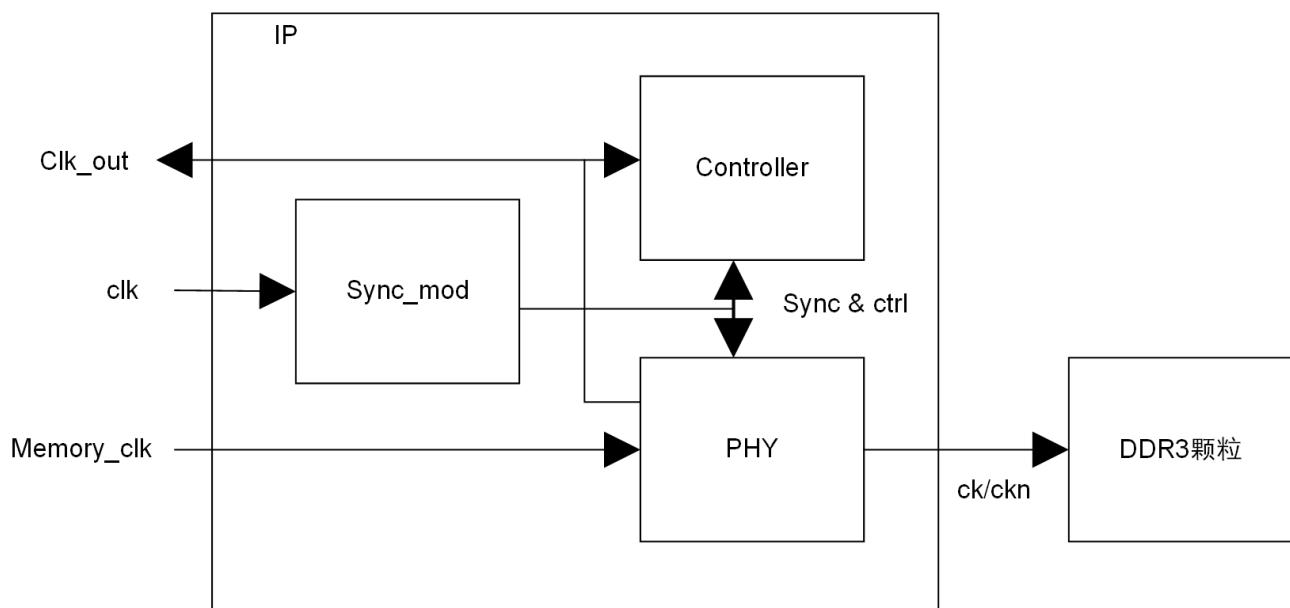
图 4-3 初始化完成信号时序图



4.4.2 时钟

IP 有三个时钟，两个输入时钟 `clk` 和 `memory_clk`，一个输出时钟 `clk_out`。如图 4-4 所示，`clk` 用于产生一些同步及控制信号，这些同步及控制信号作用于 IP 的主体逻辑（PHY 层和 Memory controller），`clk` 要求是低速的连续时钟，推荐值为 50MHz，可将板载晶振的输入连接到 `clk`。`memory_clk` 是高速时钟，使用 HCLK 资源，驱动 PHY 并向外输出送到 DDR3 颗粒。`clk_out` 是 `memory_clk` 的分频时钟，当 `clk_ratio=4:1` 时，`clk_out` 是 `Memory_clk` 的四分频时钟；当 `clk_ratio=2:1` 时，`clk_out` 是 `Memory_clk` 的二分频时钟，使用 PCLK 资源，`clk_out` 作为 IP 的逻辑处理时钟，并向外输出到 user 逻辑，用户对 IP 的接口操作应该与 `clk_out` 同步。

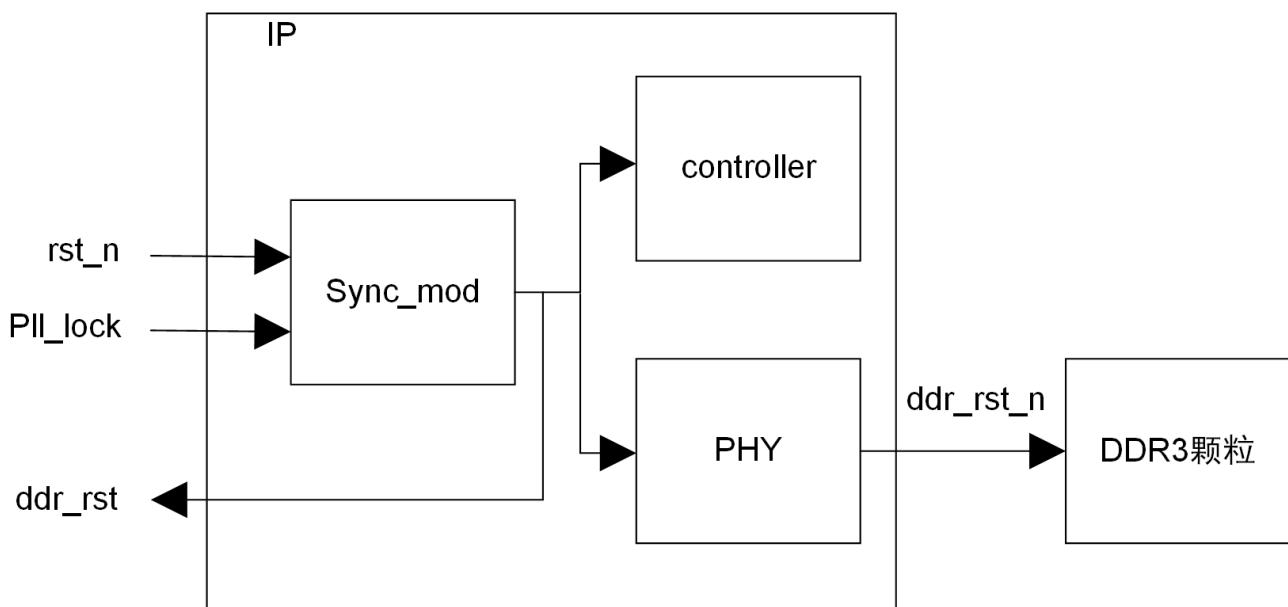
图 4-4 时钟



4.4.3 复位

IP 有输入信号 `rst_n` 和 `pll_lock`，输出信号 `ddr_rst`。如图 4-5 所示，`rst_n` 要求在 `clk` 下做同步释放之后再送入 IP，`rst_n` 会复位 `Sync_mod` 模块逻辑，然后 `Sync_mod` 等待 `pll_lock`，`pll_lock` 锁定之后 `Sync_mod` 会输出 `ddr_rst` 作为 IP 的全局复位，并向外送到 user。任何复位逻辑都可以接入 `rst_n`，`pll_lock` 只能接入 PLL 的 LOCK 信号，如果 `pll_lock` 没有接入 PLL 的 LOCK 信号，IP 将不能检测时钟是否稳定，此时容易出现 DDR 初始化失败。

图 4-5 复位



4.4.4 pll_stop

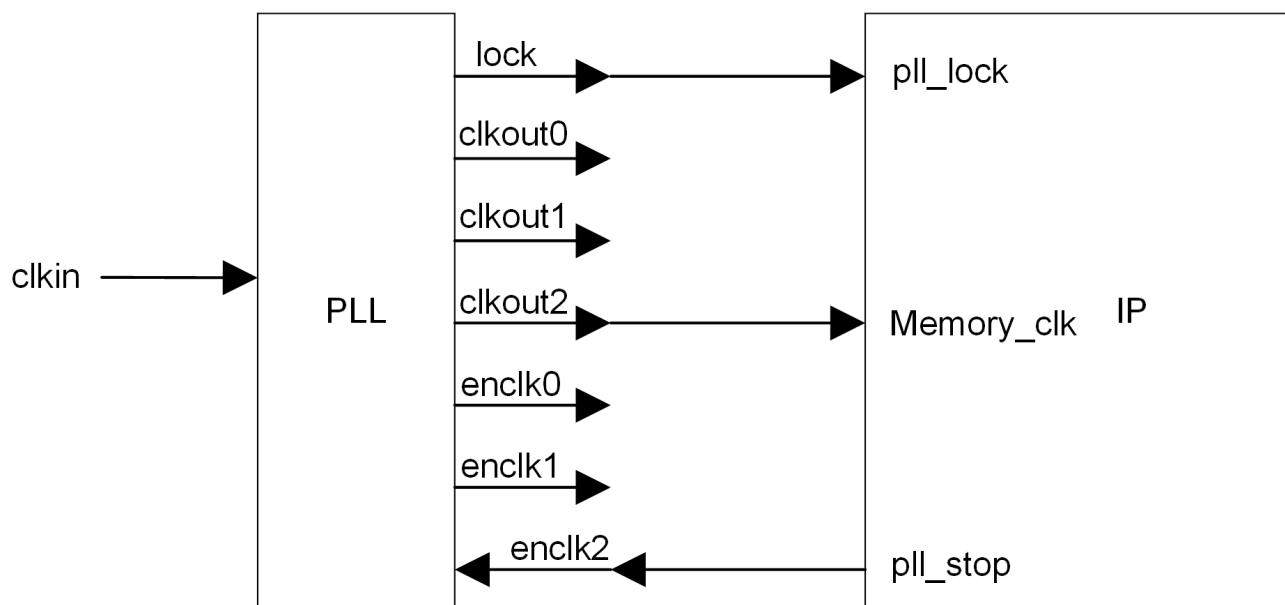
pll_stop 是在 GW5A(S)(T) 器件环境下存在的控制信号，是控制 memory_clk 的开关，低有效。

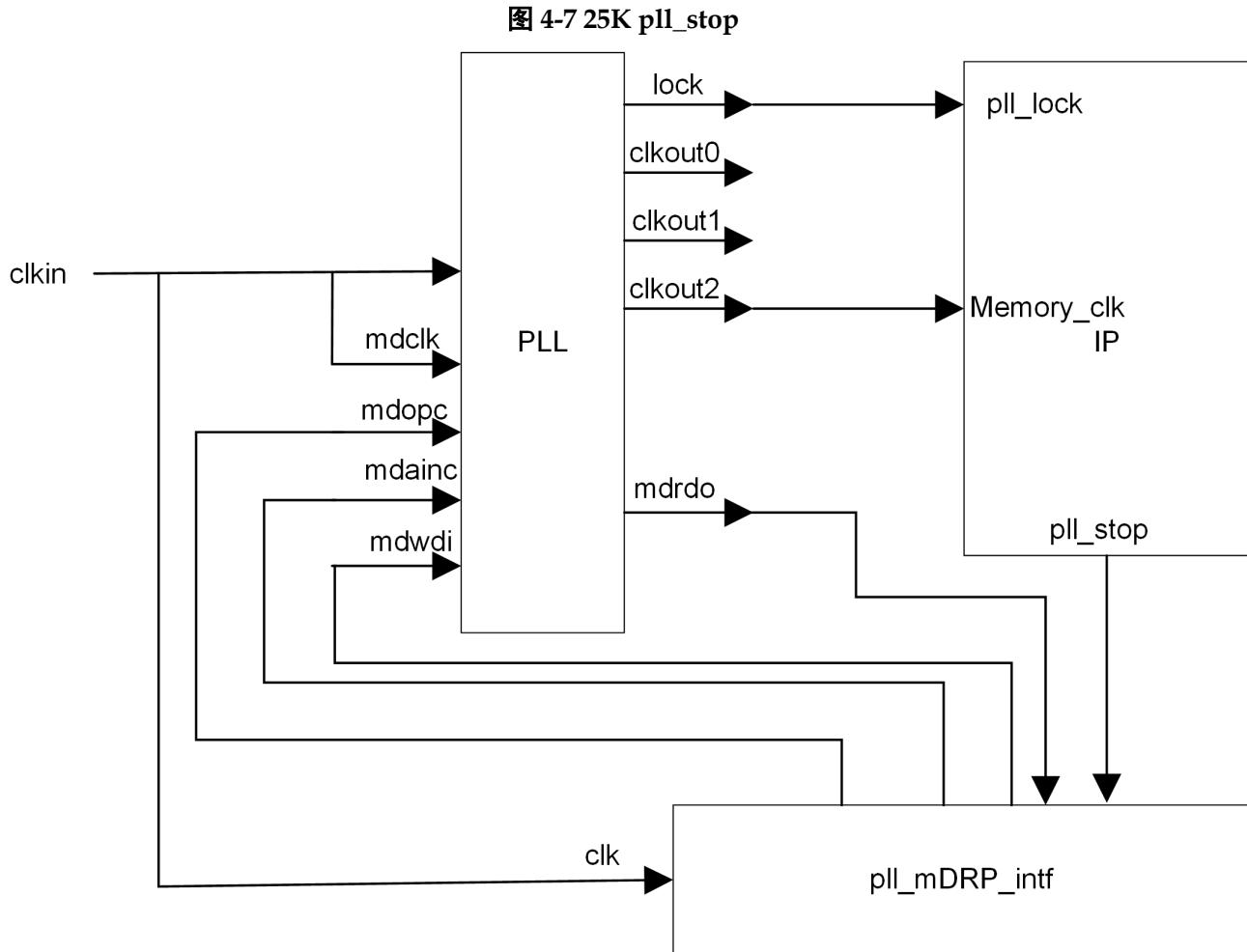
如图 4-6 和图 4-7 所示，使用 138K 器件时，pll_stop 直接接入 PLL 的 enclk2。

使用 25K 器件时，pll_stop 需要接入转接模块 pll_mDRP_intf，间接控制 PLL 的 clkout2 输出，pll_mDRP_intf 的 clk 与 PLL 的 mdclk 和 clkin 相同。

其他 GW5A 系列 FPGA 环境上如何使用 pll_stop，不再一一说明，需要查看目标 FPGA 的 PLL 有没有类似 138K 的 enclk 使能控制，如果有，则可以直接将 pll_stop 接入，否则需要通过 mDRP 接口控制。

图 4-6 138k pll_stop





pll_mDRP_intf 模块在 Gowin_DDR3_Memory_Interface_RefDesign 参考设计中，请从官网下载。

4.4.5 命令和地址接口

命令

用户可通过 cmd 及 cmd_en 向 IP 写入命令，控制器根据写入命令的先后顺序，向 DDR3 颗粒发起读写事务。

- cmd 为命令端口；
- cmd_en 为命令使能信号，高电平时 cmd 有效。

cmd 含义如表 4-1 所示：

表 4-1 cmd 命令

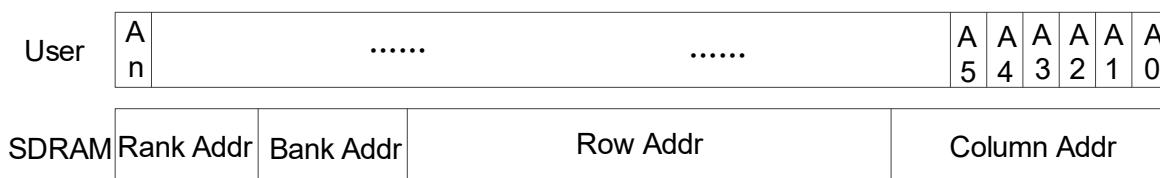
命令	cmd[2:0]
Read	3'b001
Write	3'b000

地址

`addr` 是用户侧地址总线，与 `cmd` 一同写入控制器，当 `cmd_en` 有效时，`addr` 有效。

在应用中，用户接口的地址总线 `addr` 与物理内存的 Rank、Bank、Row、Column 之间存在一定的映射关系，在本设计中，按照 Rank-Bank-Row-Column 的顺序进行依次排列，其寻址方案如图 4-8 所示。用户在应用中，应注意提供的地址顺序。

图 4-8 Rank-Bank-Row-Column 顺序的寻址方案



`addr` 为 DDR 地址，即 `addr` 直接反映 DDR 内存地址。当 DDR3 `burst_mode` 配置 BC4 时，一次写/读需向 DDR 内写入/读取 4 个 dq 数据，因此一次 DDR 写/读占用 4 个地址；当 DDR3 `burst_mode` 配置 BL8 时，一次写/读需向 DDR 内写入/读取 8 个 dq 数据，因此一次 DDR 写/读占用 8 个地址。用户在使用过程中，应注意对地址的控制。

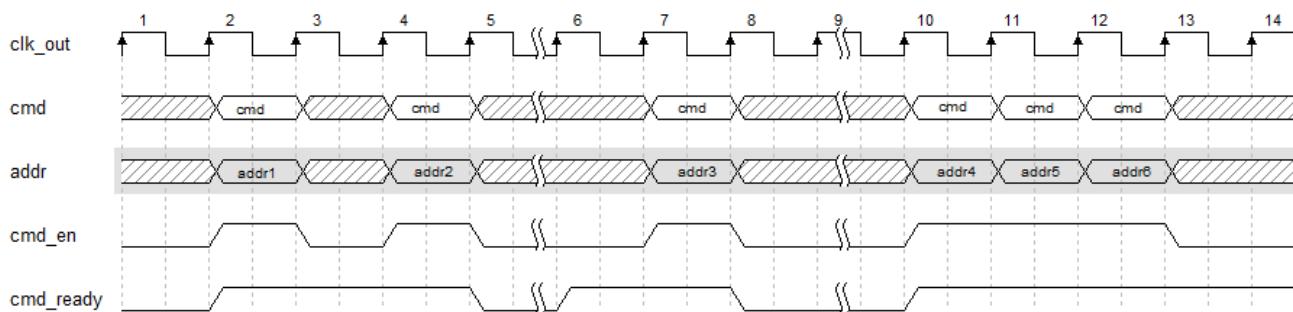
时钟比例 1:2，地址与命令时序

时钟比例 1:2 下，`cmd_ready` 为高电平，表示 DDR 控制器可以接收用户命令。

`cmd_en` 为 1 且 `cmd_ready` 为 1 时将 `cmd` 及 `addr` 写入 IP，`addr1` 和 `addr2` 无任何关系，不必是相邻地址。

命令、地址及使能信号之间的时序如图 4-9 所示。

图 4-9 命令、地址与使能信号时序图-A



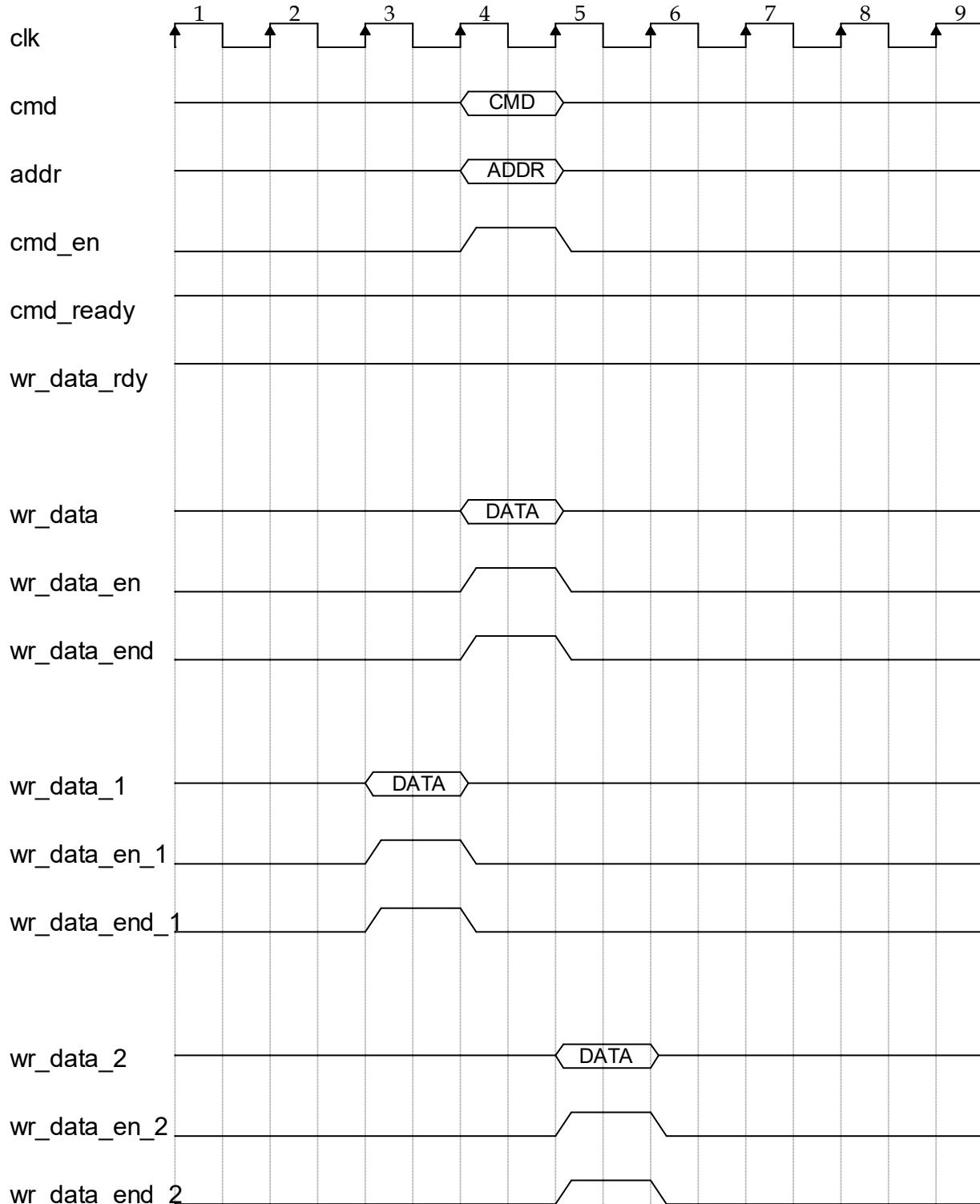
时钟比例 1:4，地址与命令时序

地址和命令时序与时钟比例 1:2 时相同，请查看图 4-9 时序。

4.4.6 命令与写数据位置关系

cmd 与数据位置关系如图 4-10 所示。

图 4-10 cmd 与数据位置关系图



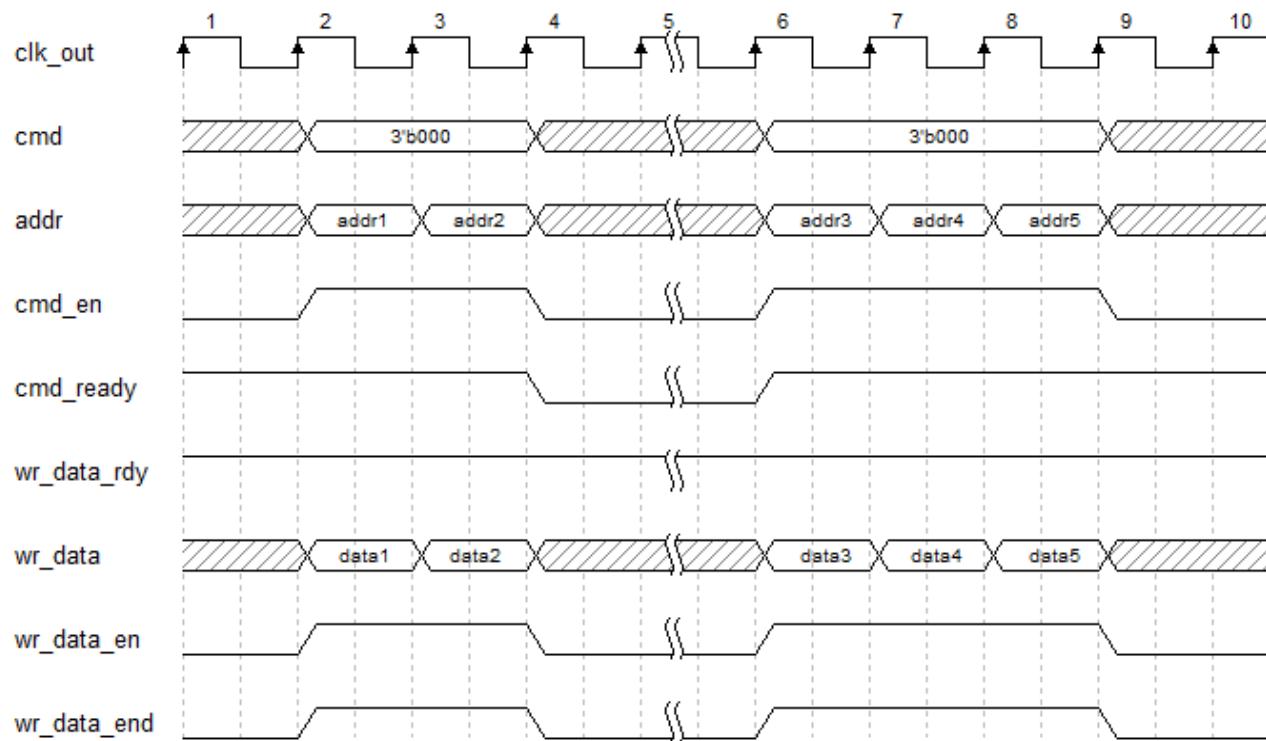
4.4.7 写数据接口

- **wr_data:** 数据总线接口，用户可通过此接口写入需要存储 DDR 内的数据。
- **wr_data_en:** 数据写入使能接口，高电平时 **wr_data** 有效。
- **wr_data_end:** 表明当前周期 **wr_data** 总线上的数据是当前写入的最后一个数据。
- **wr_data_rdy:** 当 **wr_data_rdy** 为高电平时，表示控制器可以接收 **user** 数据，用户可通过接口 **wr_data**、**wr_data_en** 与 **wr_data_end** 将数据写入控制器。

当时钟比例 1:2 时，**burst_mode** 配置 BC4，**wr_data** 与 **dq** 数据位宽比为 1:4，此时一个 **wr_data** 可满足 DDR 一次突发写，**wr_data_en** 与 **wr_data_end** 的行为相同，所以用户在写数据时将 **wr_data_en** 与 **wr_data_end** 同时写 1 即可。

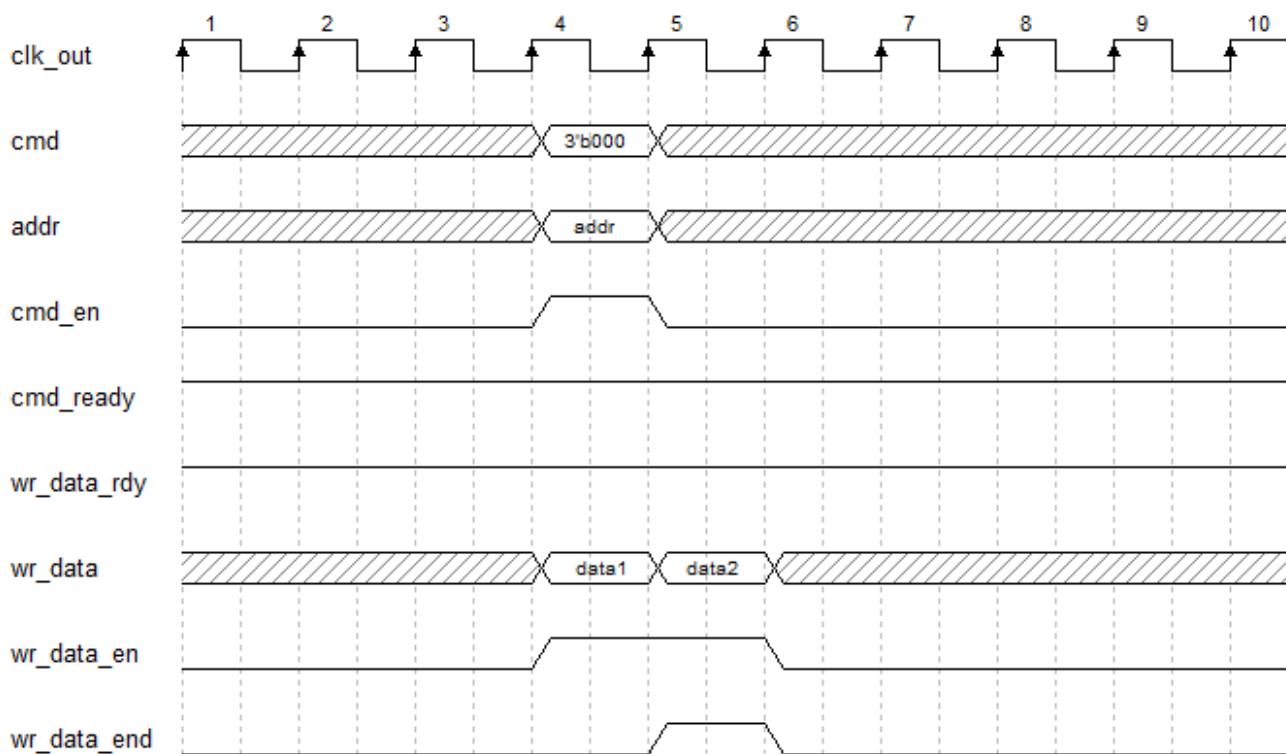
当时钟比例 1:4，**burst_mode** 配置 BL8 时，与上述举例情况相同。时序如图 4-11 所示。

图 4-11 时钟比例 1:2，Burst_Mode=BC4 或时钟比例 1:4 写数据时序图



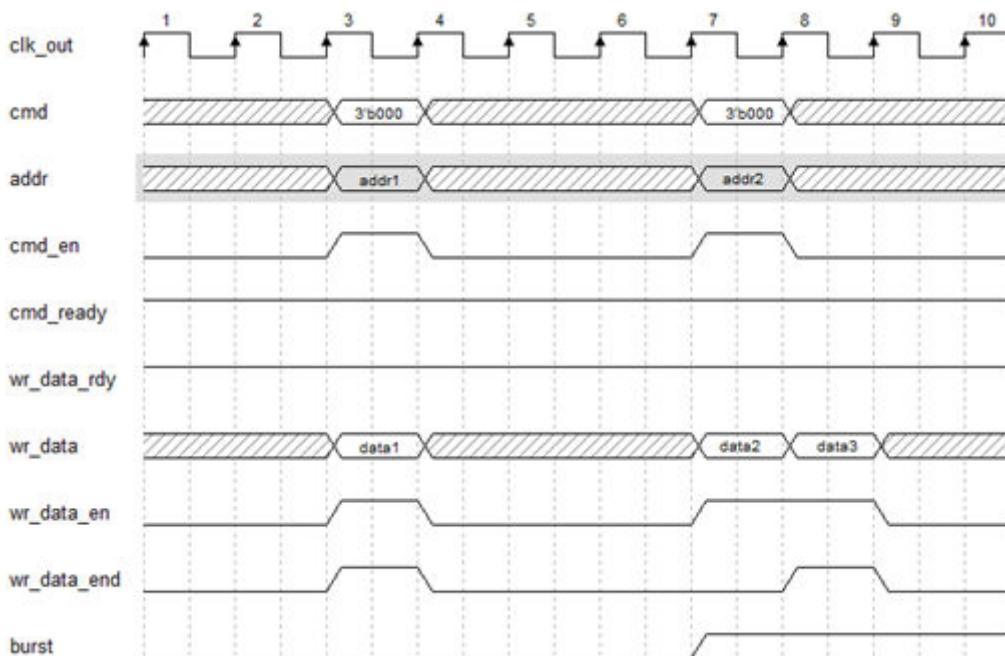
当时钟比例配置 1:2，**burst_mode** 配置 BL8 时，**wr_data** 与 **dq** 数据位宽比为 1:4，此时 DDR 一次突发写数据需要两个 **wr_data**，那么 **wr_data_en** 应持续连续两个周期，第二个周期将 **wr_data_end** 写 1。时序如图 4-12 所示。

图 4-12 时钟比例 1:2, Burst_Mode=BL8, 写数据时序图



仅当时钟比例 1:2 时，支持 `burst_mode` 配置 OTF 模式，在此模式下，端口信号 `burst` 为 0 则表示当前 DDR 颗粒的 `burst_mode` 为 BC4，端口信号 `burst` 为 1 则表示当前 DDR 颗粒的 `burst_mode` 为 BL8，此时用户应根据情况控制好 `wr_data_en` 和 `wr_data_end` 信号。时序如图 4-13 所示。

图 4-13 时钟比例 1:2, Burst_Mode=OTF, 写数据时序图



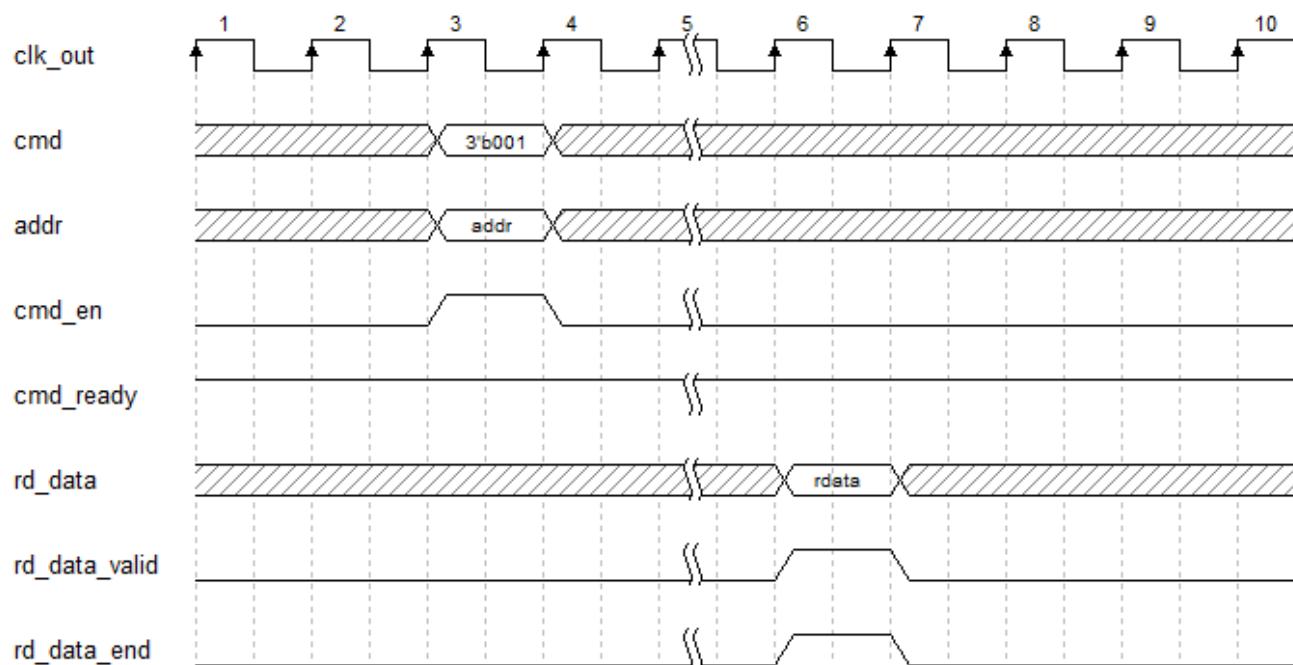
4.4.8 读数据接口

用户可通过用户接口 rd_data、rd_data_valid 与 rd_data_end 读取 DDR3 SDRAM 返回的数据。

- 端口 rd_data 为返回的读数据端口；
- 端口信号 rd_data_valid 为读数据有效端口，当其为高电平时，指示此时返回的 rd_data 有效；
- 端口 rd_data_end 指示在当前 burst_mode 下所返回的最后一组数据，高电平时有效。

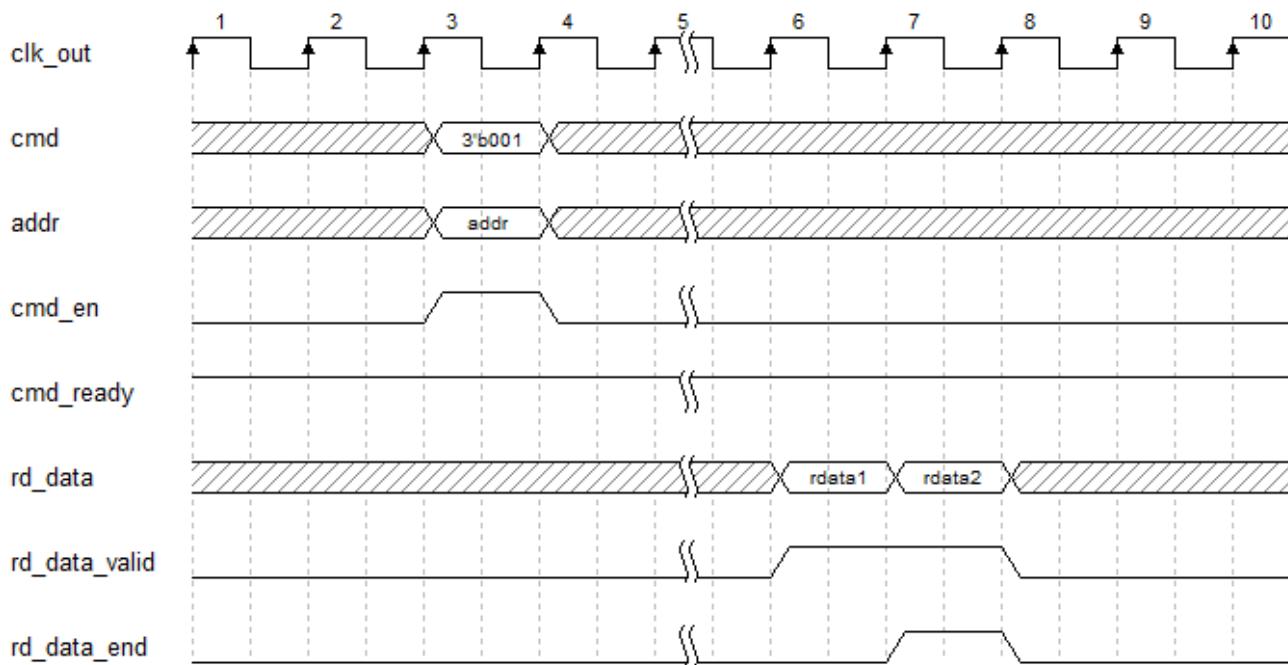
与写操作时类似，当时钟比例 1:2 时，用户配置突发长度为 BC4 时，读数据占用一个 clk 周期，如图 4-14 所示。

图 4-14 时钟比例 1:2, Burst_Mode=BC4, 读数据时序图



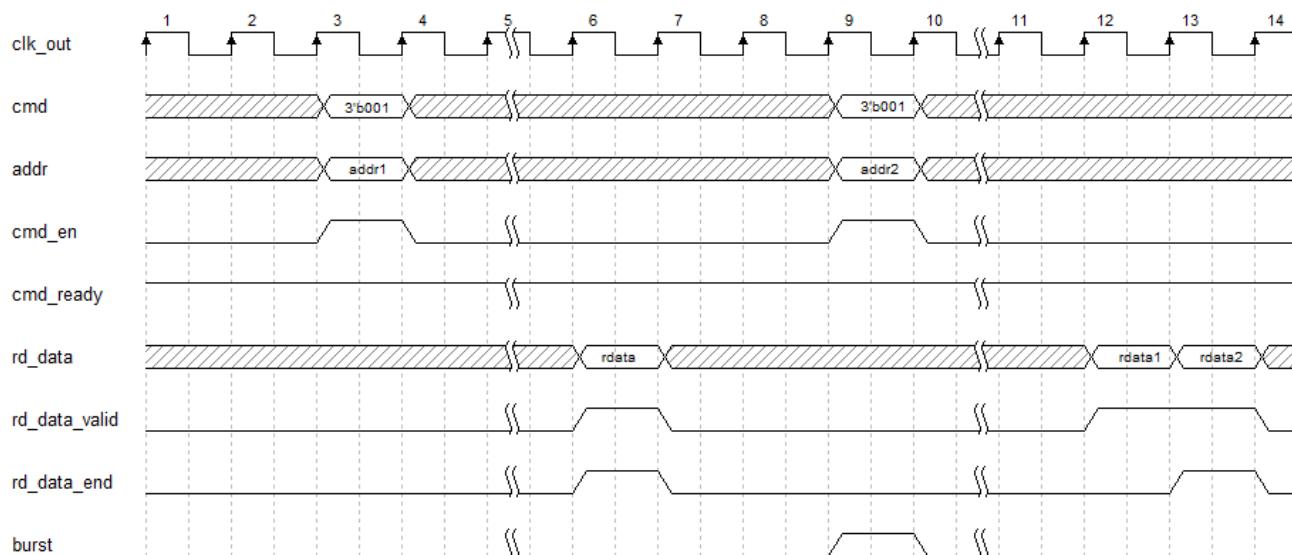
与写操作时类似，当时钟比例 1:2 时，用户配置突发长度为 BL8 时，读数据占用两个 clk 周期，如图 4-15 所示。

图 4-15 时钟比例 1:2, Burst_Mode=BL8, 读数据时序图



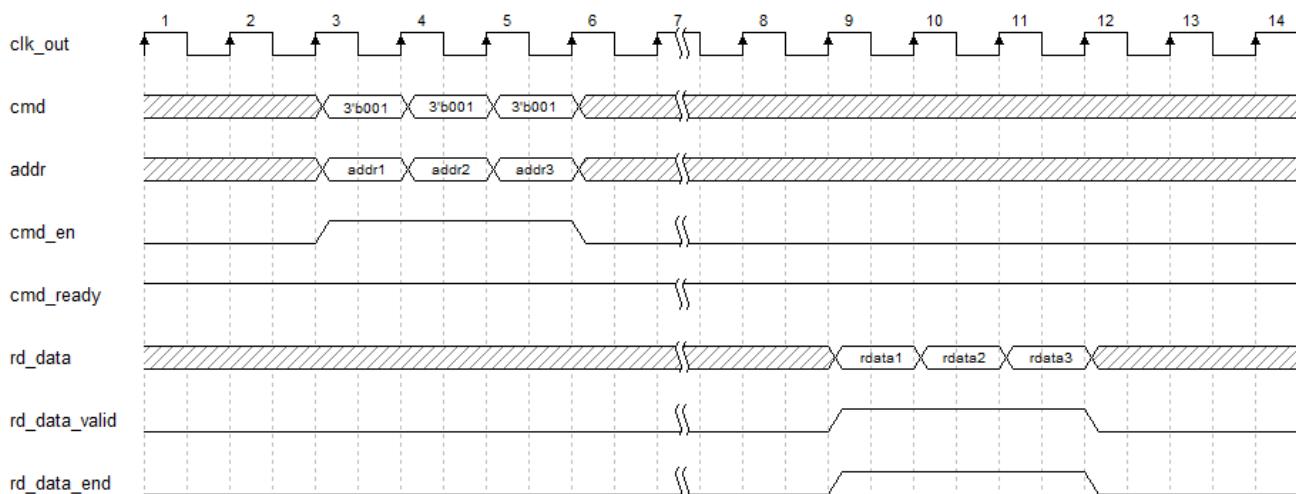
当时钟比例 1:2 时，用户配置突发模式为 OTF 时（即 BC4 与 BL8 可由用户控制 burst 端口实现随意切换），当 cmd_en 有效时，burst 为 0 表示 BC4 读出，读数据占用一个 clk 周期，burst 为 1 表示 BL8 读出，读数据占用两个 clk 周期，如图 4-16 所示。

图 4-16 时钟比例 1:2, Burst_Mode=OTF, 读数据时序图



当时钟比例 1:4 时，读数据按照读命令顺序依次返回数据，如图 4-17 所示。

图 4-17 时钟比例 1:4, 读数据时序图



4.4.9 刷新

刷新

在 DDR3 SDRAM 存储阵列需要不断的刷新来保证数据不丢失，因此需要 Gowin DDR3 Memory Interface IP 周期性的向 DDR3 SDRAM 发送刷新指令。Gowin DDR3 Memory Interface IP 间隔 t_{REFI} 时间产生刷新命令，刷新命令产生后，MC 执行完最后一条读写命令后，会 PreCharge 所有 Bank，然后执行 Refresh 命令，刷新操作具有较高优先级。

自刷新

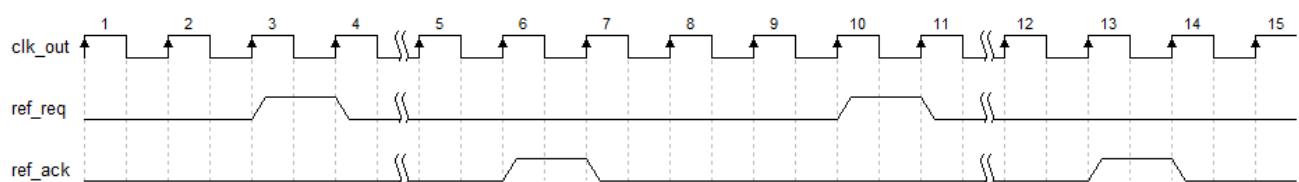
用户可通过端口 **sr_req** 发送自刷新（self refresh）请求，配置 DDR3 SDRAM 进入自刷新模式。在自刷新模式下，DDR3 SDRAM 会自动刷新存储阵列，无需 Gowin DDR3 Memory Interface IP 发送刷新指令。

Gowin DDR3 Memory Interface IP 在完成对 DDR3 SDRAM 的自刷新配置后，会向用户返回信号 **sr_ack**，表示 DDR3 SDRAM 已进入自刷新模式。

用户刷新

用户可以通过选项配置刷新模式为用户刷新，需将“USER_REFRESH”设置为“ON”。用户可在任意时刻通过端口 **ref_req** 向 MC 提出刷新请求，无需通过 **cmd** 端口向 MC 发出其它命令。发送用户刷新指令时，**ref_req** 需持续一个周期的高电平，完成刷新指令发送后，MC 会反馈 **ref_ack** 信号，持续一个周期的高电平，如图 4-18 所示。

图 4-18 用户刷新时序图



用户刷新操作可能会影响 MC 已经接收的或正在执行的指令。在进行用户刷新操作前，MC 会优先完成正在执行的命令操作。用户应考虑发出用户刷新与各项指令之间的配合，避免造成 t_{REFI} 违规。

考虑最坏情况下，用户刷新可参考以下公式进行操作，命令一定时间来完成传输，可大致通过 t_{RCD} 、 CL 、数据传输时间、 t_{RP} 等参数计算，且用户刷新应在时间参数 t_{REFI} 违规前完成，因此两次用户刷新时间的最大间隔约为：

$$t_{REFI} - (t_{RCD} + (CL + 4) \times t_{CK} + t_{RP}) \times nBA$$

在实际应用中，若启动用户刷新，用户需要在 DDR3 SDRAM 完成初始化后立刻发出一个用户刷新，以确立后续用户刷新请求的时间基准。

5 ODT

ODT(On-Die Termination)是 DDR3 的一个重要功能，它可以减小 DQS、DQ 和 DM 的信号反射，提高信号质量。FPGA 和 DDR3 颗粒都支持 ODT 功能，当 FPGA 向 DDR3 颗粒发送 DQS、DQ 和 DM 信号时，IP 通过将 ODT pin 输出高电平打开 DDR3 颗粒端的 ODT，FPGA 侧的 ODT 自动关闭，当 DDR3 颗粒向 FPGA 发送 DQS 和 DQ 信号时，IP 通过将 ODT pin 输出低电平关闭 DDR3 颗粒端的 ODT，FPGA 侧的 ODT 自动打开。

不是任何情况下都需要配置 FPGA 侧的 ODT，因为当打开 ODT 之后会增加功耗。在实际应用中，用户可以先尝试不必配置 FPGA 侧的 ODT，当 DDR3 初始化失败或数据出现误码时，则可以配置 FPGA 侧的 ODT。

云源软件默认关闭了 ODT，用户可以通过 FloorPlanner 打开 ODT。在这里以 GW5A 系列 FPGA 芯片为例，讲述 ODT 打开的方法。如图 5-1 所示，将 DQS 和 DQ 的 Single Resistor 配置 50。当配置 50 不合适时，可以尝试配置其他的值。云源软件默认打开了 DQS 的 Diff Register，用户需要关闭它。

图 5-1 FloorPlanner 下配置 ODT

Constraints														
Port	Direction	Diff Pair	Location	Bank	Exclusive	IO Type	Drive	Pull Mode	PCI Clamp	Hysteresis	Open Drain	Vref	Single Resistor	Diff Resistor
ddr_dqs[3]	inout	ddr_dqs_n[3]	N15,N16	3	False	SSTL15D_I	8	NONE	OFF	NONE	OFF	OFF	50	OFF
ddr_dqs[2]	inout	ddr_dqs_n[2]	K17,K18	3	False	SSTL15D_I	8	NONE	OFF	NONE	OFF	OFF	50	OFF
ddr_dqs[1]	inout	ddr_dqs_n[1]	J13,K14	2	False	SSTL15D_I	8	NONE	OFF	NONE	OFF	OFF	50	OFF
ddr_dqs[0]	inout	ddr_dqs_n[0]	D17,D18	2	False	SSTL15D_I	8	NONE	OFF	NONE	OFF	OFF	50	OFF
ddr_dq[9]	inout		K12	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[8]	inout		G16	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[7]	inout		C18	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[6]	inout		F16	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[5]	inout		C17	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[4]	inout		H13	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[3]	inout		F14	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[31]	inout		U18	3	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[30]	inout		N18	3	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[2]	inout		E16	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[29]	inout		U17	3	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[28]	inout		D18	3	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF

DDR3 颗粒的 ODT 则是通过 Rtt Nom 和 Rtt Wr 两个选项配置。在多 Rank 的情况下需要设置 Rtt Nom 和 Rtt Wr，因为在这种情况下需要使用 DDR3 的 Dynamic ODT 功能。单 Rank 的情况下只需要设置 Rtt Nom。需要注意的是如果用户只配置了 Rtt WR 还没有配置 Rtt Nom，那么当 ODT pin 信号拉高时，DDR3 颗粒内部也会使用 Rtt Wr 作为 ODT。

6 端口列表

Gowin DDR3 Memory Interface IP 的 IO 端口如表 6-1 所示。

表 6-1 Gowin DDR3 Memory Interface IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	地址输入，信号宽度可以设置为 parameter。
cmd	3	Input	命令通道
cmd_en	1	Input	命令与地址使能信号： 0: 无效 1: 有效
cmd_ready	1	Output	高电平时指示 Memory Interface 可接收命令与地址
rd_data	APP_DATA_WIDTH	Output	读数据通道
rd_data_end	1	Output	高电平时指示当前输出的一组 rd_data 的结束周期
rd_data_valid	1	Output	rd_data 有效信号： 0: 无效 1: 有效
burst	1	Input	OTF 控制端口，为 1'b1 时是 BL8 模式；为 1'b0 时是 BC4 模式，仅 OTF 模式下有效
wr_data	APP_DATA_WIDTH	Input	写数据通道
wr_data_end	1	Input	高电平指示当前时钟周期是此组数据 wr_data 的最后一个周期
wr_data_mask	APP_MASK_WIDTH	Input	wr_data 屏蔽，每一个 bit 对应 wr_data 的一个字节。 0: 对应 wr_data 字节屏蔽无效

信号	位宽	方向	描述
wr_data_mask	APP_MASK_WIDTH	Input	1: 对应 wr_data 字节屏蔽有效
wr_data_rdy	1	Output	高电平时表示 MC 可以接收用户数据
wr_data_en	1	Input	wr_data 写使能信号: 0: 无效 1: 有效
sr_req	1	Input	自刷新请求
sr_ack	1	Output	自刷新应答信号
ref_req	1	Input	用户刷新请求
ref_ack	1	Output	用户刷新应答信号
clk	1	Input	参考输入时钟，一般为 PCB 晶振输入，推荐 50M 晶振。
memory_clk	1	Input	用户输入颗粒接口频率，使用 GW2A 器件时，该时钟可以是 pll 的输出时钟或其他时钟；使用 GW5A 器件时，此时钟必须由 PLL 的 clkout2 输出。
pll_stop	1	output	此端口用法参见 4.4.4 pll_stop
pll_lock	1	Input	如果 memory_clk 为 PLL 倍频输入，此接口接 PLL 的 pll_lock 管脚，如果用户不使用 PLL，此接口接高电平。
rst_n	1	Input	系统复位输入信号： 0: 有效 1: 无效
init_calib_complete	1	Output	初始化完成信号
clk_out	1	Output	用户设计时钟
ecc_err	APP_DATA_WIDTH/32	Output	ECC 指示信号输出
ddr_RST	1	Output	经过 IP 处理过的复位信号，供用户设计使用，高复位
DDR3 SDRAM Interface			
O_ddr_addr	ROW_WIDTH	Output	Row 地址（激活命令）、Column 地址（读、写命令）
O_ddr_bank	BANK_WIDTH	Output	Bank 地址
O_ddr_CS_n	CS_WIDTH	Output	片选，低有效。
O_ddr_RAS_n	1	Output	Row 地址选通信号
O_ddr_CAS_n	1	Output	Column 地址选通信号
O_ddr_WE_n	1	Output	Row 写使能
O_ddr_ck	CK_WIDTH	Output	提供给 DDR3 SDRAM 的时钟信号
O_ddr_ck_n	CK_WIDTH	Output	与 ddr_ck 组成差分信号

信号	位宽	方向	描述
O_ddr_cke	CKE_WIDTH	Output	DDR3 SDRAM 时钟使能信号
O_ddr_odt	ODT_WIDTH	Output	内存信号端接电阻控制
O_ddr_reset_n	1	Output	DDR3 SDRAM 复位信号
O_ddr_dm	DM_WIDTH	Output	DDR3 SDRAM 数据屏蔽信号
IO_ddr_dq	DQ_WIDTH	Bidirection	DDR3 SDRAM 数据
IO_ddr_dqs	DQS_WIDTH	Bidirection	DDR3 SDRAM 数据选通信号
IO_ddr_dqs_n	DQS_WIDTH	Bidirection	与 ddr_dqs 组成差分信号

7 参数配置

Gowin DDR3 Memory Interface IP 可支持 DDR3 SDRAM 器件，用户需根据设计要求配置 Gowin DDR3 Memory Interface 的各个静态参数与时序参数，静态参数描述如下所示。

- **User Interface:** 用户接口可选择 Controller 或 PHY，当选择 Controller 时，IP 具备 Controller 和 PHY 的功能，当选择 PHY 时，IP 只具备 PHY 的功能，用户需要自己实现 Controller 的功能。
- **Memory Type:** 支持配置 Components、RDIMMs、UDIMMs 和 SODIMMs 四种类型。
- **Memory Clock:** IP 高速时钟频率设置，时钟频率值应与 DDR3 的接口速率对应的时钟频率值相等。比如当 DDR3 的速率需要达到 800Mbps 时，此选项应该配置 400MHz。
- **CLK Ratio:** Controller 与 PHY 的速率比例，选择 1:4 或 1:2。PHY 的速率为 Memory Clock 的速率，Controller 的速率是 1/4 或 1/2 Memory Clock 的速率。
- **Dq Width:** 总的 DQ 宽度。比如当一颗 DDR3 颗粒的 dq 宽度是 16bit，IP 驱动两颗此类型的 DDR3 颗粒，那么 Dq Width 是 32bit。
- **Dram Width:** 一颗 DDR3 颗粒的 dq 宽度。
- **Rank Address:** rank 地址，固定为 1。IP 不支持 rank 地址，因此该地址并不起作用。
- **Bank Address:** bank 地址，固定为 3。
- **Row Address:** 行地址宽度。用户需要根据选定的 DDR3 颗粒的 datasheet 进行配置。
- **Column Address:** 列地址宽度。用户需要根据选定的 DDR3 颗粒的 datasheet 进行配置。
- **SIM:** 仿真时需要勾选，可缩短 DDR3 初始化的时间，非仿真时不可勾选。
- **Address Width:** 只读。用户接口地址总线宽度。Rank Address+Bank Address+Row Address+Column Address。最高位 Rank Address 不可用，需要固定为 0。
- **Data Width:** 只读。用户接口数据总线宽度；当 CLK Ratio 选择 1:4 时，位宽等于 Dq Width*8；当 CLK Ratio 选择 1:2 时，位宽等于 Dq Width*4。
- **Mask Width:** 只读。用户接口数据掩码总线宽度；当 CLK Ratio 选择 1:4 时，位宽等于 Dq Width*8/8；当 CLK Ratio 选择 1:2 时，位宽等于 Dq Width*4/8。
- **Burst Mode:** DDR3 颗粒突发模式配置，支持 BC4 和 BL8 配置。

- **Burst Type:** DDR3 颗粒突发类型配置，支持 Sequential 和 Interleaved，Sequential 和 Interleaved 的详细解释请自行查阅 JESD79-3F 协议标准。
- **CAS Latency:** 读命令到第一个有效数据输入的延迟。整体的读延迟 Read Latency (RL) =Additive Latency (AL) +Cas Latency (CL)。
- **CW Latency:** 写命令到第一个有效数据输出的延迟。完整的写延迟 Write Latency (WL) =Additive Latency (AL) +CW Latency (CWL)。
- **Additive Latency:** 附加延时。支持配置 0、CL-1 和 CL-2。DDR3 支持 Posted CAS 技术，当 Active 命令和 Read/Write 命令在时间上发送存在冲突时，该技术可以提高效率。
- **Write Recovery:** 写恢复时间，含义为在一个激活的 Bank 中完成有效的写操作之后到发出预充电命令前，必须等待多少个时钟周期。
- **Rtt Nom、Rtt Wr:** DDR3 ODT 配置，Rtt_Nom 支持 OFF、20 (欧姆)、30 (欧姆)、40 (欧姆)、60 (欧姆) 和 120 (欧姆)，Rtt Wr 支持 OFF、60 (欧姆) 和 120 (欧姆)。
- **OUTPUT DRV:** DQS 和 DQ 信号输出强度设置。“LOW”对应的阻值为 RZQ (240 欧姆)/ $t=40$ 欧姆，“HIGH”对应的阻值为 RZQ (240 欧姆)/ $t=34$ 欧姆。改变 OUTPUT DRV 配置，会影响信号质量，因此当 DDR3 初始化失败或读写数据出现误码时，可以尝试修改此选项进行调试。
- **Debug Parameter、Debug Port:** Debug 参数和 Debug 端口是针对工程师调试的接口，客户不必关注。

时序参数描述如表 7-1 所示。

表 7-1 DDR3 时间参数

名称	描述
t_{CK}	Memory 接口时钟周期(ps)
t_{CKE}	CKE 信号最小脉冲时间(ps)
t_{FAW}	同一 rank 中允许同时发送大于四个行激活命令的间隔时间，因此最小值应该不小于 t_{RRD} 的四倍。
t_{RAS}	ACTIVE 到 PRECHARGE 时间
t_{RCD}	ACTIVE 到 READ 或 WRITE 时间
t_{REFI}	内存刷新时间间隔
t_{RFC}	REFRESH 到 ACTIVE/REFRESH 间隔
t_{RP}	PRECHARGE 周期
t_{RRD}	不同 bank 之间，ACTIVE 到 ACTIVE 时间间隔
t_{RTP}	READ 到 PRECHARGE 时间间隔
t_{WTR}	WRITE 到 READ 时间间隔
AL	Additive Latency
CL	CAS Latency

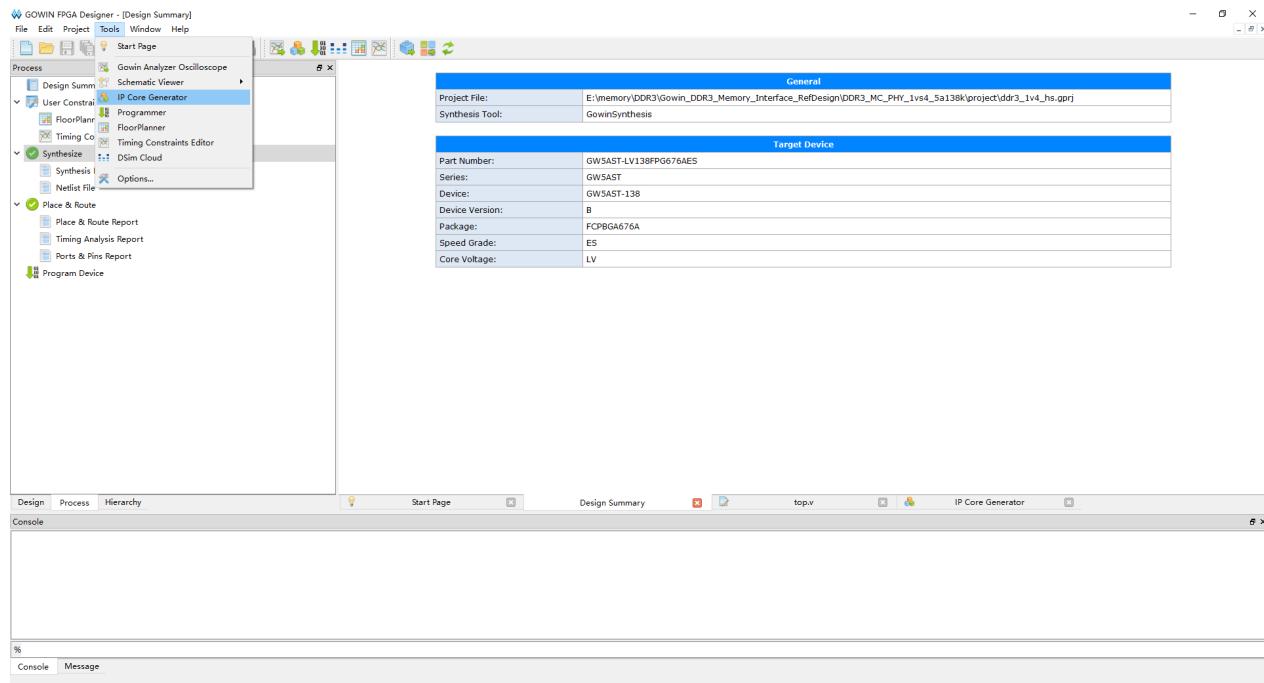
8 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin DDR3 Memory Interface IP。本章节以选择使用 AD3U160022G11 内存颗粒为例，介绍了主要配置界面、配置流程以及各配置选项含义（以时钟比例 1:2 为例）。

1. 打开 IP Core Generator。

用户建立工程后，点击左上角 Tools 选项卡，下拉单击 IP Core Generator 选项，就可打开 Gowin 的 IP 核产生工具，如图 8-1 所示。

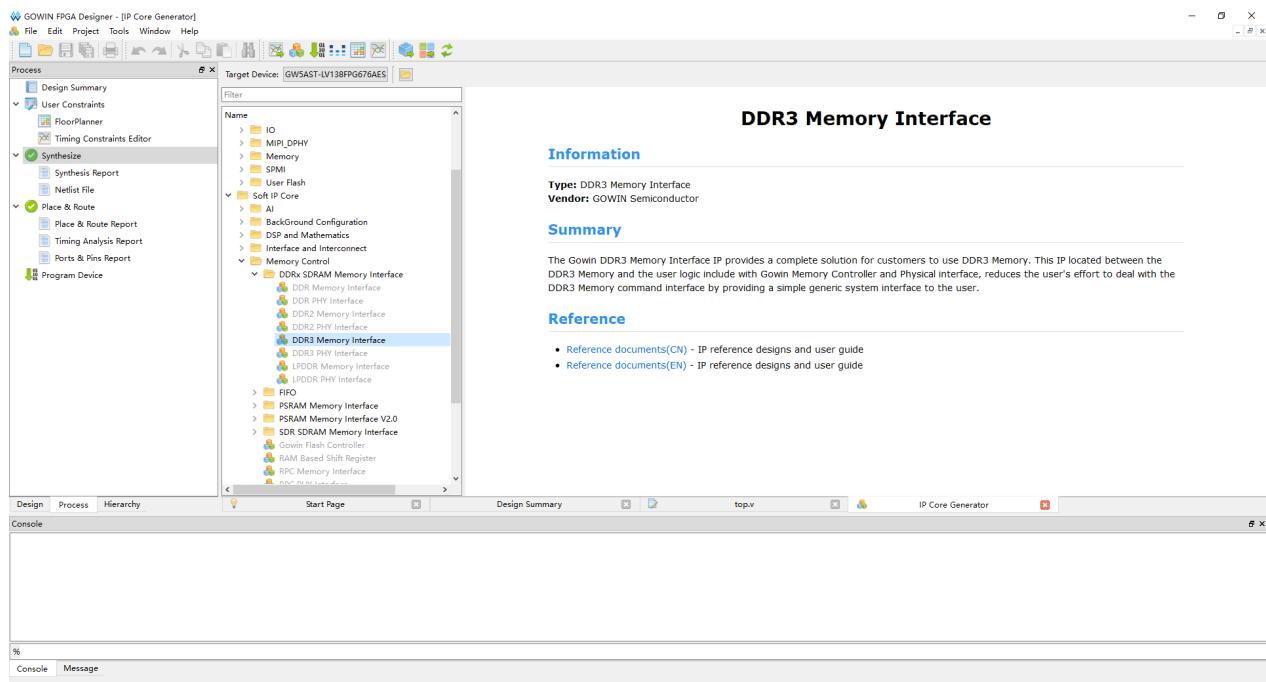
图 8-1 打开 IP Core Generator



2. 打开 DDR3 Memory Interface IP 核。

点击 DDR 选项，双击 DDR3 Memory Interface，打开 DDR3 Memory Interface IP 核的配置界面，如图 8-2 所示。

图 8-2 打开 DDR3 Memory Interface IP 核

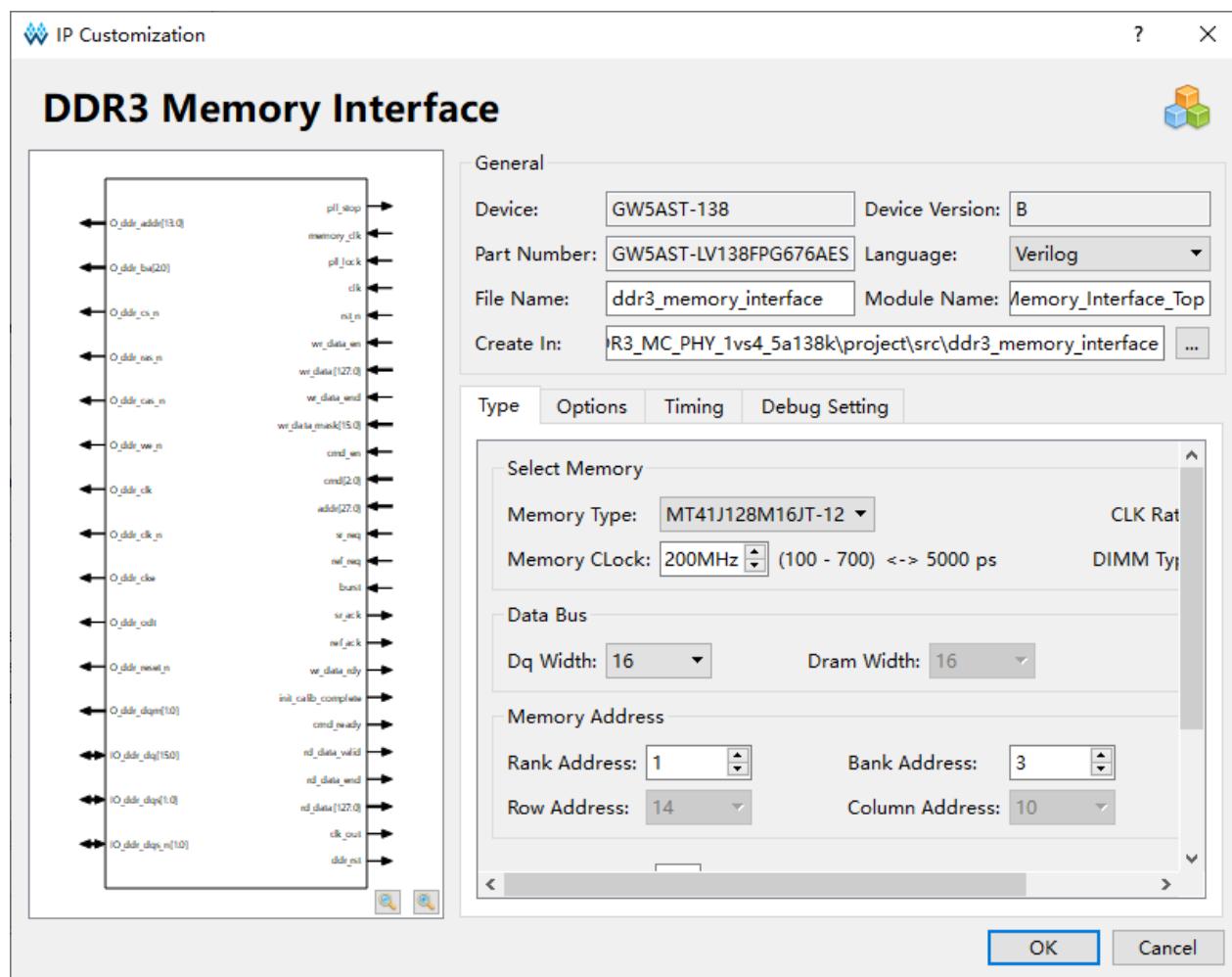


3. DDR3 Memory Interface IP 核端口界面。

配置界面左端是 DDR3 Memory Interface IP 核的接口示意图，如图 8-3 所示。

接口示意图中左端是 DDR3 Memory Controller 与用户端接口，用户通过将自己的用户设计连接到 DDR3 Memory Interface IP 中实现命令和数据的收发，右端是 PHY (Physical interface) 与内存颗粒的接口，用户通过将 DDR3 Memory Interface IP 核与自己所需内存颗粒连接，实现对数据的存取。用户使用不同的配置信息，接口示意图中的信号位宽，信号数量将会随之改变。

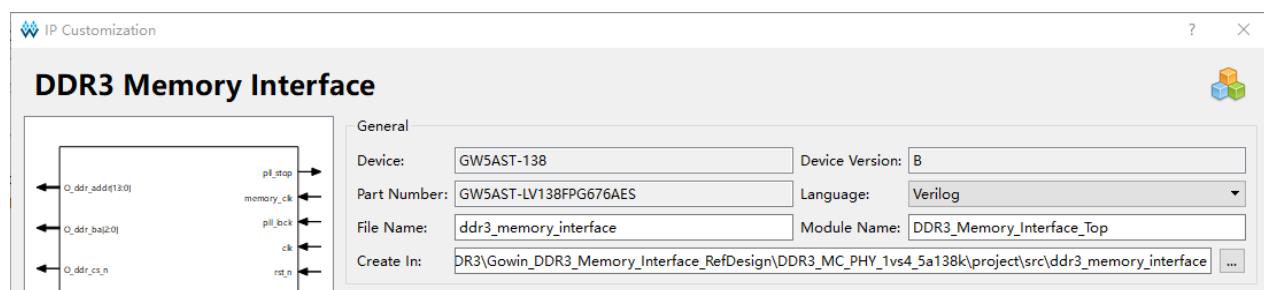
图 8-3 IP 核接口示意图



4. 配置基本信息。

在配置界面的上部分是工程基本信息配置界面，**Module Name** 选项后面是工程产生后顶层文件的名字，默认为“**ddr3_memory_interface_top**”，用户可自行修改。“**File Name**”是 IP 核文件产生的文件夹，存放 **DDR3 Memory Interface** IP 核所需文件，默认为“**DDR3 Memory_Interface**”，用户可自行修改路径。**Create IN** 选项是 IP 核文件夹产生路径，默认为“**\工程路径\src\DDR3_Memory_Interface**”，用户可自行修改路径，如图 8-4 所示。

图 8-4 基本信息配置界面



5. 参数配置界面如图 8-5 所示，具体参数描述参见 7 参数配置。

图 8-5 参数配置界面

