

TRƯỜNG ĐẠI HỌC KHOA HỌC TỰ NHIÊN - ĐHQG TP HCM
KHOA ĐIỆN TỬ - VIỄN THÔNG



ĐỒ ÁN MÔN HỌC
**VẬT LÝ LINH KIỆN
ĐIỆN TỬ**

Đề tài:

**KHẢO SÁT VÀ NGHIÊN CỨU ĐẶC TÍNH
CỦA CMOS**

Sinh viên thực hiện: NGUYỄN THÀNH ĐẠT - 23200074

HỒ QUANG ĐẠI - 23200069

NGUYỄN PHƯỚC ĐẠT - 23200073

Giảng viên hướng dẫn: NGUYỄN THỊ THIÊN TRANG

TPHCM - 04/2025

LỜI NÓI ĐẦU

Đồ án kĩ thuật này nằm trong môn vật lí linh kiện điện tử, khoa Điện tử-Viễn thông trường Đại học Khoa Học Tự Nhiên - ĐHQG TP.HCM, mục đích nghiên cứu của đồ án chủ yếu tìm hiểu về đặc tính của CMOS. Xin cảm ơn đến cô Nguyễn Thị Thiên Trang đã giúp nhóm chúng tôi hỗ trợ hoàn thành đồ án này. Mọi thắc mắc xin liên hệ 23200074@student.hcmus.edu.vn. Xin cảm ơn.

LỜI CAM ĐOAN

Nhóm chúng tôi gồm Nguyễn Thành Đạt, Nguyễn Phước Đạt, Hồ Quang Đại, sinh viên lớp 23DTV1, khóa 23, giảng viên hướng dẫn Th.S Nguyễn Thị Thiên Trang. Tôi xin cam đoan toàn bộ nội dung được trình bày trong đồ án là kết quả quá trình tìm hiểu và nghiên cứu của tập thể nhóm chúng tôi. Các dữ liệu nêu trong đồ án là hoàn toàn trung thực, phản ánh đúng kết quả thực tế. Mọi thông tin trích dẫn đều tuân thủ các quy định về sở hữu trí tuệ; các tài liệu tham khảo được liệt kê rõ ràng. Tôi xin chịu hoàn toàn trách nhiệm với những nội dung được trình bày trong đồ án này.

TP.HCM, ngày 04 tháng 05 năm 2025

Người cam đoan

NGUYỄN THÀNH ĐẠT

MỤC LỤC

| | |
|---|-----------|
| DANH MỤC KÝ HIỆU VÀ CHỮ VIẾT TẮT | i |
| DANH MỤC HÌNH VẼ | iii |
| DANH MỤC BẢNG BIỂU | iv |
| TÓM TẮT ĐỒ ÁN | v |
| CHƯƠNG 1. LÝ THUYẾT CƠ BẢN VỀ CMOS | 1 |
| 1.1 Giới thiệu về MOS Transistor | 1 |
| 1.2 Đặc tính I-V (Shockley model) | 2 |
| 1.3 Hiệu ứng I-V không lí tưởng(nonideal model I-V effects) | 4 |
| 1.3.1 Mobility Degradation và Velocity Saturation | 5 |
| 1.3.2 Channel length modulation | 6 |
| 1.3.3 Threshold Voltage Effects | 7 |
| 1.3.4 Leakage | 8 |
| CHƯƠNG 2. CMOS CAPACITANCE | 11 |
| 2.1 Đặc tính C-V | 11 |
| 2.1.1 Nhắc lại các khái niệm liên quan đến MOS Capacitors: . . . | 11 |
| 2.1.2 Mô Hình Điện Dung MOS Đơn Giản | 12 |
| 2.2 Mô Hình Điện Dung Cổng MOSFET | 13 |
| 2.2.1 Intrinsic Capacitance | 14 |
| 2.2.2 Overlap Capacitance | 15 |
| 2.3 Công thức tính dung lượng khử trong MOSFET | 16 |
| 2.3.1 Trường hợp $V_{BS} \leq FC \cdot P_B$ | 17 |
| 2.3.2 Trường hợp $V_{BS} > FC \cdot P_B$ | 17 |
| 2.3.3 Giải thích ý nghĩa các tham số và ứng dụng trong thiết kế . | 18 |
| 2.4 Ứng Dụng Trong Thiết Kế Mạch Điện Tử | 19 |

| | |
|---|-----------|
| CHƯƠNG 3: ỨNG DỤNG CMOS TRONG CỔNG LOGIC | 20 |
| 3.1 Nguyên lý hoạt động của Transistor NMOS và PMOS | 20 |
| 3.2 Cổng NOT | 21 |
| 3.3 Cổng NAND | 23 |
| 3.4 Cổng NOR | 25 |
| 3.5 Cổng AND | 27 |
| 3.6 Cổng OR | 28 |
| 3.7 Cổng XOR | 30 |
| 3.8 Cổng XNOR | 32 |
| KẾT LUẬN | 34 |
| TÀI LIỆU THAM KHẢO | 35 |

DANH MỤC KÝ HIỆU VÀ CHỮ VIẾT TẮT

MOS

Metal Oxide Semiconductor

DANH MỤC HÌNH

| | | |
|-----------|---|----|
| Hình 1.1 | Một số kí hiệu của MOS transistor[1] | 1 |
| Hình 1.2 | Cấu tạo của NMOS và PMOS | 1 |
| Hình 1.3 | Các điện thế của NMOS[1] | 2 |
| Hình 1.4 | Kích thước của NMOS[1] | 2 |
| Hình 1.5 | Đặc tuyến I-V của NMOS | 3 |
| Hình 1.6 | Đặc tuyến I-V của PMOS | 4 |
| Hình 1.7 | So sánh đặc tính I-V lí tưởng và không lí tưởng[1] | 4 |
| Hình 1.8 | Vận tốc hạt tải[1] | 5 |
| Hình 1.9 | Vùng depletion làm ngắn chiều dài kênh[1] | 6 |
| Hình 1.10 | Điện áp V_t dưới ảnh hưởng của DIBL effect | 8 |
| Hình 1.11 | Đặc tuyến I-V của nMOS 65nm ở 70 độ C[1] | 8 |
| Hình 1.12 | Dòng rò gây ra bởi gate tunneling | 10 |
| Hình 2.1 | Mô hình Mos capacitor | 11 |
| Hình 2.2 | Cấu trúc của NMOS: (a) accumulation, (b) depletion, và (c) inversion | 12 |
| Hình 2.3 | Mô hình Diffusion capacitance | 13 |
| Hình 2.4 | Biểu đồ biểu diễn các vùng hoạt động của MOS trong intrinsic capacitance | 15 |
| Hình 2.5 | Overlap Capacitance | 16 |
| Hình 2.6 | MOSFET Depletion Capacitors | 16 |
| Hình 2.7 | Đặc tính $V_{BS}-C_{BS}$ | 16 |
| Hình 2.8 | Biểu đồ biểu diễn điện dung cổng phụ thuộc vào các trạng thái chuyển đổi của nguồn và cổng | 19 |
| Hình 3.1 | Hoạt động dẫn dòng của NMOS và PMOS theo mức logic tại cổng G | 20 |
| Hình 3.2 | Cấu trúc CMOS gồm mạng pMOS kéo lên và mạng nMOS kéo xuống | 20 |
| Hình 3.3 | Mạch CMOS cổng NOT | 21 |

| | | |
|-----------|--------------------------------------|----|
| Hình 3.4 | Kí hiệu cổng NOT | 21 |
| Hình 3.5 | Ngõ vào ở mức logic 0 (0V) | 22 |
| Hình 3.6 | Ngõ vào ở mức logic 1 (5V) | 22 |
| Hình 3.7 | Sơ đồ mạch cổng NOT | 22 |
| Hình 3.8 | Tín hiệu ngõ ra của mạch | 23 |
| Hình 3.9 | Mạch CMOS cổng NAND | 23 |
| Hình 3.10 | Kí hiệu cổng NAND | 23 |
| Hình 3.11 | Sơ đồ mạch cổng NAND | 24 |
| Hình 3.12 | Tín hiệu ngõ ra của mạch | 24 |
| Hình 3.13 | Mạch CMOS cổng NOR | 25 |
| Hình 3.14 | Kí hiệu cổng NOR | 25 |
| Hình 3.15 | Sơ đồ mạch cổng NOR | 26 |
| Hình 3.16 | Tín hiệu ngõ ra của mạch | 26 |
| Hình 3.17 | Mạch CMOS cổng AND | 27 |
| Hình 3.18 | Kí hiệu cổng AND | 27 |
| Hình 3.19 | Sơ đồ mạch cổng AND | 27 |
| Hình 3.20 | Tín hiệu ngõ ra của mạch | 28 |
| Hình 3.21 | Mạch CMOS cổng OR | 28 |
| Hình 3.22 | Kí hiệu cổng OR | 28 |
| Hình 3.23 | Sơ đồ mạch cổng OR | 29 |
| Hình 3.24 | Tín hiệu ngõ ra của mạch | 29 |
| Hình 3.25 | Mạch CMOS cổng XOR | 30 |
| Hình 3.26 | Kí hiệu cổng XOR | 30 |
| Hình 3.27 | Sơ đồ mạch cổng XOR | 31 |
| Hình 3.28 | Tín hiệu ngõ ra của mạch | 31 |
| Hình 3.29 | Mạch CMOS cổng XNOR | 32 |
| Hình 3.30 | Kí hiệu cổng XNOR | 32 |
| Hình 3.31 | Sơ đồ mạch cổng XNOR | 33 |
| Hình 3.32 | Tín hiệu ngõ ra của mạch | 33 |

DANH MỤC BẢNG BIỂU

| | | |
|----------|----------------------------------|----|
| Bảng 3.1 | Bảng sự thật cổng NOT | 22 |
| Bảng 3.2 | Bảng sự thật cổng NAND | 23 |
| Bảng 3.3 | Bảng sự thật cổng NOR | 25 |
| Bảng 3.4 | Bảng sự thật cổng AND | 27 |
| Bảng 3.5 | Bảng sự thật cổng OR | 28 |
| Bảng 3.6 | Bảng sự thật cổng XOR | 30 |
| Bảng 3.7 | Bảng sự thật cổng XNOR | 32 |

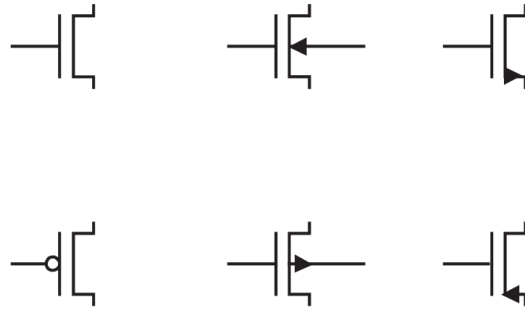
TÓM TẮT ĐỒ ÁN

Đồ án **KHẢO SÁT VÀ NGHIÊN CỨU ĐẶC TÍNH CỦA CMOS** có mục đích chính là tìm hiểu về các đặc tính của CMOS theo nhiều mô hình khác nhau, hiểu rõ được đặc tính sẽ hiểu rõ được về 1 trong những linh kiện quan trọng nhất của ngành công nghiệp bán dẫn, từ đó có thể dựa vào để ứng dụng CMOS cho thiết kế vi mạch.

CHƯƠNG 1. LÝ THUYẾT CƠ BẢN VỀ CMOS

1.1 Giới thiệu về MOS Transistor

MOS là linh kiện bán dẫn dựa vào sự chuyển dịch của các hạt tải đa số, điện thế đưa vào ngõ G(Gate) thực hiện điều khiển dòng giữa các kênh Source(S) và Drain(D). Trong nMOS transistor hạt tải đa số là electron, còn pMOS transistor hạt tải đa số là lỗ trống.



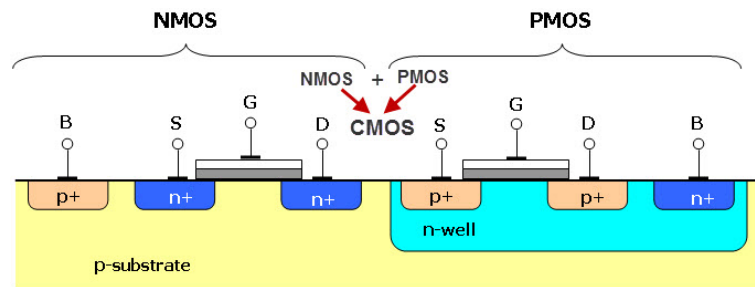
Hình 1.1 Một số kí hiệu của MOS transistor[1]

Sơ lược về NMOS và PMOS Transistor

Với V_{tn} là điện áp ngưỡng của NMOS. Khi phân cực cho NMOS Transistor, ta có 3 trạng thái hoạt động:

- $V_{gs} < V_{tn}$ transistor ở trạng thái cutoff(OFF).
- $V_{gs} > V_{tn}$ transistor chuyển sang trạng thái linear(ON). Nếu V_{ds} nhỏ. Transistor hoạt động như một điện trở tuyến tính, với dòng tỉ lệ với V_{ds} . Nếu $V_{gs} > V_{tn}$ và V_{ds} lớn, transistor hoạt động như một nguồn dòng độc lập với V_{ds}

Với V_{tp} là điện áp ngưỡng của PMOS, trạng thái hoạt động của PMOS ngược lại với NMOS. Các hạt tải số động di chuyển từ cực S đến cực D của transistor, đối với NMOS là electron còn PMOS là lỗ trống.



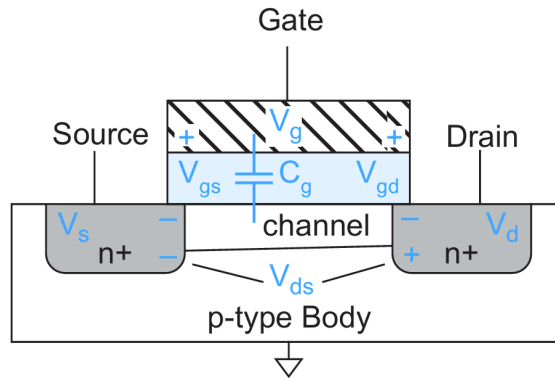
Hình 1.2 Cấu tạo của NMOS và PMOS

1.2 Đặc tính I-V (Shockley model)

Ta sẽ phân tích đặc tuyến của CMOS dựa trên mô hình Shockley. Mô hình cho rằng dòng thông qua CMOS ở trạng thái cutoff bằng 0. Khi CMOS ở trạng thái linear ($V_{gs} > V_t$) cực G thu hút các hạt tải (electron) tạo thành 1 kênh dẫn, các electron di chuyển với tốc độ tỉ lệ với điện trường giữa hai vùng S và D. Ta có điện tích của kênh dẫn:

$$Q_{\text{channel}} = C_g(V_{gc} - V_t) \quad (1.1)$$

Với cực S có điện áp V_s , cực D có điện áp V_d , điện áp trung bình: $V_c = V_s + V_{ds}/2$, \Rightarrow điện áp trung bình giữa cực G và kênh dẫn: $V_{gc} = V_g - V_c = V_{gs} - V_{ds}/2$. Hình 1.3.

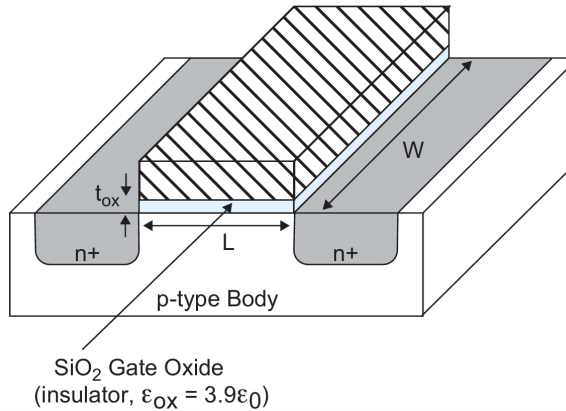


Hình 1.3 Các điện thế của NMOS[1]

Nếu ta mô hình hóa cực G như một bản tụ (Hình 1.4). Ta có điện dung cực G là:

$$C_g = k_{ox}\epsilon_o \frac{WL}{t_{ox}} = \epsilon_{ox} \frac{WL}{t_{ox}} = C_{ox}WL \quad (1.2)$$

Với $\epsilon_o = 8.85 \times 10^{-14}$, C_{ox} là điện dung trên mỗi đơn vị diện tích của lớp G.



Hình 1.4 Kích thước của NMOS[1]

Mỗi hạt tải trong kênh dẫn được gia tốc đến vận tốc trung bình v dựa vào tác dụng của điện trường của S và D. Với μ là độ linh động, ta có:

$$v = \mu E \quad (1.3)$$

Với NMOS, giá trị của μ trong điện trường nhỏ: $500-700 \text{ cm}^2/\text{V} \cdot \text{s}$.

Điện trường $E = \frac{V_{ds}}{L}$, từ đó ta có được công thức tính dòng I_{ds} :

$$I_{ds} = \frac{Q_{\text{channel}}}{L/V} = \beta(V_{GT} - V_{ds}/2)V_{ds} \quad (1.4)$$

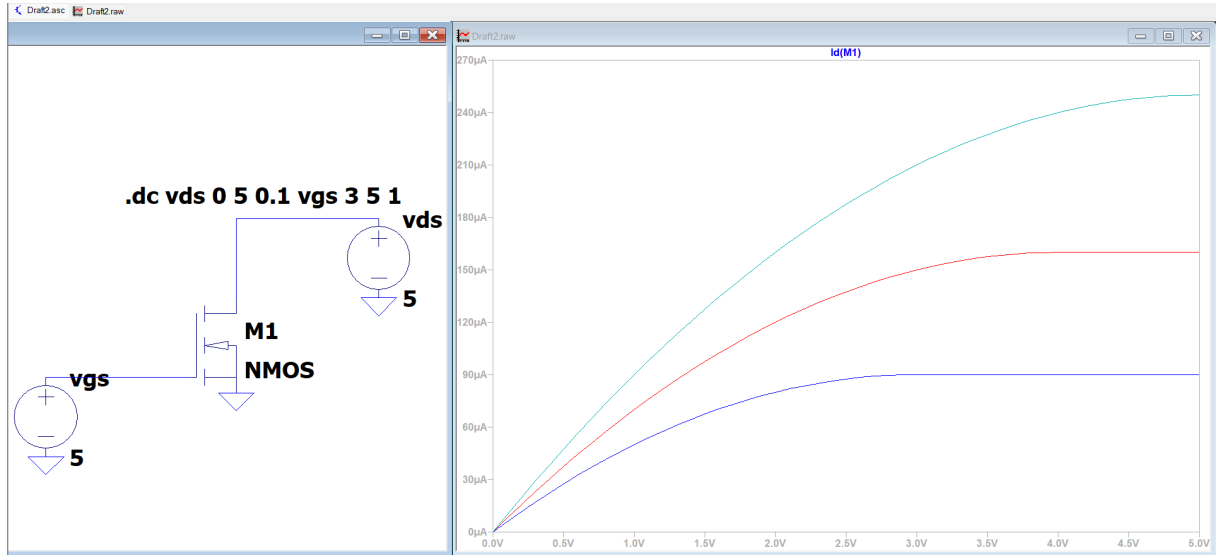
$$\beta = \mu C_{\text{ox}} \frac{W}{L}; V_{GT} = V_{gs} - V_t$$

Nếu $V_{ds} > V_{dsat} \equiv V_{GT}$ kênh dẫn lúc này đã bị chặn (pined off). V_{dsat} gọi là điện thế bão hòa của cực D. Dòng I_{ds} lúc này độc lập với V_{ds} :

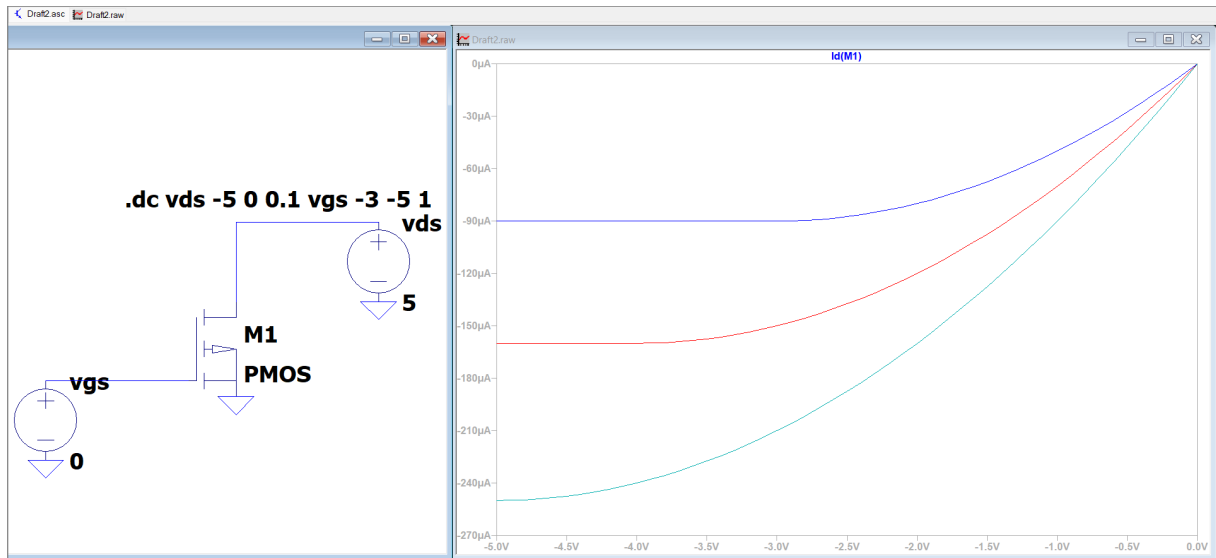
$$I_{ds} = \frac{\beta}{2} V_{GT}^2 \quad (1.5)$$

Tổng hợp: 3 trạng thái và dòng I_{ds} tương ứng:

$$I_{ds} = \begin{cases} 0, & V_{gs} < V_t \quad (\text{Cutoff}) \\ \beta(V_{GT} - V_{ds}/2)V_{ds}, & V_{ds} < V_{dsat} \quad (\text{Linear}) \\ \frac{\beta}{2} V_{GT}^2, & V_{ds} > V_{dsat} \quad (\text{Saturation}) \end{cases} \quad (1.6)$$



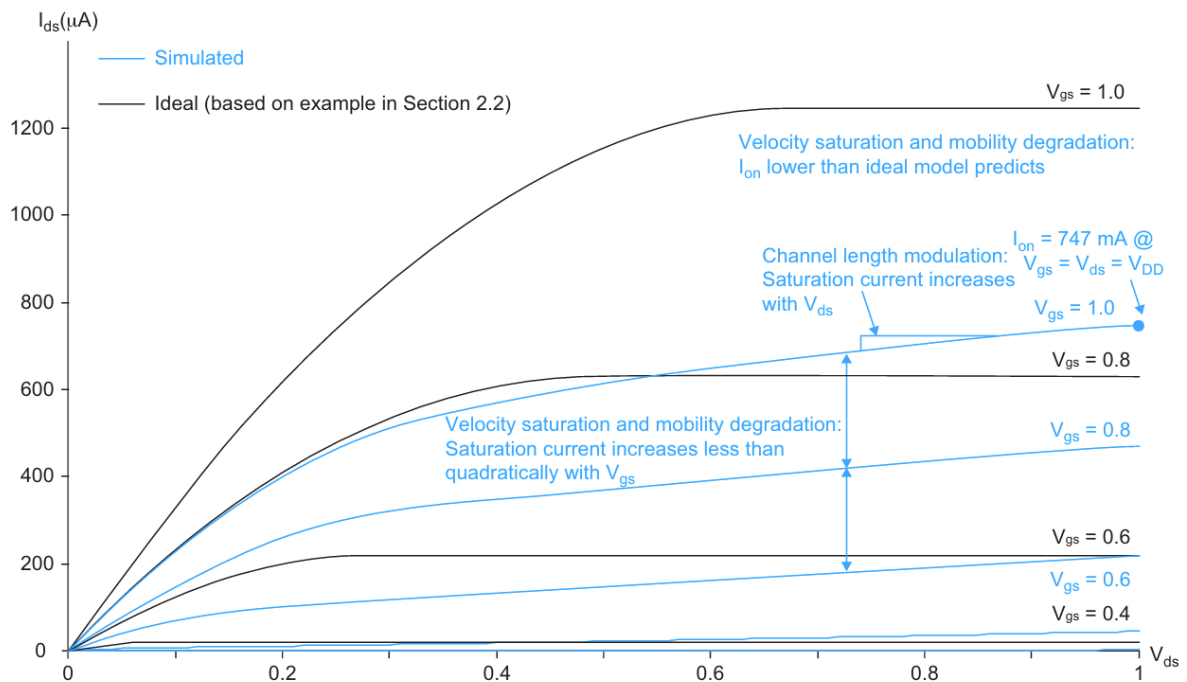
Hình 1.5 Đặc tuyến I-V của NMOS



Hình 1.6 Đặc tuyến I-V của PMOS

1.3 Hiệu ứng I-V không lí tưởng(nonideal model I-V effects)

Phương trình 1.6 đã bỏ qua nhiều hiệu ứng quan trọng đối với những linh kiện có chiều dài kênh dưới 1 micron. Phần này sẽ trình bày về những hiệu ứng: *velocity saturation*(bão hòa tốc độ), *mobility degradation effect*(hiệu ứng suy giảm độ linh động), *channel length modulation*(sự điều chỉnh chiều dài kênh) và các hiệu ứng liên quan đến *threshold voltage*(điện áp ngưỡng). Hình 1.7 mô phỏng so sánh của đặc tính I-V lí tưởng và không lí tưởng, những khác biệt này gây ra bởi những hiệu ứng trường như ở trên đã nêu.



Hình 1.7 So sánh đặc tính I-V lí tưởng và không lí tưởng[1]

1.3.1 Mobility Degradation và Velocity Saturation

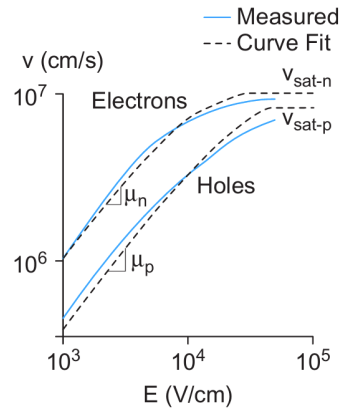
Phương trình 1.3 được nhắc ở trên có vận tốc trôi của hạt tải điện tỉ lệ thuận với điện trường $E = V_{ds}/L$ giữa cực S và D. Hằng số tỉ lệ là độ linh động (mobility) của hạt tải. Mô hình lí tưởng giả định rằng hằng số này không phụ thuộc vào điện trường, rõ ràng đây là một xấp xỉ đối với điện trường nhỏ, đối với điện trường lớn hơn ta không thể coi nó như một hằng số nữa. Cụ thể, điện áp cao tại cực G của transistor thu hút các hạt tải đến biên của kênh, điều này dẫn đến trong quá trình di chuyển các hạt tải có sự va chạm với lớp oxide bề mặt khiến chúng chậm đi, chính là suy giảm độ linh động. Các hạt tải di chuyển bởi tác động của điện trường sẽ dần di chuyển nhanh, và bởi hiệu ứng của mobility degradation chúng va chạm cũng nhiều hơn, không chỉ với lớp oxide mà còn đối với các hạt tải khác. Hiểu đơn giản, các hạt này di chuyển nhanh và va chạm nhiều từ đó vận tốc của chúng dần bão hòa dưới tác động của điện trường.

Bởi tác động của mobility degradation ta thay thế μ bằng μ_{eff} là một hàm của V_{gs} .

$$\mu_{eff-nmos} = \frac{540 \frac{cm^2}{V.s}}{1 + \left(\frac{V_{gs} + v_t}{0.54 \frac{V}{nm} t_{ox}} \right)^{1.85}} \quad (1.7)$$

$$\mu_{eff-pmos} = \frac{185 \frac{cm^2}{V.s}}{1 + \frac{|v_{gs} + 1.5V_t|}{0.338 \frac{V}{nm} t_{ox}}} \quad (1.8)$$

Hình 1.8 là vận tốc của hạt tải bị tác động bởi điện trường giữa D và S.



Hình 1.8 Vận tốc hạt tải[1]

Ở điện trường thấp, vận tốc hạt tải tăng tuyến tính với độ lớn của điện trường, khi điện trường đạt đến độ lớn nhất định E_c thì vận tốc hạt tải cũng sẽ bão hòa cho dù điện trường vẫn tăng. Khi $E > E_c$ vận tốc bão hòa có giá trị khoảng $10^7 cm/s$

đến $8 \times 10^6 \text{ cm/s}$ đối với lỗ trống. Ta có thể xấp xỉ theo phương trình:

$$v = \begin{cases} \frac{\mu_{eff} E}{1 + \frac{E}{E_c}} & E < E_c \\ v_{sat} & E \geq E_c \end{cases} \quad (1.9)$$

với E_c bằng:

$$E_c = \frac{2v_{sat}}{\mu_{eff}} \quad (1.10)$$

Điện áp giới hạn V_c giữa D và S có công thức $V_c = E_c L$. ta có được phương trình để tính I_{ds} :

$$I_{ds} = \begin{cases} \frac{\mu_{eff}}{1 + \frac{V_{ds}}{V_c}} C_{ox} \frac{W}{L} (V_{GT} - V_{ds}/2) V_{ds} & V_{ds} < V_{dsat} \quad \text{Linear} \\ C_{ox} W (V_{GT} - V_{dsat}) v_{sat} & V_{ds} > V_{dsat} \quad \text{Saturation} \end{cases} \quad (1.11)$$

Với:

$$V_{dsat} = \frac{V_{GT} V_c}{V_{GT} + V_c} \quad (1.12)$$

Thay V_{dsat} vào phương trình của I_{ds} ở vùng saturation:

$$I_{dsat} = W C_{ox} v_{sat} \frac{V_{GT}^2}{V_{GT} + V_c} \quad V_{ds} > V_{dsat} \quad (1.13)$$

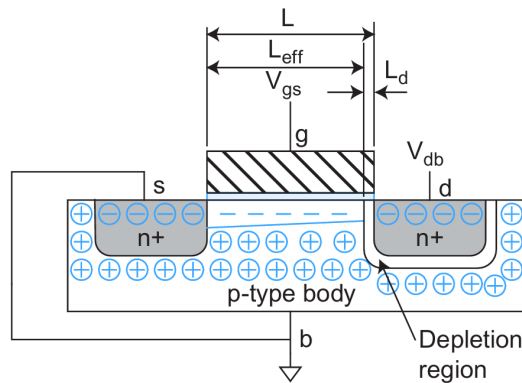
nếu $V_{GT} \ll V_c$ thì hiệu ứng bão hòa vận tốc không đáng kể, nhưng khi $V_{GT} \gg V_c$ thì vận tốc tiến dần đến vận tốc bão hòa:

$$I_{dsat} \approx W C_{ox} v_{sat} V_{GT} \quad V_{ds} > V_c \quad (1.14)$$

1.3.2 Channel length modulation

Trong vùng saturation mô hình lí tưởng cho rằng dòng I_{ds} không phụ thuộc vào điện thế V_{ds} nhưng thực tế khi điện áp V_{ds} đã làm cho kênh dẫn bị ngắn lại, điều này xảy ra bởi vùng depletion region tăng theo V_{ds} . Ta có công thức độ dài kênh bị ngắn lại như sau:

$$L_{eff} = L - L_d \quad (1.15)$$



Hình 1.9 Vùng depletion làm ngắn chiều dài kênh[1]

Ta sẽ tính dòng I_{ds} trong trường hợp giả sử bỏ qua tác động của body effect, giả thuyết rằng $V_{db} \approx V_{ds}$. Trong vùng saturation ta có I_{ds} :

$$I_{ds} = \frac{\beta}{2} V_{GT}^2 \left(1 + \frac{V_{ds}}{V_A}\right) \quad (1.16)$$

Điện áp V_A được gọi là điện áp sớm, tỉ lệ với chiều dài của kênh.

1.3.3 Threshold Voltage Effects

Ở mô hình lí tưởng ta lấy điện áp ngưỡng là một hằng số, nhưng thực ra không phải vậy. V_t tăng với source voltage tăng với độ dài kênh, giảm với body voltage, drain voltage. Phần này trình bày về các hiệu ứng đã nêu.

1.3.3.1 Body effect Chúng ta xét transistor có ba cực Gate (G), Source (S), Drain (D) và thứ tư là Body. Khi cho một điện áp V_{sb} nó làm tăng lượng điện tích cần thiết để đảo ngược kênh, làm tăng điện áp ngưỡng, ta có thể biểu diễn:

$$V_t = V_{t0} + \gamma \left(\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s} \right) \quad (1.17)$$

Với V_{t0} là điện áp ngưỡng khi S có cùng điện thế với Body, ϕ_s là điện áp bề mặt tại ngưỡng, γ là hệ số body effect có giá trị trong khoảng 0.4 đến 1 $V^{1/2}$. Các yếu tố này phụ thuộc vào nồng độ pha tạp N_A . Body effect làm giảm hiệu suất dẫn truyền của transistor.

$$\phi_s = 2v_T \ln \frac{N_A}{n_i} \quad (1.18)$$

$$\gamma = \frac{t_{ox}}{\varepsilon_{ox}} \sqrt{2q\varepsilon_{si}N_A} = \frac{\sqrt{2q\varepsilon_{si}N_A}}{C_{ox}} \quad (1.19)$$

Khi điện áp V_{sb} nhỏ:

$$V_t = V_{t0} + k_\gamma V_{sb} \quad (1.20)$$

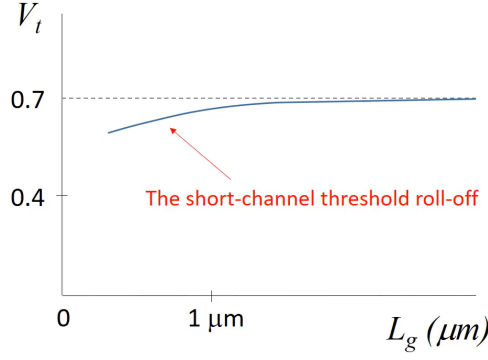
Với

$$k_\gamma = \frac{\gamma}{2\sqrt{\phi_s}} = \frac{\sqrt{\frac{q\varepsilon_{si}N_A}{V_T \ln \frac{N_A}{n_i}}}}{2C_{ox}} \quad (1.21)$$

1.3.3.2 Drain induced barrier lowering (DIBL) Điện áp V_{ds} cũng sẽ tạo ra một điện trường từ đó làm ảnh hưởng đến V_t . Hiệu ứng DIBL đặc biệt ảnh hưởng với transistor kênh ngắn, ta có công thức:

$$V_t = V_{t0} - \eta V_{ds} \quad (1.22)$$

Với η là hệ số của hiệu ứng DIBL, thông thường có giá trị khoảng 0.1. Hiệu ứng này có thể biểu diễn bằng điện áp sớm V_A ở công thức 1.16.



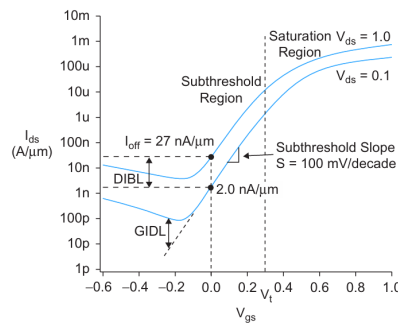
Hình 1.10 Điện áp V_t dưới ảnh hưởng của DIBL effect

Hiểu đơn giản khi chiều dài kênh của transistor ngắn, điện trường do V_{ds} đủ để làm vùng depletion gần Drain mở rộng từ đó làm thay đổi điện áp V_T của transistor khiến nó bật sớm hơn dự kiến, khiến việc điều khiển trở nên khó khăn. Bên cạnh đó hiệu ứng DIBL cũng làm tăng điện áp rò rỉ (Leakage).

1.3.4 Leakage

Khi ở trạng thái OFF, vẫn có dòng rò rỉ qua transistor. Các cơ chế rò rỉ bao gồm subthreshold leakage, gate leakage và junction leakage. Trong tiến trình lớn hơn 180nm thường không đáng kể, ở tiến trình 90 và 65 nm điện áp ngưỡng giảm đến mức dòng rò subthreshold đạt đến hàng nA, điều này là một hao tổn năng lượng đáng kể nếu có hàng triệu đến tỉ transistor trên chip. Trong tiến trình 45nm độ dày lớp oxide giảm đến mức dòng gate leakage tương đương với subthreshold leakage. Có thể cải tiến điều này bằng cách sử dụng vật liệu có hằng số điện môi cao.

1.3.4.1 Subthreshold leakage Trong thực tế, dòng qua transistor không giảm đột ngột khi điện áp V_{gs} nhỏ hơn V_t mà giảm theo cấp số nhân theo hàm logarit, vùng này gọi là weak inversion. Bởi hiệu ứng của DIBL dòng rò rỉ tăng đáng kể. Khi điện áp V_{gs} âm thì dòng rò cũng càng lớn, có thể quan sát theo đặc tính ở hình bên dưới.



Hình 1.11 Đặc tuyến I-V của nMOS 65nm ở 70 độ C[1]

Phương trình 1.23 có thể mô tả hiệu ứng của subthreshold leakage

$$I_{ds} = I_{ds0} e^{\frac{V_{gs} - V_{t0} + \eta V_{ds} - k V_{sb}}{n v_T}} \left(1 - e^{\frac{-V_{ds}}{v_T}} \right) \quad (1.23)$$

I_{ds0} là dòng tại ngưỡng phụ thuộc vào tiến trình và hình dạng của transistor.

$$I_{ds0} = \beta v_T^2 e^{1.8} \quad (1.24)$$

Nghịch đảo của độ dốc của đường đặc tuyến I_{ds} được gọi là độ dốc dưới ngưỡng (subthreshold slope), ký hiệu là S :

$$S = \left[\frac{d(\log_{10} I_{ds})}{dV_{gs}} \right]^{-1} = n v_T \ln 10 \quad (1.25)$$

Độ dốc dưới ngưỡng cho biết: cần giảm điện áp cổng bao nhiêu lần để dòng rò giảm 10 lần. Ví dụ như 100 mV/decade ở nhiệt độ phòng. Ta viết lại phương trình của I_{ds} .

$$I_{ds} = I_{off} \cdot 10^{\frac{V_{gs} + \eta(V_{ds} - V_{DD}) - k V_{sb}}{S}} \left(1 - e^{\frac{-V_{ds}}{v_T}} \right) \quad (1.26)$$

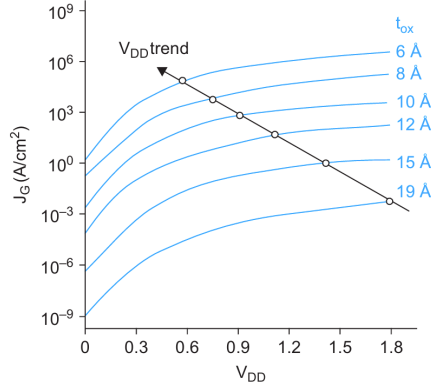
I_{off} là dòng rò dưới ngưỡng tại $V_{gs} = 0$ và $V_{ds} = V_{DD}$.

1.3.4.2 Gate leakage Dòng rò của gate leakage được hình thành bởi tác động của đường hầm lượng tử, khi electron của lớp Gate băng qua đường hầm lượng tử, vượt qua lớp oxide, hệ quả của việc này là xuất hiện dòng rò thông qua Gate (Gate tunneling). Có 2 cơ chế cho gate tunneling là Fowler-Nordheim (FN) tunneling và direct tunneling. FN chủ yếu đối với điện áp cao và độ dày của lớp oxide vừa phải. Direct tunneling chủ yếu đối với điện áp thấp và độ dày của lớp oxide mỏng, Dòng rò bởi direct tunneling có thể được ước tính bởi công thức:

$$I_{gate} = W A \left(\frac{V_{DD}}{t_{ox}} \right)^2 e^{-B \frac{t_{ox}}{V_{DD}}} \quad (1.27)$$

với A , B là những hằng số được quyết định bởi công nghệ chế tạo.

Dòng rò rỉ bởi hiệu ứng của gate tunneling không chỉ gây tiêu thụ điện áp đáng kể mà còn phát sinh nhiệt. Transistor cần có C_{ox} để cung cấp dòng ON tốt, kéo theo đó chính là độ dày của lớp oxide giảm, hiệu ứng của gate tunneling trở nên đáng kể. Hình 1.12



Hình 1.12 Dòng rò gây ra bởi gate tunneling

1.3.4.3 Junction leakage Những nối P-N giữa các cực và lớp nền tạo thành những diode. Khi hoạt động ta phải đảm bảo các diode phân cực ngược để không có dòng rò gây ảnh hưởng đến hiệu suất. Tuy nhiên ở phân cực ngược vẫn có dòng đi qua diode theo công thức:

$$I_D = I_S \left(e^{\frac{V_D}{V_T}} - 1 \right) \quad (1.28)$$

Dòng I_D phụ thuộc vào mức độ pha tạp, diện tích và chu vi của vùng diffusion. Dòng phân cực này có tác động nhưng không đáng kể nếu so với các cơ chế rò rỉ khác. Thứ cần được chú ý là khi pha tạp nồng độ cao phải chịu hiệu ứng của band-to-band tunneling (BTBT) và gate-induced drain leakage (GIDL)

GIDL xảy ra khi Gate che phủ một phần của Drain. Hiệu ứng này rõ rệt nhất khi Drain ở điện áp cao và Gate ở điện áp thấp. Tuy nhiên khi $|V_{gd}| \leq V_{DD}$ hiệu ứng này không đáng kể.

BTBT xảy ra qua mối nối giữa Source hoặc drain và Body được phân cực ngược. Đồng thời cũng vì các khuyết tật trong mạng tinh thể silicon mà làm tăng dòng rò. Ta có phương trình:

$$I_{BTBT} = W X_j A \frac{E_j^{1.5}}{E_g^{0.5}} V_{du} e^{-B \frac{E_g}{E_j}} \quad (1.29)$$

Với X_j là độ sâu mối nối ở vùng diffusion. E_g là bandgap voltage, A và B là những hằng số do công nghệ chế tạo. Cường độ điện trường dọc theo mối nối:

$$E_j = \sqrt{\frac{2qN_{\text{halo}}N_{sd}}{\varepsilon(N_{\text{halo}} + N_{sd})}} \left(V_{DD} + v_T \ln \frac{N_{\text{halo}}N_{sd}}{n_i^2} \right) \quad (1.30)$$

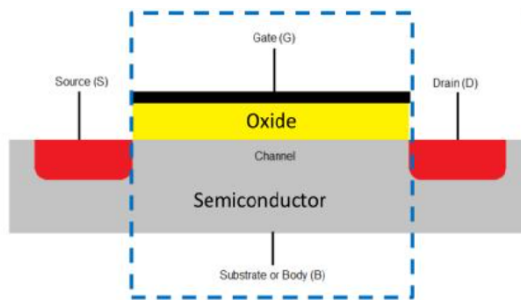
CHƯƠNG 2. CMOS CAPACITANCE

2.1 Đặc tính C-V

2.1.1 Nhắc lại các khái niệm liên quan đến MOS Capacitors:

Một MOS capacitor được cấu thành từ ba phần chính:

- **Lớp cổng (Gate):** Được làm từ kim loại hoặc polysilicon, tạo điện trường.
- **Lớp oxit (Oxide):** Thường dùng SiO_2 , là lớp cách điện mỏng giữa cổng và bán dẫn.
- **Lớp bán dẫn (Semiconductor):** Thường là silicon đã được doping (loại p hoặc n), nơi xảy ra các hiệu ứng tích tụ, trống và đảo chiều.



Hình 2.1 Mô hình Mos capacitor

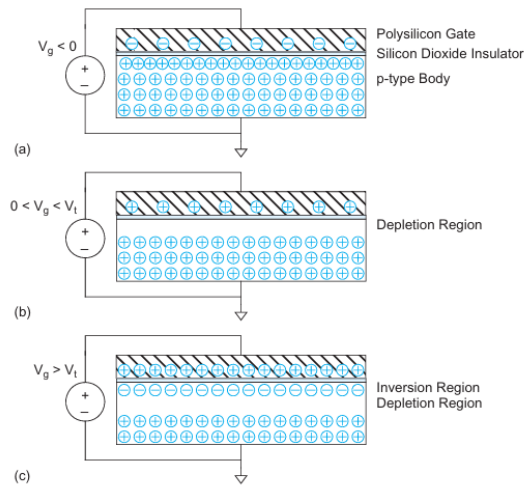
Nguyên lý hoạt động: Khi đặt điện áp lên cổng, điện trường xuyên qua lớp oxit làm thay đổi phân bố các hạt mang tại giao diện. Tùy theo độ lớn và cực của điện áp, có thể xảy ra ba chế độ:

- **Tích tụ (Accumulation):** Khi áp dụng một điện áp lên cổng của cấu trúc MOS, điện trường tạo ra sẽ hút các hạt đa số (majority carriers) của chất bán dẫn về gần giao diện oxide–bán dẫn. Lưu ý rằng điện tích cảm ứng dưới giao diện sẽ có dấu trái với điện tích trên cổng (ví dụ: với bán dẫn loại p , nếu cổng được mắc điện áp âm, các lỗ – hạt chủ mang điện dương – sẽ tích tụ ở dưới lớp oxide).
- **Trống (Depletion):** Khi áp dụng một điện áp nhất định lên cổng, điện trường sẽ đẩy các điện tích di động (các hạt chủ trong chất bán dẫn) ra khỏi vùng gần giao diện oxide–bán dẫn. Kết quả là, vùng gần giao diện chỉ còn lại các

ion cố định (ion của các nguyên tử dopant đã bị ion hóa) tạo nên vùng trống điện tích.

- **Đảo chiều (Inversion):** Khi điện áp cổng đạt đến ngưỡng đủ lớn, sự dời chuyển của phổ năng lượng (band bending) tại giao diện oxide–bán dẫn trở nên đáng kể đến mức tạo ra một lớp dẫn mới bao gồm các carrier thiểu số. Cụ thể, với bán dẫn p, khi đặt điện áp cổng dương đủ lớn, các điện tử — là carrier thiểu số trong bán dẫn p — sẽ được tích tụ tại giao diện, biến mặt bán dẫn trở nên đối nghịch so với phần còn lại.

Ta có thể lấy ví dụ về NMOS:



Hình 2.2 Cấu trúc của NMOS: (a) accumulation, (b) depletion, và (c) inversion

2.1.2 Mô Hình Điện Dung MOS Đơn Giản

Trong thiết kế mạch CMOS, điện dung của cổng MOS (Gate Capacitance) đóng vai trò quan trọng trong việc điều khiển dòng điện dẫn của transistor. Cổng MOS có thể được mô phỏng như một tụ điện với hai tấm song song: cổng (gate) và kênh (channel), với lớp oxit mỏng đóng vai trò là chất cách điện giữa chúng.

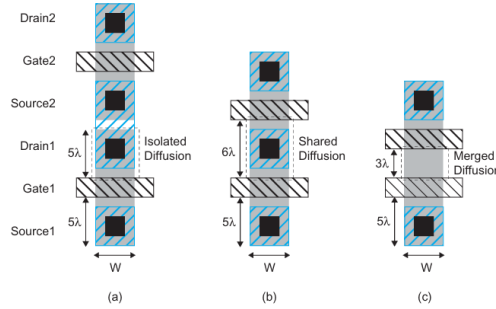
Điện dung cổng được tính bằng công thức:

$$C_g = C_{ox} \cdot W \cdot L \quad (2.31)$$

Trong đó, C_{ox} là điện dung đơn vị chiều dài của oxit, W là chiều rộng của cổng, và L là chiều dài của kênh. Khi transistor hoạt động, kênh sẽ được tạo ra giữa cực nguồn và cực thoát, và điện dung cổng sẽ liên kết với cực nguồn, tạo thành điện dung C_{gs} .

Điện dung khuếch tán (Diffusion Capacitance) cũng ảnh hưởng đến hiệu suất của transistor, mặc dù không phải là yếu tố quyết định. Điện dung này phát sinh

từ các tiếp giáp PN giữa các vùng khuếch tán của nguồn và thoát, và nó có thể được phân loại thành ba loại chính dựa trên cách thức bố trí các tiếp giáp trong mạch.



Hình 2.3 Mô hình Diffusion capacitance

Hình ở trên biểu diễn cho ba loại vùng khuếch tán thường gặp:

- **Vùng khuếch tán cách ly (Isolated Diffusion)(Hình a):** Mỗi nguồn và thoát có vùng khuếch tán tiếp xúc riêng biệt.
- **Vùng khuếch tán chia sẻ (Shared Diffusion)(Hình b):** Các vùng khuếch tán của các transistor được chia sẻ giữa các transistor nối tiếp.
- **Vùng khuếch tán hợp nhất (Merged Diffusion)(Hình c):** Các cực nguồn và thoát được hợp nhất thành một vùng không tiếp xúc.

Điện dung khuếch tán của các vùng này có thể đo được từ mô phỏng hoặc tính toán, và ảnh hưởng trực tiếp đến hiệu suất của mạch khi transistor chuyển giữa các mức V_{DD} và V_{SS} . Tuy nhiên, trong tính toán nhanh, ta thường sử dụng các giá trị ước lượng cho điện dung khuếch tán, chẳng hạn như $C_{sb} \approx C_{db} \approx 1 \text{ fF}/\mu\text{m}$ cho các vùng tiếp xúc.

Mặc dù điện dung khuếch tán không phải là yếu tố chính trong điều khiển dòng điện, nhưng nó vẫn là một yếu tố quan trọng ảnh hưởng đến tốc độ và hiệu suất tổng thể của mạch điện.

2.2 Mô Hình Điện Dung Cổng MOSFET

Điện dung cổng MOSFET có thể được chia thành các thành phần chính:

- **Điện dung nội bộ (intrinsic capacitance)** bao gồm các điện dung giữa cổng và các terminal của MOSFET: C_{gb} (cổng-to-thân), C_{gs} (cổng-to-nguồn) và C_{gd} (cổng-to-cổng).

- **Điện dung chồng lấn (overlap capacitance)** giữa cổng và các vùng nguồn/cổng, được tính theo bề rộng của transistor.

Đầu tiên, chúng ta sẽ lần lượt đi sâu vào các chế độ hoạt động của MOSFET ảnh hưởng như thế nào đến CMOS trong *intrinsic capacitance*:

2.2.1 *Intrinsic Capacitance*

2.2.1.1 Chế Độ Cắt Khi $V_{gs} < V_t$, transistor hoạt động ở chế độ cắt, và kênh không bị nghịch đảo. Do đó, điện dung giữa cổng và cơ thể C_{gb} có giá trị lớn nhất. Ta có công thức:

$$C_{gb} = C_0 \quad (2.32)$$

trong đó, C_0 là điện dung tối đa giữa cổng và cơ thể.

Điện dung cổng trong chế độ cắt chỉ có C_{gb} , và tổng điện dung cổng sẽ là:

$$C_g = C_{gb} = C_0 \quad (2.33)$$

2.2.1.2 Chế Độ Tuyến Tính Khi $V_{gs} > V_t$ và V_{ds} còn nhỏ, transistor hoạt động trong chế độ tuyến tính. Điện dung giữa cổng và nguồn C_{gs} , cũng như cổng và cổng C_{gd} , có giá trị bằng nhau và đều bằng $\frac{C_0}{2}$. Ta có:

$$C_{gs} = C_{gd} = \frac{C_0}{2} \quad (2.34)$$

Với điện dung chồng lấn, ta có công thức tính tổng điện dung cổng trong chế độ tuyến tính:

$$C_g = C_{gs} + C_{gd} + C_{gb} + 2 C_{gol} W = \frac{C_0}{2} + \frac{C_0}{2} + C_0 + 2 C_{gol} W \quad (2.35)$$

$$C_g = C_0 + 2 C_{gol} W \quad (2.36)$$

trong đó, C_{gol} là điện dung chồng lấn giữa cổng và nguồn/cổng, và W là bề rộng của transistor.

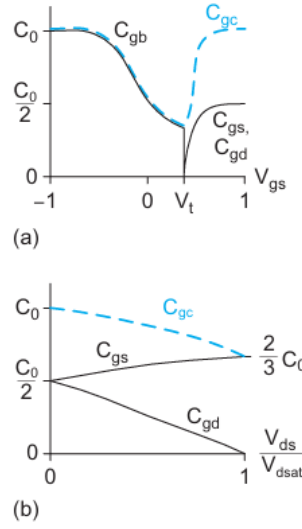
2.2.1.3 Chế Độ Bão Hòa Khi $V_{ds} > V_{dsat}$, transistor MOSFET hoạt động trong chế độ bão hòa. Lúc này, điện dung giữa cổng và nguồn C_{gs} chiếm phần lớn trong tổng điện dung cổng. Ta có:

$$C_{gs} = \frac{2}{3} C_0 \quad (2.37)$$

và điện dung cổng trong chế độ bão hòa sẽ là:

$$C_g = C_{gs} = \frac{2}{3} C_0 \quad (2.38)$$

điều này phản ánh sự giảm điện dung trong chế độ bão hòa khi transistor đã bị nghẽn (pinched-off).



Hình 2.4 Biểu đồ biểu diễn các vùng hoạt động của MOS trong intrinsic capacitance

Tiếp đến ta xét đến điện Dung Chồng Lấn (*overlap capacitance*):

2.2.2 Overlap Capacitance

Điện dung chồng lấn giữa cổng và các vùng nguồn/cổng là một thành phần quan trọng trong việc xác định tổng điện dung cổng của MOSFET. Trong quá trình chế tạo, do giới hạn về công nghệ khắc và mục tiêu đảm bảo kết nối điện hiệu quả, vùng cổng có xu hướng “chồng” lên một phần các vùng nguồn và cổng, từ đó tạo ra các điện dung phụ ảnh hưởng đến hiệu suất của thiết bị.

$$C_{gol(overlap)} = C_{gol} \times W \quad (2.39)$$

trong đó:

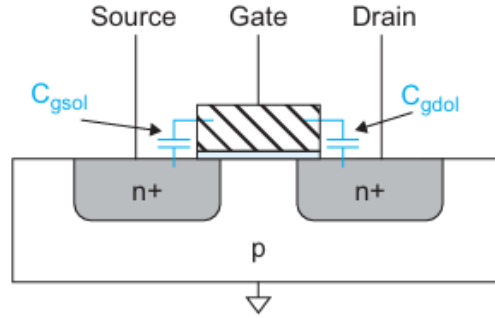
- C_{gol} là điện dung đơn vị của vùng chồng lấn, phụ thuộc vào đặc tính của lớp oxide và quá trình sản xuất.
- W là bề rộng của transistor, đại diện cho kích thước ngang của kênh dẫn.

Do có sự chồng lấn từ cả vùng nguồn và cổng, tổng điện dung cổng của MOSFET được biểu diễn bởi công thức:

$$C_g = C_{gs} + C_{gd} + C_{gb} + 2C_{gol}W \quad (2.40)$$

Mặc dù vùng chồng lấn chiếm một diện tích nhỏ, nhưng vì nó được tính hai lần (cho cả vùng nguồn và cổng), nên tổng điện dung cổng được tăng lên đáng kể. Điều này có ý nghĩa quan trọng trong:

- **Thời gian chuyển trạng thái:** Điện dung phụ cần được sạc và xả trong quá trình chuyển đổi trạng thái của MOSFET, từ đó ảnh hưởng đến tốc độ chuyển mạch.
- **Hành vi tần số:** Tổng điện dung cổng xác định độ phức tạp và đáp ứng của mạch khi làm việc ở các tần số cao, điều này rất quan trọng trong các ứng dụng tín hiệu nhanh.

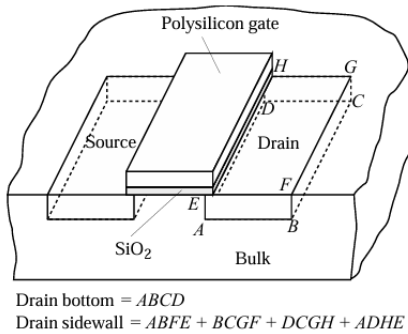


Hình 2.5 Overlap Capacitance

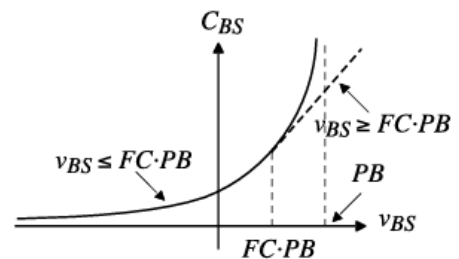
2.3 Công thức tính dung lượng khử trong MOSFET

Trong thiết kế MOSFET, việc tính toán dung lượng khử (depletion capacitance) giữa vùng bulk và nguồn (C_{BS}) là một bước quan trọng để dự đoán hành vi điện của mỗi nối PN dưới tác động của điện áp đảo (V_{BS}). Công thức được xây dựng dựa trên hai miền điện áp khác nhau, cụ thể:

- Khi $V_{BS} \leq FC \cdot P_B$
- Khi $V_{BS} > FC \cdot P_B$



Hình 2.6 MOSFET Depletion Capacitors



Hình 2.7 Đặc tính $V_{BS}-C_{BS}$

2.3.1 Trường hợp $V_{BS} \leq FC \cdot P_B$

Trong miền điện áp này, công thức dùng dạng power-law thể hiện ảnh hưởng của V_{BS} qua việc mở rộng vùng khử, từ đó làm giảm điện dung của mỗi nối. Cụ thể, công thức được biểu diễn như sau:

$$C_{BS} = \frac{C_J \cdot A_S}{\left(1 - \frac{V_{BS}}{P_B}\right)^{M_J}} + \frac{C_{JSW} \cdot P_S}{\left(1 - \frac{V_{BS}}{P_B}\right)^{M_{JSW}}} \quad (2.41)$$

trong đó:

- **C_J** : Dung lượng không đảo trên đơn vị diện tích của mỗi nối PN – xác định khả năng tích điện ban đầu của giao diện.
- **A_S** : Diện tích của vùng nguồn, đóng vai trò nhân đôi giá trị điện dung theo phần diện tích.
- **V_{BS}** : Điện áp giữa bulk và nguồn, là yếu tố kích hoạt quá trình đảo ngược của mỗi nối.
- **P_B** : Điện áp nội tại (built-in voltage) của mỗi nối, dùng làm chuẩn để so sánh sự thay đổi của V_{BS} .
- **M_J** : Hệ số xếp lớp (grading coefficient) của phần diện tích, điều chỉnh mức độ giảm của điện dung khi V_{BS} tăng.
- **C_{JSW}** : Dung lượng không đảo của phần cạnh (sidewall), có ảnh hưởng riêng do hiệu ứng cạnh của mỗi nối.
- **P_S** : Chu vi của vùng nguồn, đóng vai trò nhân đôi cho điện dung phần cạnh.
- **M_{JSW}** : Hệ số xếp lớp của phần cạnh, kiểm soát cách mà điện dung thay đổi theo V_{BS} .

2.3.2 Trường hợp $V_{BS} > FC \cdot P_B$

Khi điện áp V_{BS} vượt qua ngưỡng $FC \cdot P_B$, mô hình power-law truyền thống không đảm bảo tính liên tục của C_{BS} . Để khắc phục, công thức được chuyển sang dạng xấp xỉ tuyến tính thông qua khai triển Taylor, đảm bảo sự liên tục tại điểm chuyển đổi:

$$C_{BS} = \frac{C_J \cdot A_S}{(1 - FC)^{1+M_J}} \left[1 - (1 + M_J) \cdot FC + M_J \frac{V_{BS}}{P_B} \right] + \frac{C_{JSW} \cdot P_S}{(1 - FC)^{1+M_{JSW}}} \left[1 - (1 + M_{JSW}) \cdot FC + M_{JSW} \frac{V_{BS}}{P_B} \right] \quad (2.42)$$

Trong đó :

- Các mẫu số $(1 - FC)^{1+M_J}$ và $(1 - FC)^{1+M_{JSW}}$ là các hệ số chuẩn hóa, đảm bảo rằng giá trị C_{BS} tại $V_{BS} = FC \cdot P_B$ chuyển mượt mà từ mô hình power-law sang dạng tuyến tính.
- Các biểu thức trong dấu ngoặc vuông là khai triển tuyến tính của hàm số ban đầu, giúp mô hình duy trì tính chính xác khi điện áp vượt ngưỡng.

2.3.3 *Giải thích ý nghĩa các tham số và ứng dụng trong thiết kế*

Các tham số trong hai công thức trên có những ý nghĩa vật lý cụ thể:

- C_J và C_{JSW} được xác định thông qua các đặc tính giao diện PN và quy trình sản xuất, phản ánh khả năng lưu trữ điện tích ban đầu.
- A_S và P_S phụ thuộc vào hình dạng của vùng nguồn, tác động trực tiếp đến tổng điện dung khử của mỗi nốt.
- P_B với vai trò là điện áp nội tại, cung cấp mức chuẩn để đánh giá sự thay đổi của dung lượng theo tỷ lệ điện áp đảo.
- M_J và M_{JSW} là các hệ số thể hiện cách mà dung lượng giảm theo sự tăng của V_{BS} , phản ánh quá trình mở rộng vùng khử một cách phi tuyến.
- FC là hằng số quan trọng để xác định ngưỡng chuyển đổi giữa mô hình power-law và mô hình tuyến tính, từ đó đảm bảo tính liên tục của hàm số.

Áp dụng chính xác mô hình này trong thiết kế MOSFET giúp:

- Dự đoán và mô phỏng hành vi của MOSFET dưới nhiều điều kiện điện áp khác nhau.
- Tối ưu hóa tốc độ chuyển mạch và giảm thiểu nhiễu, mất mát tín hiệu trong các mạch điện có tần số hoạt động cao.
- Phát triển các mô hình tương tự cho các mối nối khác (ví dụ như bulk-drain) nhằm đánh giá toàn diện các hiệu ứng điện dung phụ.

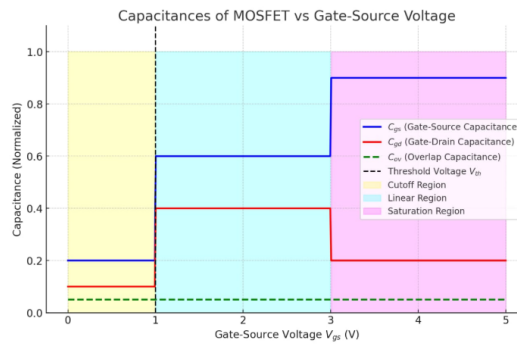
Như vậy, việc trình bày chi tiết các công thức cùng với việc giải thích rõ ràng ý nghĩa từng tham số là cơ sở để các kỹ sư có thể áp dụng mô hình hóa một cách hiệu quả trong quá trình phân tích và thiết kế các mạch điện tử tiên tiến.

2.4 Ứng Dụng Trong Thiết Kế Mạch Điện Tử

Việc tính toán chính xác điện dung cổng là rất quan trọng trong việc thiết kế các mạch điện tử, đặc biệt là các mạch số. Các yếu tố như C_{gs} , C_{gd} , C_{gb} , và C_{gol} ảnh hưởng trực tiếp đến độ trễ và tốc độ chuyển mạch của transistor.

Để tối ưu hóa mạch, các kỹ sư có thể:

- Giảm bề rộng transistor W để giảm điện dung chồng lấn C_{gol} .
- Điều chỉnh điện áp ngưỡng V_t để kiểm soát sự thay đổi của điện dung trong các chế độ vận hành.
- Tăng độ dày lớp oxit để giảm điện dung cổng.



Hình 2.8 Biểu đồ biểu diễn điện dung cổng phụ thuộc vào các trạng thái chuyển đổi của nguồn và cổng

CHƯƠNG 3: ỨNG DỤNG CMOS TRONG CỔNG LOGIC

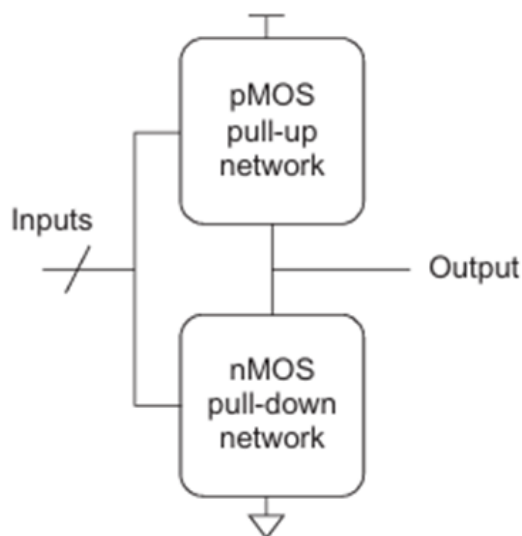
Như đã biết NMOS và PMOS hoạt động dựa vào điện thế điều khiển dòng (trình bày ở phần 1). Trong phần này chúng ta sẽ tóm tắt hoạt động cơ bản của CMOS và thiết kế các cổng logic bằng CMOS.

3.1 Nguyên lý hoạt động của Transistor NMOS và PMOS



Hình 3.1 Hoạt động dẫn dòng của NMOS và PMOS theo mức logic tại cực G

- NMOS dẫn khi có mức logic cao (1) tại cực G.
- PMOS dẫn khi có mức logic thấp (0) tại cực G.

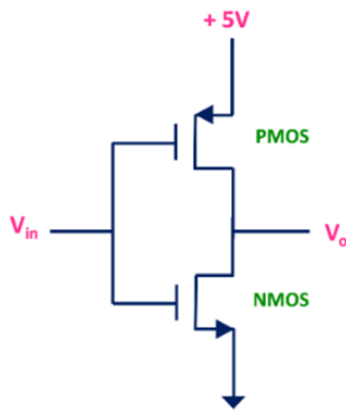


Hình 3.2 Cấu trúc CMOS gồm mạng pMOS kéo lên và mạng nMOS kéo xuống

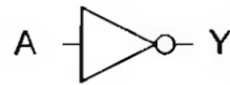
Trong CMOS, pull-down network(nMOS) để kết nối đầu ra với 0 (GND) và pull-up network(pMOS) để kết nối đầu ra với 1 (VDD, các mạng được sắp xếp sao cho một mạng ON và mạng kia OFF cho bất kỳ ngõ vào nào.(quy tắc đối ngẫu logic trong đại số boolean “Duality”). Mạng kéo lên (Pull-up) và kéo xuống (Pull-down) có thể gồm một hoặc nhiều transistor.

- Transistor nối tiếp: chỉ dẫn dòng khi tất cả transistor đều ON \rightarrow tương đương phép AND.
- Transistor song song: dẫn dòng nếu ít nhất một transistor ON \rightarrow tương đương phép OR.

3.2 Cổng NOT



Hình 3.3 Mạch CMOS cổng NOT



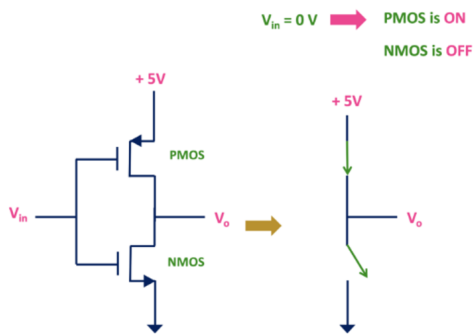
Hình 3.4 Kí hiệu cổng NOT

NMOS và PMOS nối tiếp với nhau tạo thành một cổng NOT. Sở dĩ cần điều này vì trong một thời điểm ta chỉ cần một transistor dẫn, mắc nối tiếp nhau làm gia tăng tính ổn định, đồng thời không xảy xung đột giữa nguồn và đất. PMOS được sử dụng như một transistor kéo lên: cực Source(S) được kết nối với VDD và cực Drain(D) được kết nối với ngõ ra Y. Tương tự như vậy, NMOS được sử dụng như một transistor kéo xuống: cực Source(S) được kết nối với đất, cực Drain(D) được kết nối với ngõ ra Y. Cực Gate(G) của cả transistor PMOS và NMOS đều được kết nối với ngõ vào.

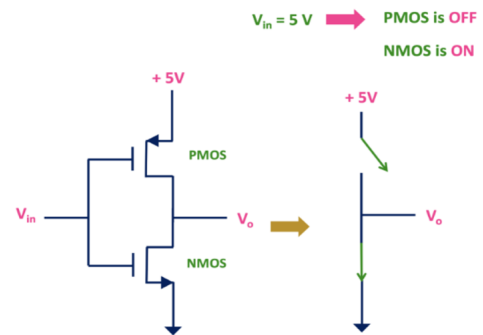
Bảng 3.1 Bảng sự thật cổng NOT

| Input | Output |
|-------|--------|
| A | Y |
| 0 | 1 |
| 1 | 0 |

- Khi $V_{in} = 0$, pMOS ON, nMOS OFF, V_o được kéo lên $V_{DD}=5V$ tương ứng mức “1” ($V_o = 1$), dòng từ V_{DD} qua pMOS ra V_o .
- Khi $V_{in} = 1$, pMOS OFF, nMOS ON, Y được kéo xuống GND ($V_o = 0$), dòng từ V_o qua nMOS xuống GND.



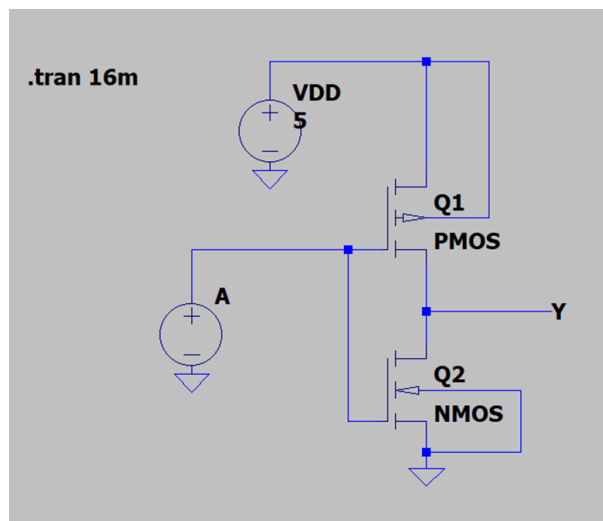
Hình 3.5 Ngõ vào ở mức logic 0 (0V)



Hình 3.6 Ngõ vào ở mức logic 1 (5V)

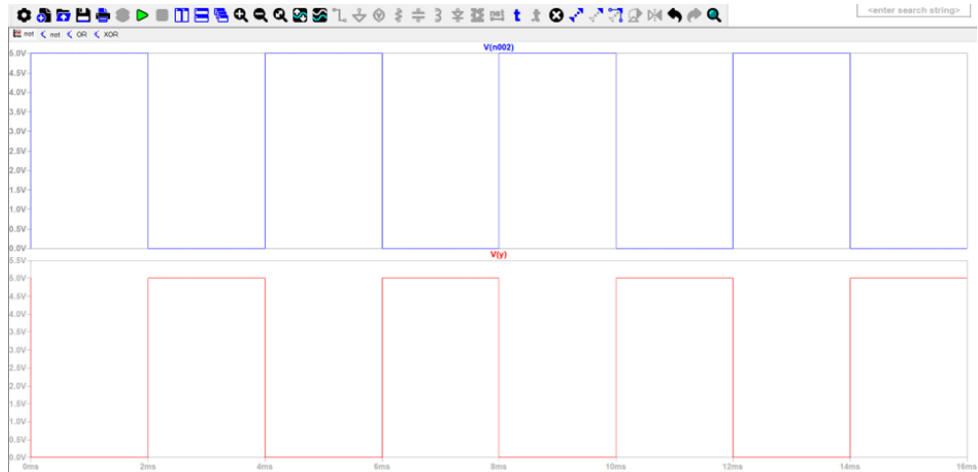
Mô Phỏng

Sơ đồ mạch:



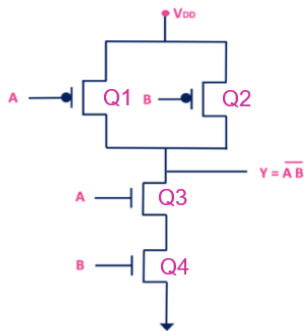
Hình 3.7 Sơ đồ mạch cổng NOT

Tín hiệu ngõ ra:



Hình 3.8 Tín hiệu ngõ ra của mạch

3.3 Cổng NAND



Hình 3.9 Mạch CMOS cổng NAND



Hình 3.10 Kí hiệu cổng NAND

Bảng 3.2 Bảng sự thật cổng NAND

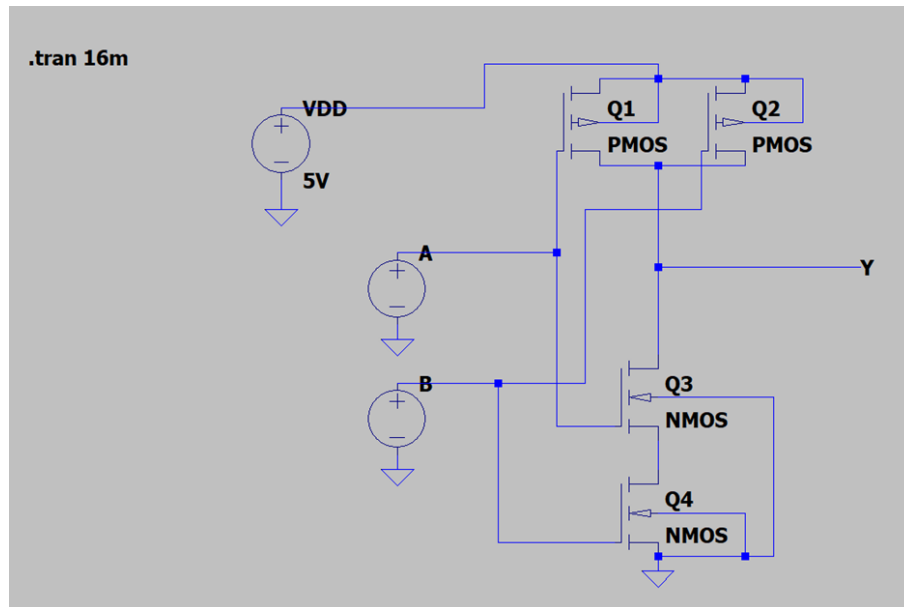
| A | B | Y | Q1 | Q2 | Q3 | Q4 |
|---|---|---|-----|-----|-----|-----|
| 0 | 0 | 1 | ON | ON | OFF | OFF |
| 0 | 1 | 1 | ON | OFF | OFF | ON |
| 1 | 0 | 1 | OFF | ON | ON | OFF |
| 1 | 1 | 0 | OFF | OFF | ON | ON |

Ở đây với cổng NAND, ta có được bảng sự thật của ngõ ra Y theo hai ngõ vào A và B. Từ giá trị ngõ ra Y, ta xét trạng thái dẫn tắt của mạng pull-up và mạng pull-down tương ứng. Dựa trên trạng thái mạng mà ta sẽ chọn cách mắc các PMOS và NMOS thích hợp.

- Vì mạng pull-up(PMOS) dẫn khi có một ngõ vào bất kỳ bằng ‘0’ nên mạng pull-up mắc song song.
- Vì mạng pull-down(NMOS) chỉ dẫn khi hai ngõ vào cùng bằng ‘1’ nên mạng pull-down phải mắc nối tiếp.

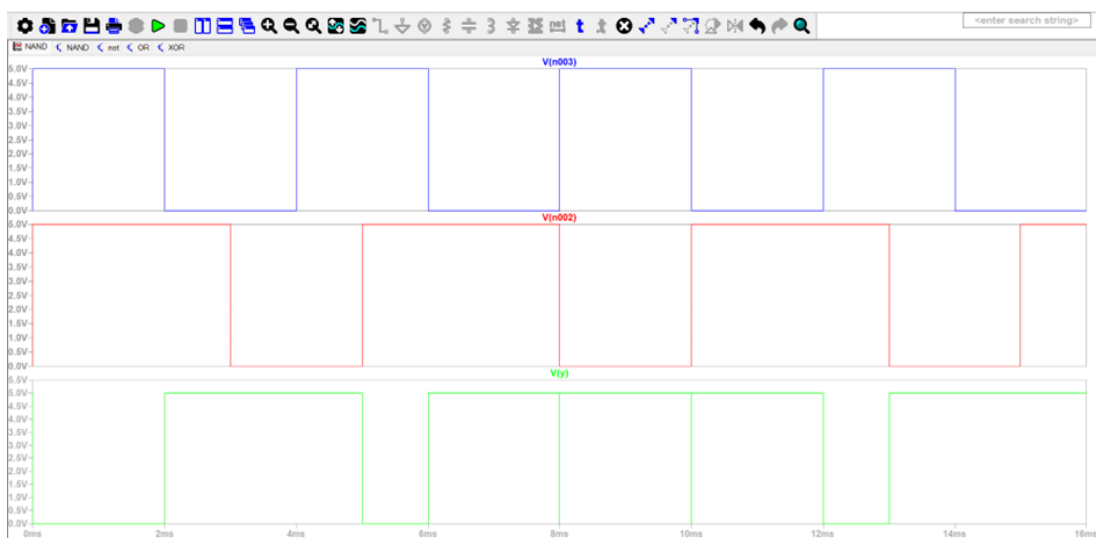
Mô Phỏng

Sơ đồ mạch:



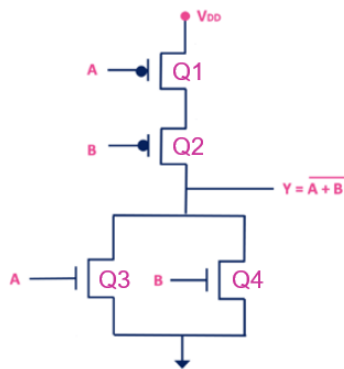
Hình 3.11 Sơ đồ mạch cổng NAND

Tín hiệu ngõ ra:



Hình 3.12 Tín hiệu ngõ ra của mạch

3.4 Cổng NOR



Hình 3.13 Mạch CMOS cổng NOR



Hình 3.14 Kí hiệu cổng NOR

Bảng 3.3 Bảng sự thật cổng NOR

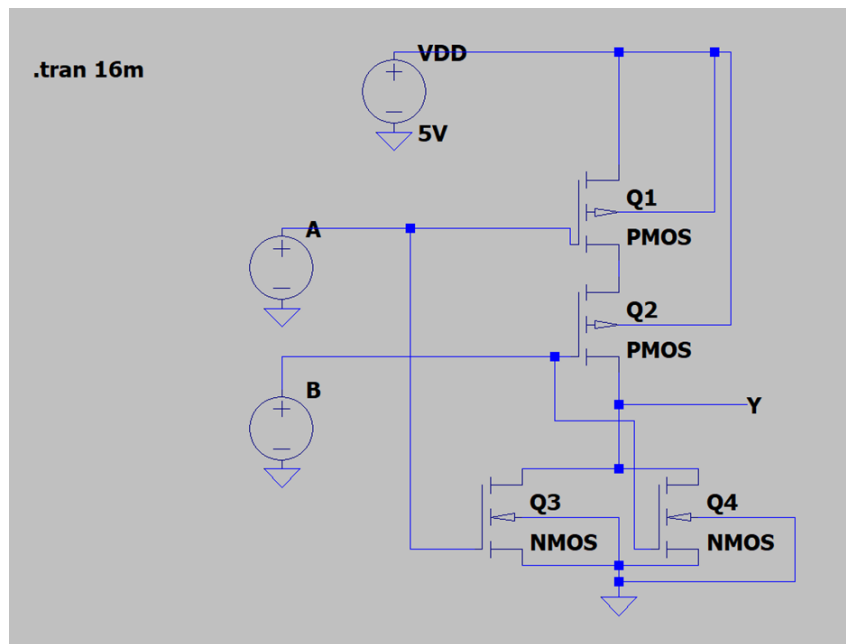
| A | B | Y | Q1 | Q2 | Q3 | Q4 |
|---|---|---|-----|-----|-----|-----|
| 0 | 0 | 1 | ON | ON | OFF | OFF |
| 0 | 1 | 0 | ON | OFF | OFF | ON |
| 1 | 0 | 0 | OFF | ON | ON | OFF |
| 1 | 1 | 1 | OFF | OFF | ON | ON |

Ở đây dựa vào bảng sự thật của cổng NOR, ta xét trạng thái dẫn tắt của mạng pull-up và mạng pull-down tương ứng. Dựa trên trạng thái mạng mà ta sẽ chọn cách mắc các PMOS và NMOS thích hợp.

- Vì mạng pull-down chỉ tắt khi hai ngõ vào cùng bằng ‘0’ nên mạng pull-down mắc nối tiếp hai PMOS.
- Vì mạng pull-up dẫn khi có một ngõ vào bất kỳ bằng ‘1’ nên mạng pull-up mắc song song NMOS.

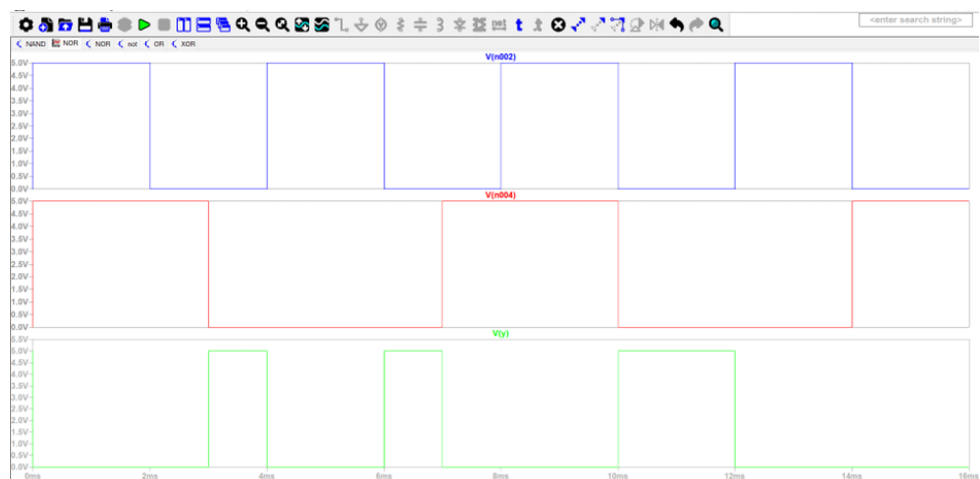
Mô Phỏng

Sơ đồ mạch:



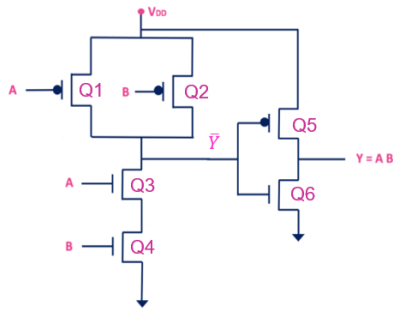
Hình 3.15 Sơ đồ mạch cổng NOR

Tín hiệu ngõ ra:

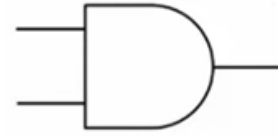


Hình 3.16 Tín hiệu ngõ ra của mạch

3.5 Cổng AND



Hình 3.17 Mạch CMOS cổng AND



Hình 3.18 Kí hiệu cổng AND

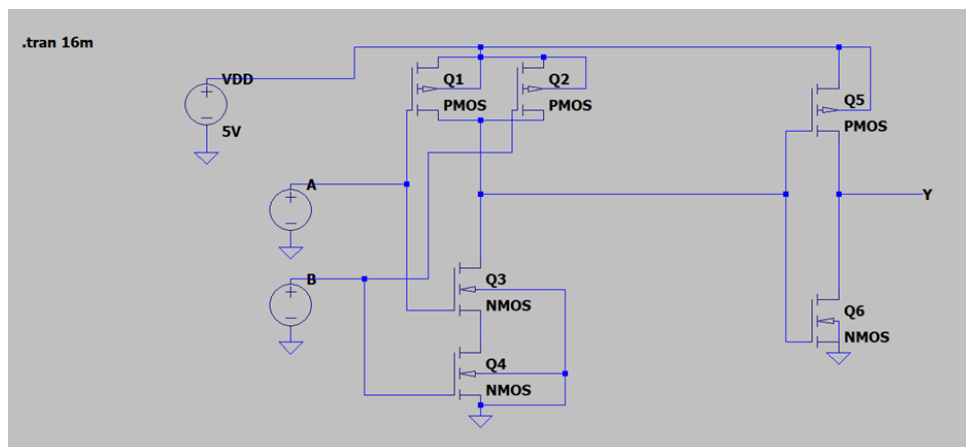
Bảng 3.4 Bảng sự thật cổng AND

| A | B | \bar{Y} | Y | Q1 | Q2 | Q3 | Q4 | Q5 | Q6 |
|---|---|-----------|---|-----|-----|-----|-----|-----|-----|
| 0 | 0 | 1 | 0 | ON | ON | OFF | OFF | OFF | ON |
| 0 | 1 | 0 | 1 | ON | OFF | OFF | ON | OFF | ON |
| 1 | 0 | 0 | 1 | OFF | ON | ON | OFF | OFF | ON |
| 1 | 1 | 1 | 0 | OFF | OFF | ON | ON | ON | OFF |

Ở đây với cổng AND, ta dễ dàng thấy nó được hình thành từ một cổng NAND sau đó nối tiếp qua một cổng NOT và hai cổng này đã được mô tả ở phần trước, ta có được bảng sự thật của ngõ ra Y theo hai ngõ vào A và B. Dựa trên trạng thái của bảng mà ta sẽ chọn cách mắc các PMOS và NMOS thích hợp.

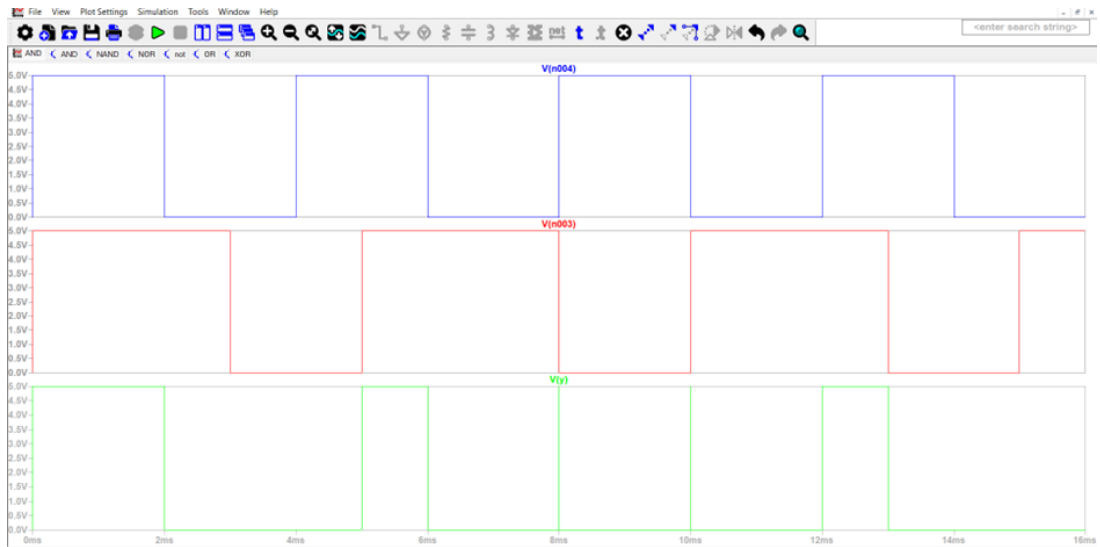
Mô Phỏng

Sơ đồ mạch:



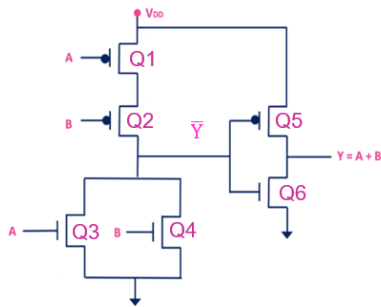
Hình 3.19 Sơ đồ mạch cổng AND

Tín hiệu ngõ ra:



Hình 3.20 Tín hiệu ngõ ra của mạch

3.6 Cổng OR



Hình 3.21 Mạch CMOS cổng OR



Hình 3.22 Kí hiệu cổng OR

Bảng 3.5 Bảng sự thật cổng OR

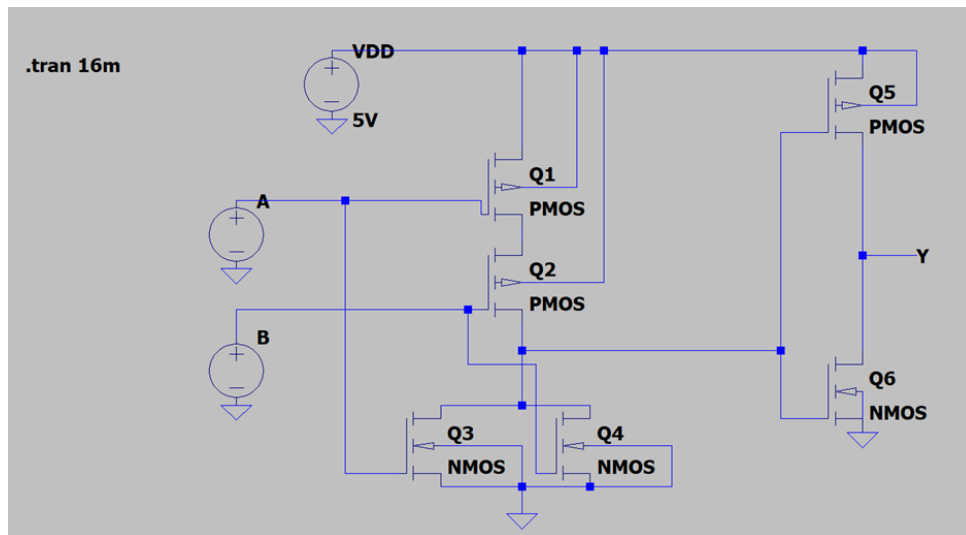
| A | B | \bar{Y} | Y | Q1 | Q2 | Q3 | Q4 | Q5 | Q6 |
|---|---|-----------|---|-----|-----|-----|-----|-----|-----|
| 0 | 0 | 1 | 0 | ON | ON | OFF | OFF | OFF | ON |
| 0 | 1 | 0 | 1 | ON | OFF | OFF | ON | ON | OFF |
| 1 | 0 | 0 | 1 | OFF | ON | ON | OFF | ON | OFF |
| 1 | 1 | 0 | 1 | OFF | OFF | ON | ON | ON | OFF |

Ở đây với cổng OR, ta dễ dàng thấy được hình thành từ một cổng NOR sau đó nối tiếp qua một cổng NOT và hai cổng này đã được mô tả ở phần trước, ta có

được bảng sự thật của ngõ ra Y theo hai ngõ vào A và B. Dựa trên trạng thái của bảng mà ta sẽ chọn cách mắc các pMOS và nMOS thích hợp.

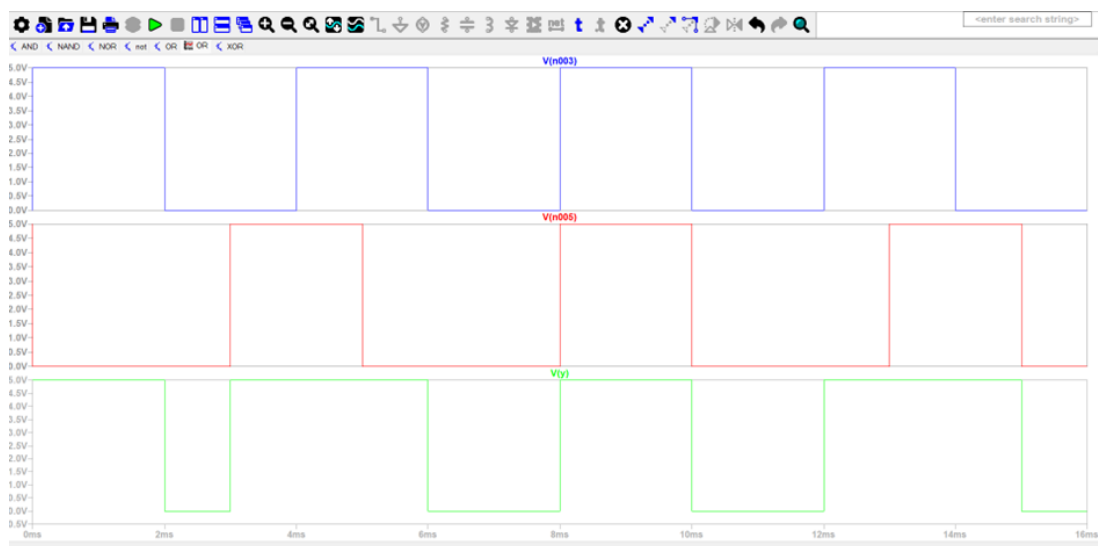
Mô Phỏng

Sơ đồ mạch:



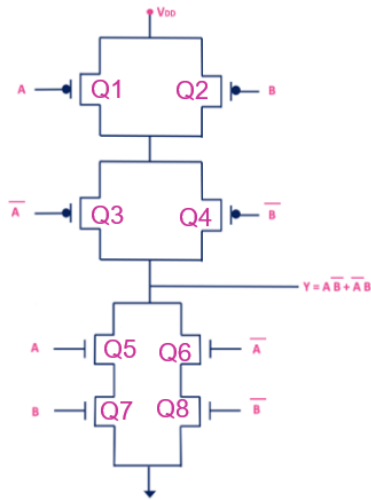
Hình 3.23 Sơ đồ mạch cổng OR

Tín hiệu ngõ ra:

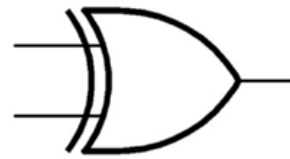


Hình 3.24 Tín hiệu ngõ ra của mạch

3.7 Cổng XOR



Hình 3.25 Mạch CMOS cổng XOR



Hình 3.26 Kí hiệu cổng XOR

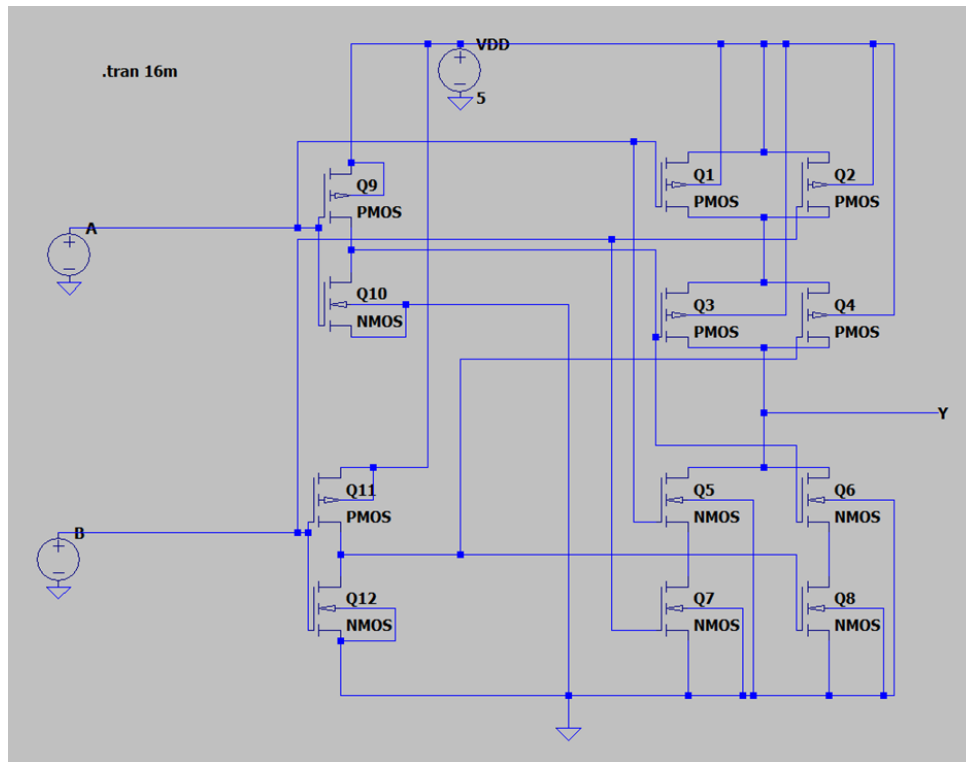
Bảng 3.6 Bảng sự thật cổng XOR

| A | B | Y | Q1 | Q2 | Q3 | Q4 | Q5 | Q6 | Q7 | Q8 |
|---|---|---|-----|-----|-----|-----|-----|-----|-----|-----|
| 0 | 0 | 0 | ON | ON | OFF | OFF | OFF | ON | OFF | ON |
| 0 | 1 | 1 | ON | OFF | OFF | ON | OFF | ON | ON | OFF |
| 1 | 0 | 1 | OFF | ON | ON | OFF | ON | OFF | OFF | ON |
| 1 | 1 | 0 | OFF | OFF | ON | ON | ON | OFF | ON | OFF |

- Ta có biểu thức của XOR, ta biến đổi: $Y = A\bar{B} + \bar{A}B = \overline{\overline{A\bar{B} + \bar{A}B}} = \overline{\overline{A\bar{B}} \cdot \overline{\bar{A}B}} = \overline{AB + \bar{A}\bar{B}}$
 Việc biến đổi biểu thức trên là để giảm số lượng cổng logic cần dùng vì mỗi cổng AND, OR, NOT đều cần rất nhiều transistor để thực hiện và giúp thiết kế cổng XOR dễ dàng bởi các cổng NAND, NOR là các cổng cơ bản trong CMOS.

Mô Phỏng

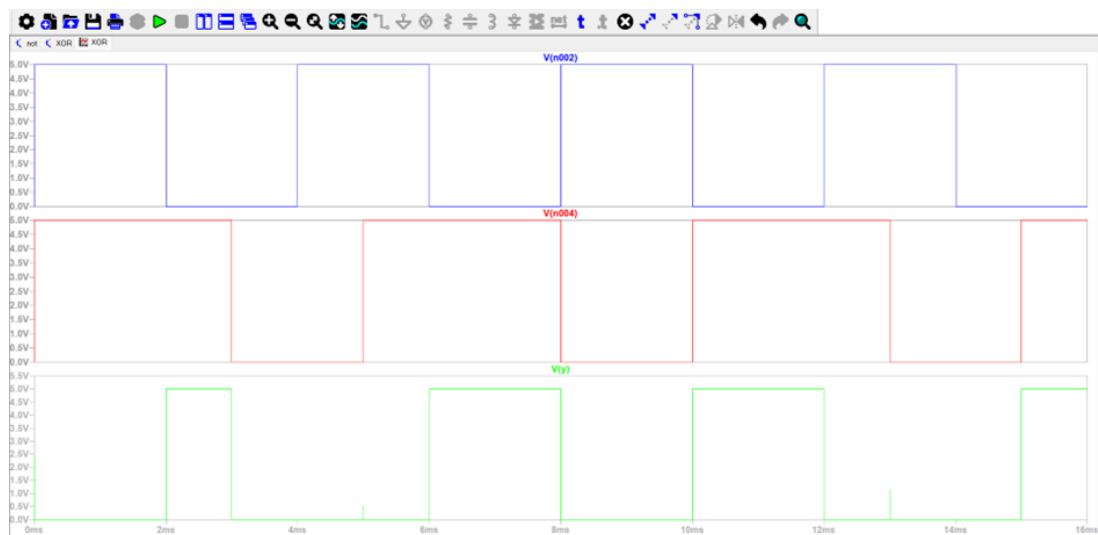
Sơ đồ mạch:



Hình 3.27 Sơ đồ mạch cổng XOR

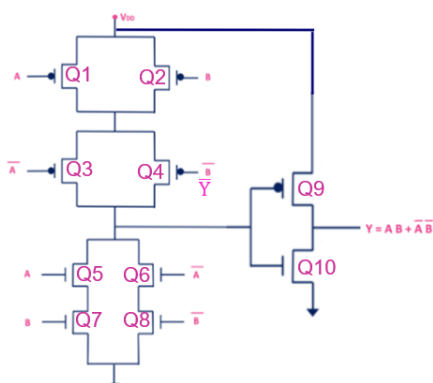
Lưu ý: Bổ sung thêm hai cổng NOT trong sơ đồ mạch để được đầu vào A đảo và B đảo cụ thể là các transistor Q9, Q10, Q11 và Q12.

Tín hiệu ngõ ra:



Hình 3.28 Tín hiệu ngõ ra của mạch

3.8 Cổng XNOR



Hình 3.29 Mạch CMOS cổng XNOR



Hình 3.30 Kí hiệu cổng XNOR

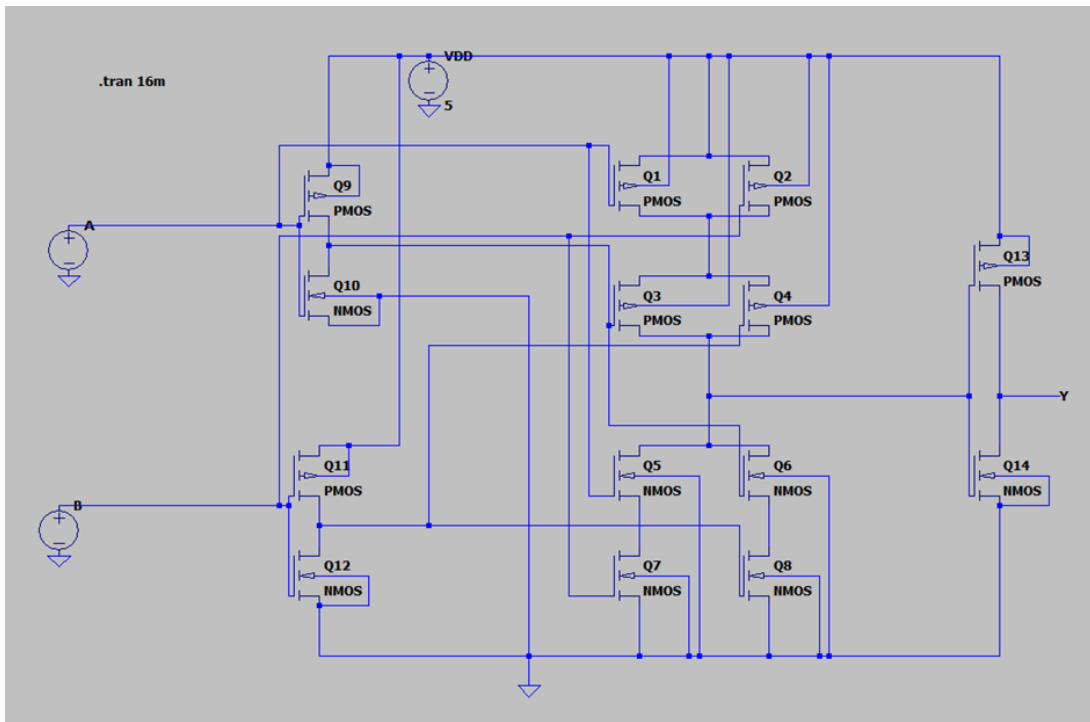
Bảng 3.7 Bảng sự thật cổng XNOR

| A | B | \bar{Y} | Y | Q1 | Q2 | Q3 | Q4 | Q5 | Q6 | Q7 | Q8 | Q9 | Q10 |
|---|---|-----------|---|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| 0 | 0 | 0 | 1 | ON | ON | OFF | OFF | OFF | ON | OFF | ON | ON | OFF |
| 0 | 1 | 1 | 0 | ON | OFF | OFF | ON | OFF | ON | ON | OFF | OFF | ON |
| 1 | 0 | 1 | 0 | OFF | ON | ON | OFF | ON | OFF | OFF | ON | OFF | ON |
| 1 | 1 | 0 | 1 | OFF | OFF | ON | ON | ON | OFF | ON | OFF | ON | OFF |

Ở đây với cổng XNOR, ta dễ dàng thấy được hình thành từ một cổng XOR nối tiếp qua một cổng NOT và hai cổng này đã được mô tả ở phần trước, ta có được bảng sự thật của ngõ ra Y theo hai ngõ vào A và B. Dựa trên trạng thái của bảng mà ta sẽ chọn cách mắc các pMOS và nMOS thích hợp.

Mô Phỏng

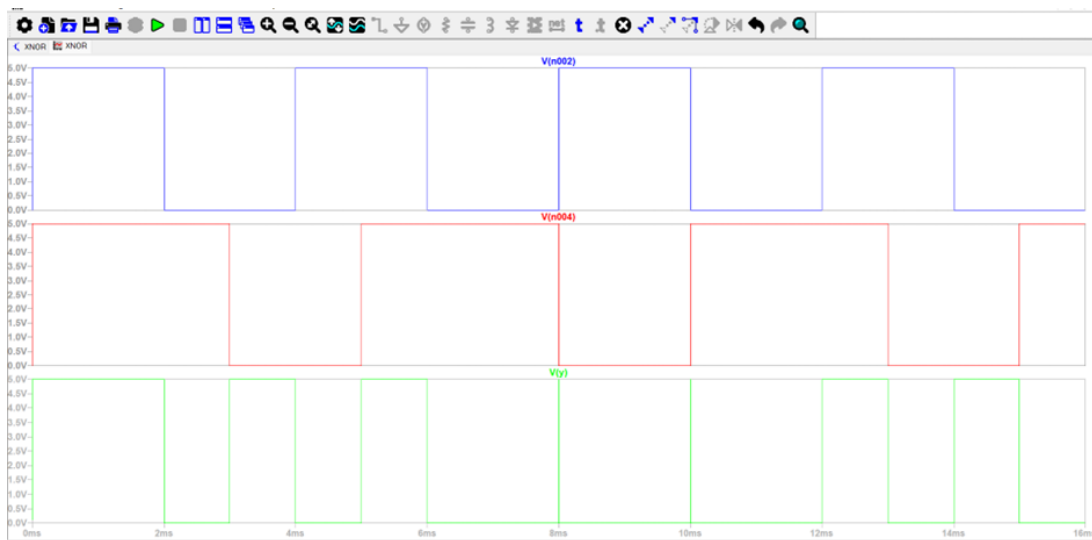
Sơ đồ mạch:



Hình 3.31 Sơ đồ mạch cổng XNOR

Lưu ý: Bổ sung thêm hai cổng NOT trong sơ đồ mạch để được đầu vào A đảo và B đảo cụ thể là các transistor Q9, Q10, Q11 và Q12.

Tín hiệu ngõ ra:



Hình 3.32 Tín hiệu ngõ ra của mạch

KẾT LUẬN

Đồ án KHẢO SÁT VÀ NGHIÊN CỨU ĐẶC TÍNH CỦA CMOS đã chỉ ra và làm rõ được những đặc tính cơ bản của cmos và ứng dụng trong việc thành lập các cổng logic. Các tham số được tham khảo một cách đầy đủ, đồ án có nhiều ứng dụng trong việc làm rõ, tiếp cận với những hành vi cơ bản của linh kiện điện tử CMOS.

Các phần trong đồ án như lý thuyết về cmos, cmos capacitance, cổng logic với cmos đã hoàn thành cơ bản việc khảo sát các đặc tính, tuy nhiên các vấn đề để khắc phục những sai biệt trong sản xuất và thiết kế cũng như việc đảm bảo chính xác cho các tham số chưa thực sự đầy đủ. Các mô phỏng chưa đảm bảo chính xác nếu so với điều kiện thực tế.

TÀI LIỆU THAM KHẢO

- [1] N. H. Weste and D. Harris, *CMOS VLSI design: a circuits and systems perspective*. Pearson Education India, 2011.