

TRƯỜNG ĐẠI HỌC KHOA HỌC TỰ NHIÊN - ĐHQG TP HCM
KHOA ĐIỆN TỬ - VIỄN THÔNG



BÁO CÁO ĐỒ ÁN
KHÓA TKVM HÈ
THIẾT KẾ CELL SRAM 8T

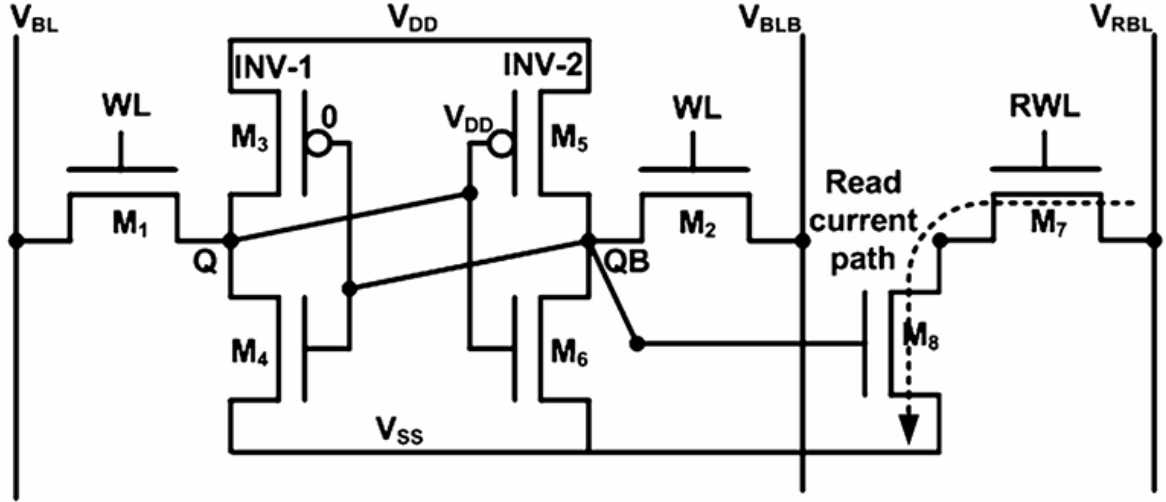
Sinh viên thực hiện: NGUYỄN THÀNH ĐẠT - 23200074
PHẠM MAI DIỆU THẢO - 23207109

TPHCM - 09/2025

FULL-FLOW DESIGN CELL SRAM 8T

Mục tiêu: Thiết kế mạch SRAM 8T và khảo sát đặc tính hoạt động.

1.1 Thiết kế schematic



Hình 1.1 Sơ đồ thiết kế mạch SRAM

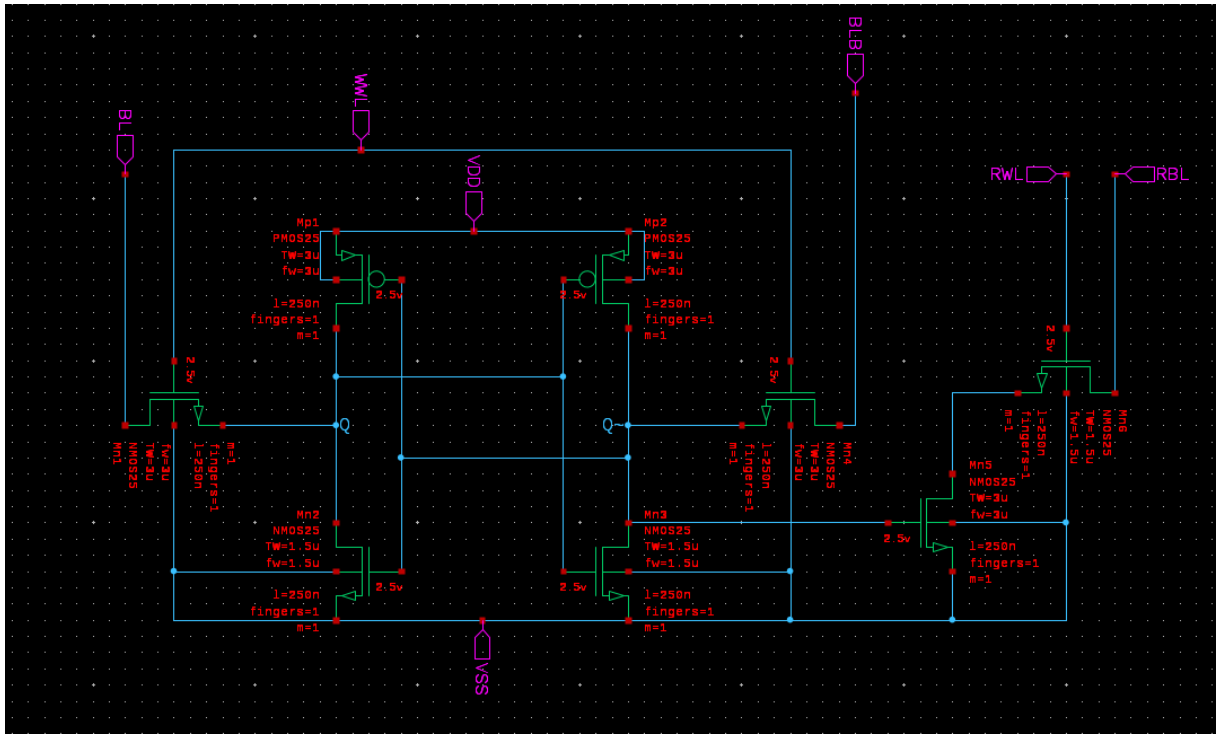
1.1.1 Thiết lập thông số

Với công nghệ Generic 250nm. Ta thiết lập các thông số W/L của các transistor để đạt được hold margin, write margin, read margin lớn. Chọn M8 mạnh hơn M7, W và L của M1, M3, M5, M2 bằng nhau.

$$\beta = \frac{W_8/L_8}{W_7/L_7} = 2$$

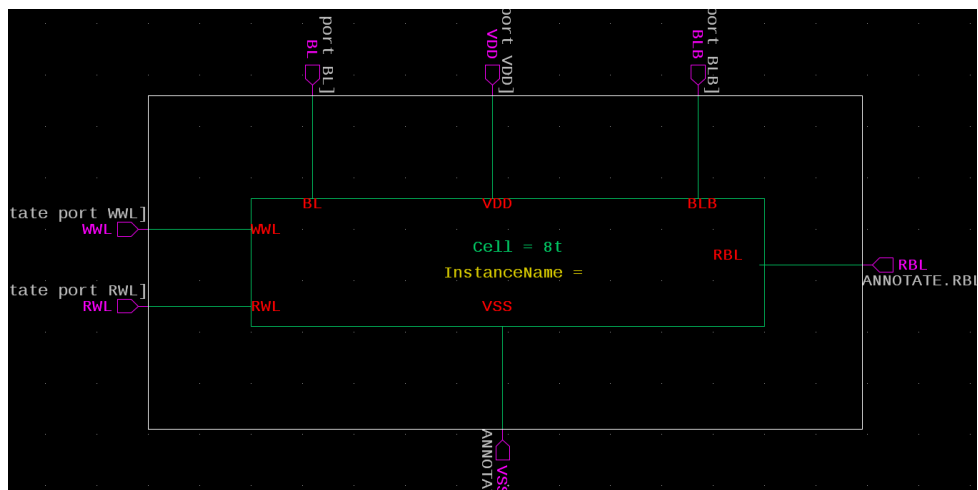
$$PR = \frac{W_3/L_3}{W_1/L_1} = \frac{W_5/L_5}{W_2/L_2} = 1$$

Cell SRAM 8T có 2 transistor M1, M2 cho phép ghi kết nối đường BL/BLB với bộ inverter (M3, M4 và M5, M6) để ghi dữ liệu. Có 2 transistor M7, M8 tạo ra đường đọc riêng cải thiện tốc độ đọc và không ảnh hưởng tới dữ liệu đã ghi. Vì SRAM có cấu trúc mạch đối xứng nên W/L của M1=M2, M3=M5, M4=M6. Do mobility của lỗ trống nhỏ hơn electron, PMOS (M3, M5) cần rộng hơn để cân bằng drive của inverter. Chọn W/L $\approx 2 \times$ NMOS pull-down, tức $3 \mu\text{m} / 0.25 \mu\text{m}$. Để ghi được giá trị vào Q và Q̄, W/L của M1, M2 phải lớn hơn M4, M6 để giá trị không bị kéo xuống (pull down). Chọn W/L của M1, M2 = $3 \mu\text{m} / 250\text{nm}$.



Hình 1.2 Thiết kế sơ đồ mạch với S-edit Tanner

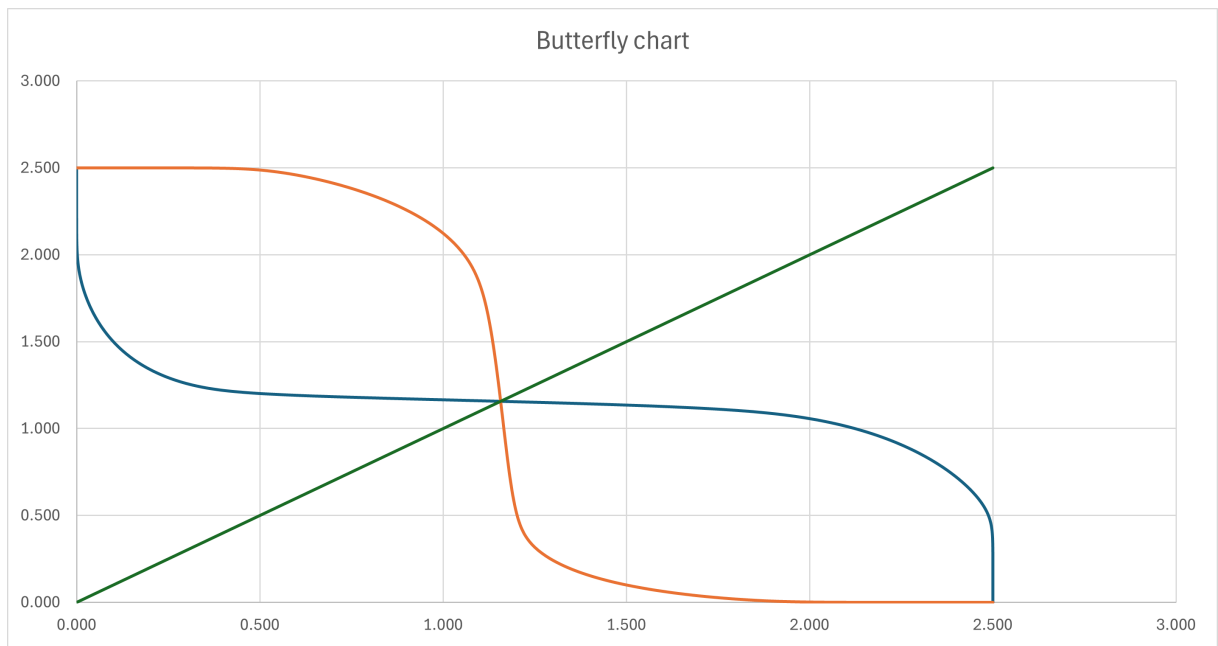
1.1.2 Tạo Symbol



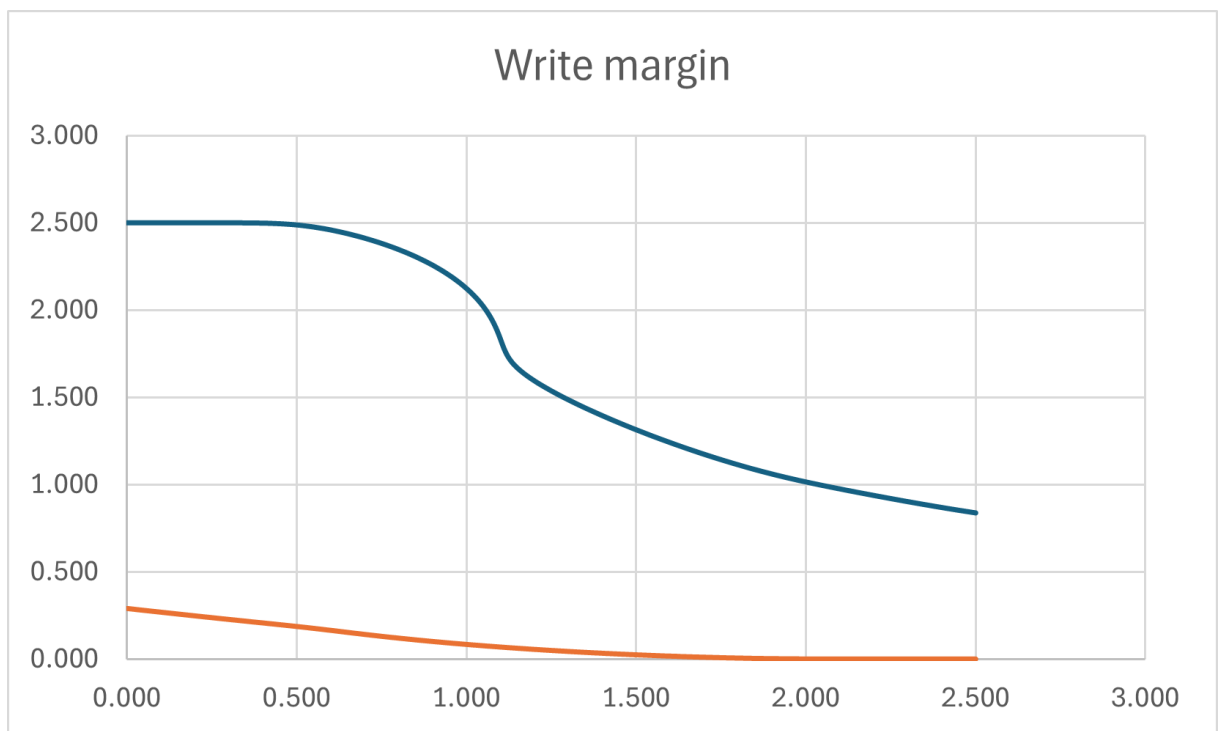
Hình 1.3 Tạo symbol từ sơ đồ trên

1.1.3 Cell stability

Ta thực hiện vẽ margin cho mạch vừa tạo.



Hình 1.4 Hold margin

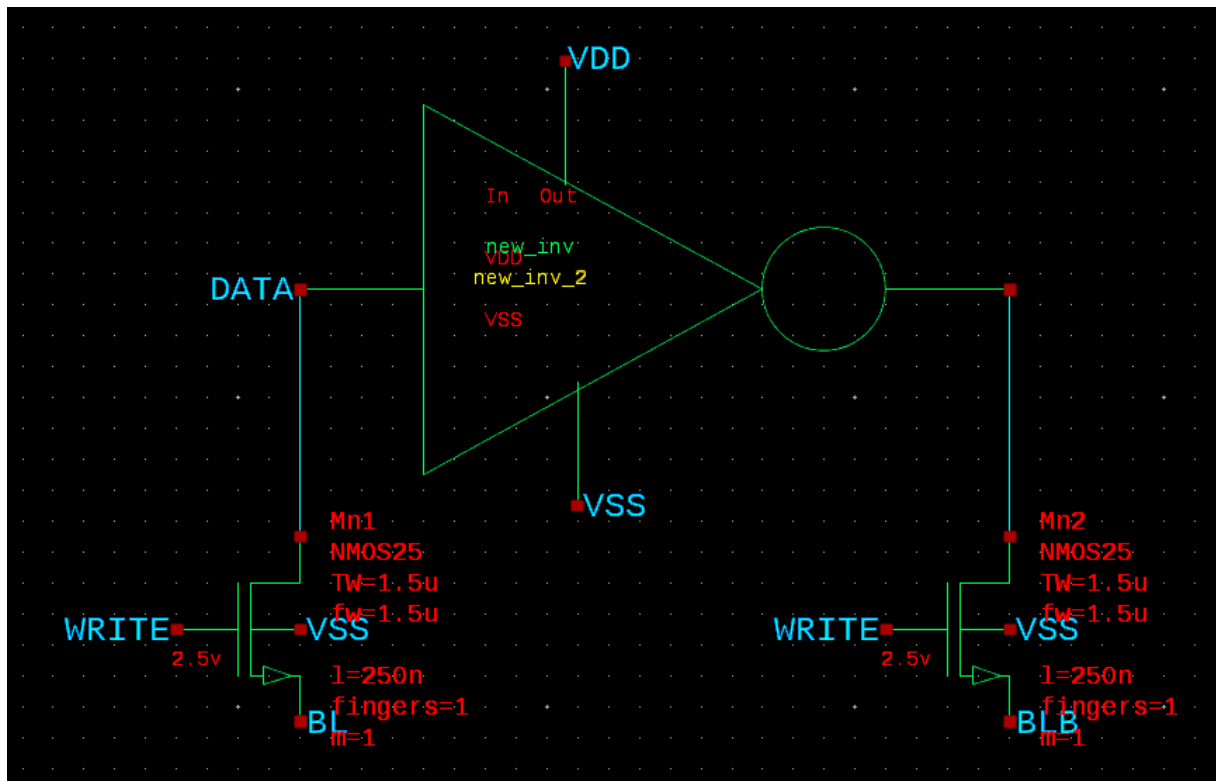


Hình 1.5 Write margin

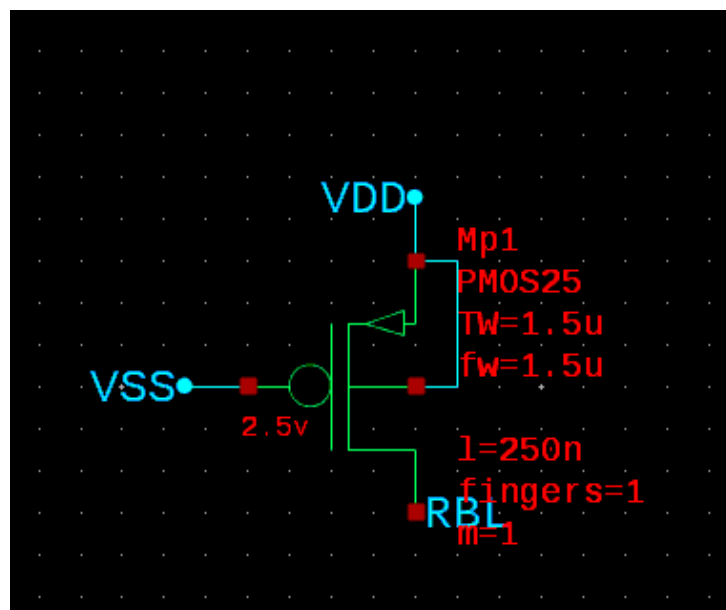
Ta thấy Hold margin và write margin không quá nhỏ từ đó đảm bảo hoạt động của mạch SRAM.

1.2 Thiết lập Testbench

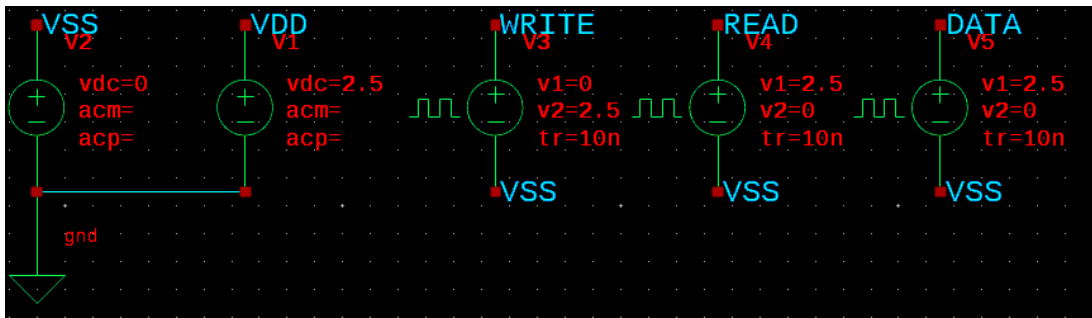
Ta tạo các khối precharge và write driver để thực hiện kiểm tra hoạt động của mạch.



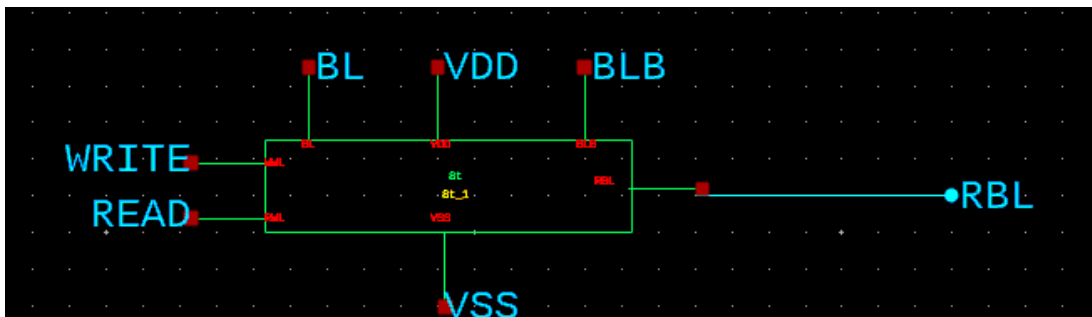
Hình 1.6 Mạch Write driver



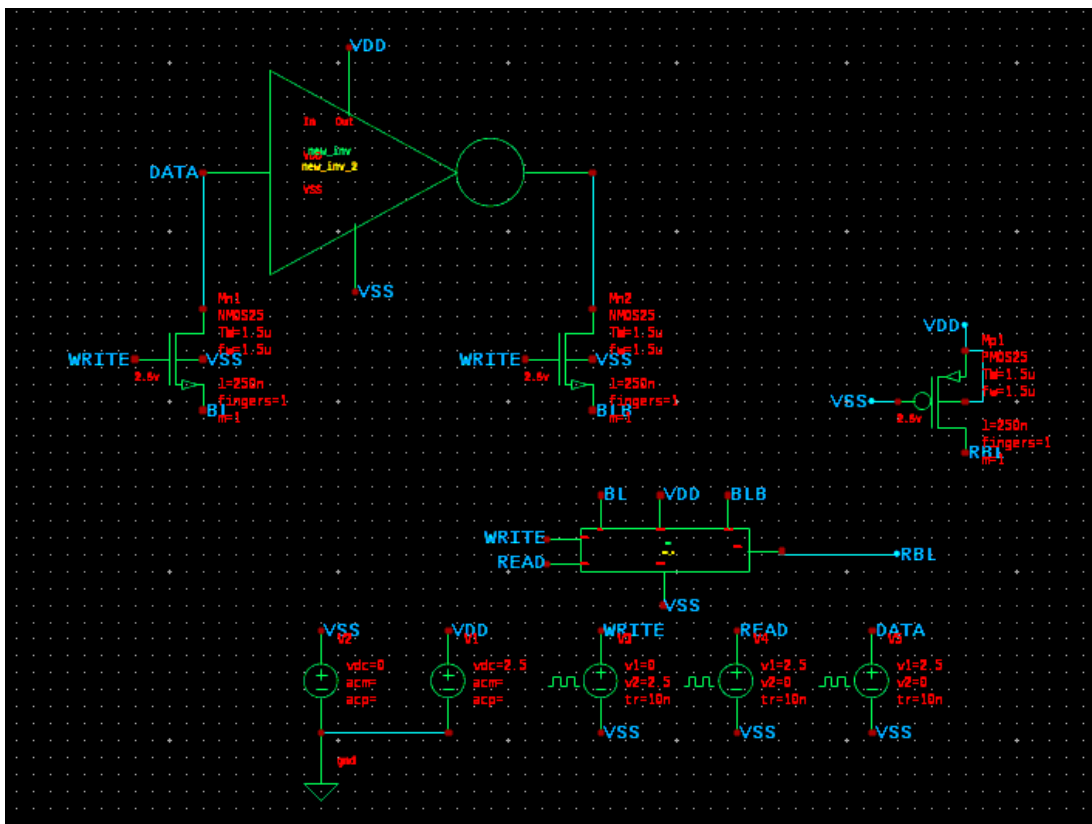
Hình 1.7 Mạch Precharge cho RBL



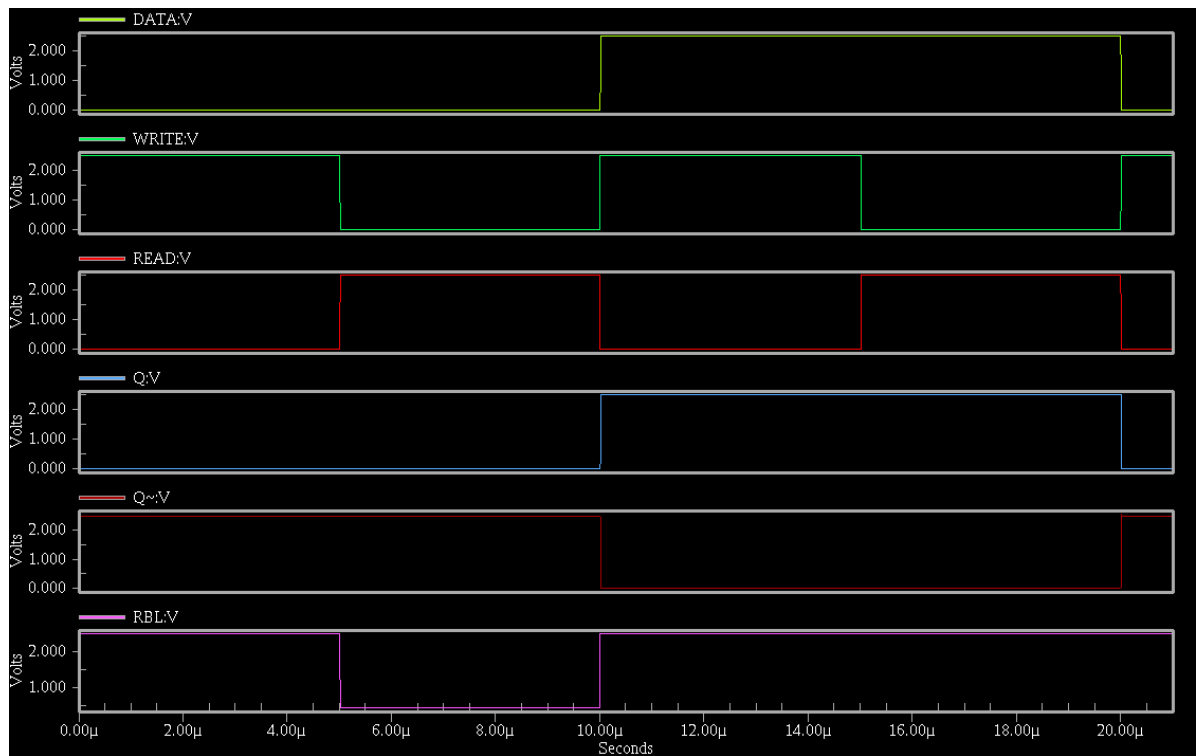
Hình 1.8 Các nguồn test



Hình 1.9 Mạch Symbol



Hình 1.10 Testbench

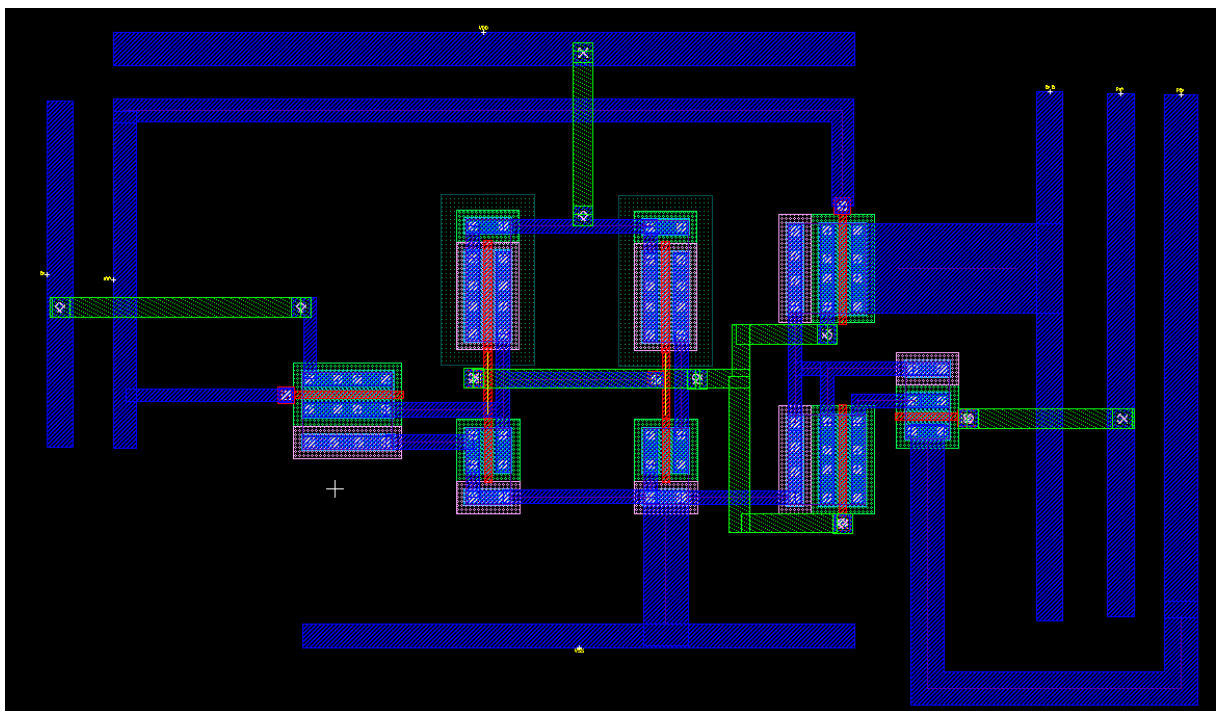


Hình 1.11 Dạng sóng ngõ ra

Dạng sóng ngõ ra đáp ứng với yêu cầu hoạt động của mạch sram.

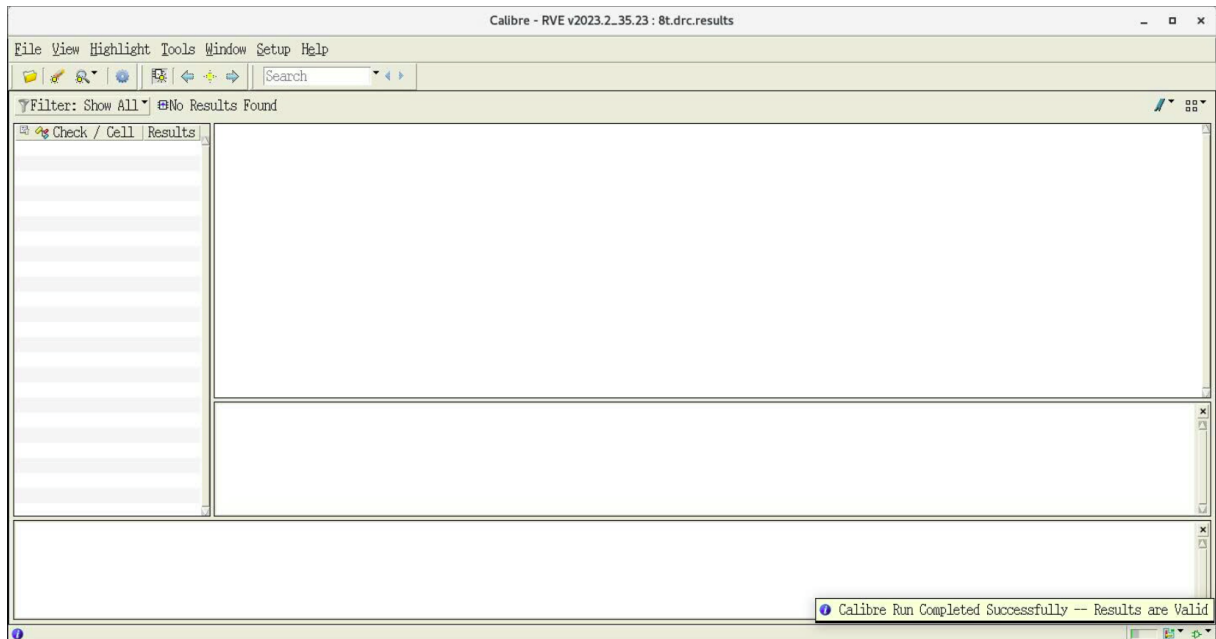
1.3 Thiết kế layout

1.3.1 Sơ đồ mạch sau khi layout:



Hình 1.12 Thiết kế layout cho mạch SRAM 8T

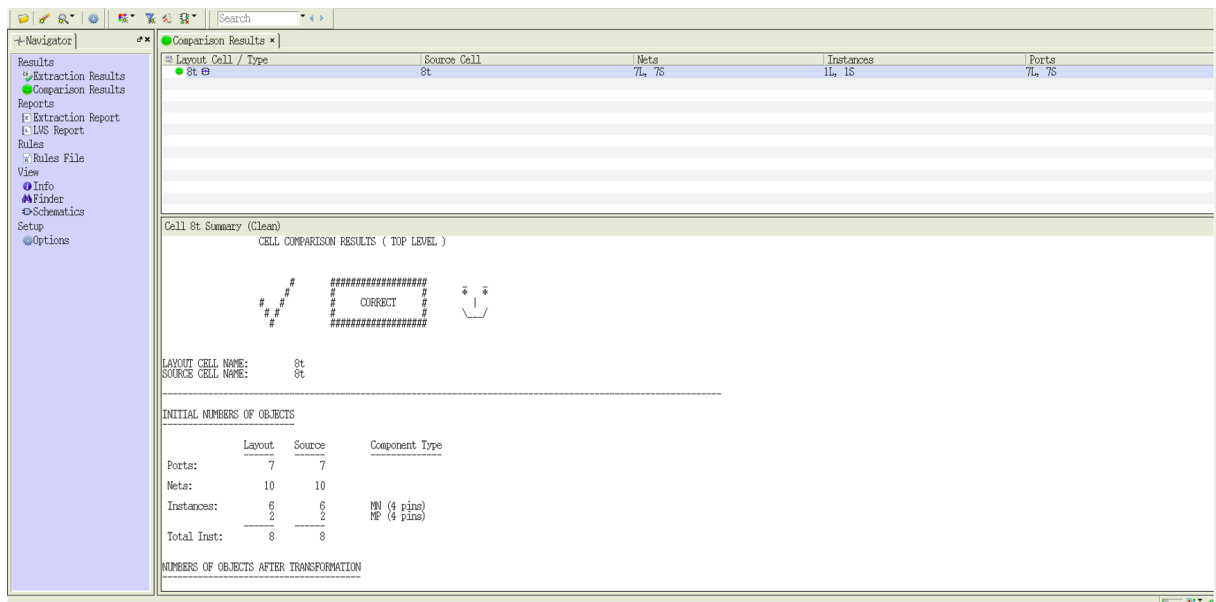
1.3.2 DRC



Hình 1.13 Kết quả DRC

Sau khi chạy DRC (designed rules check), màn hình hiện thông báo “Calibre Run Completed Successfully”. Thỏa mãn các yêu cầu về DRC và không báo lỗi

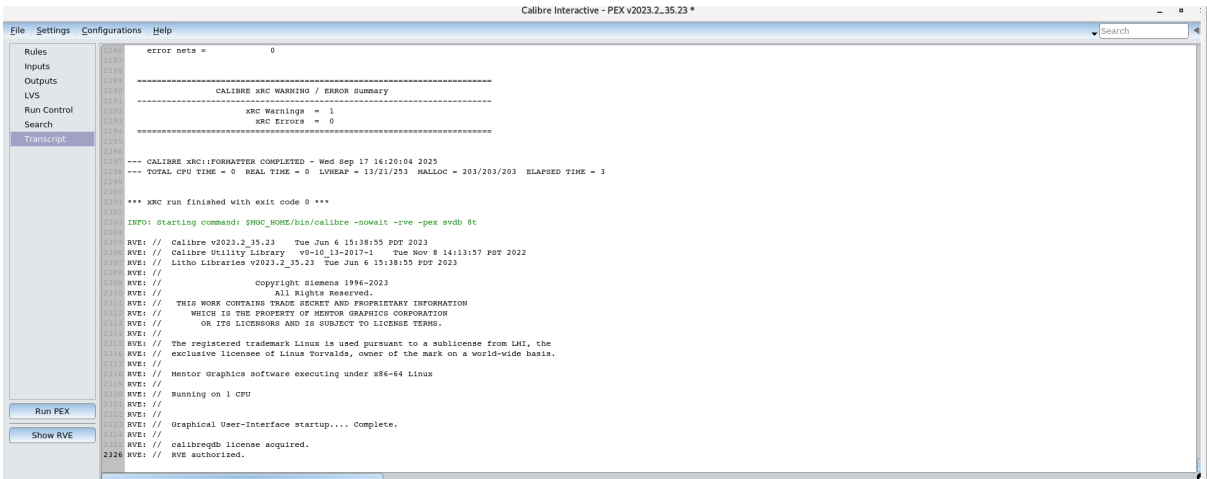
1.3.3 LVS



Hình 1.14 Kết quả LVS

Sau khi chạy LVS (Layout vs Schematic), màn hình hiện thông báo “:).”. Thỏa mãn các yêu cầu về LVS và không báo lỗi

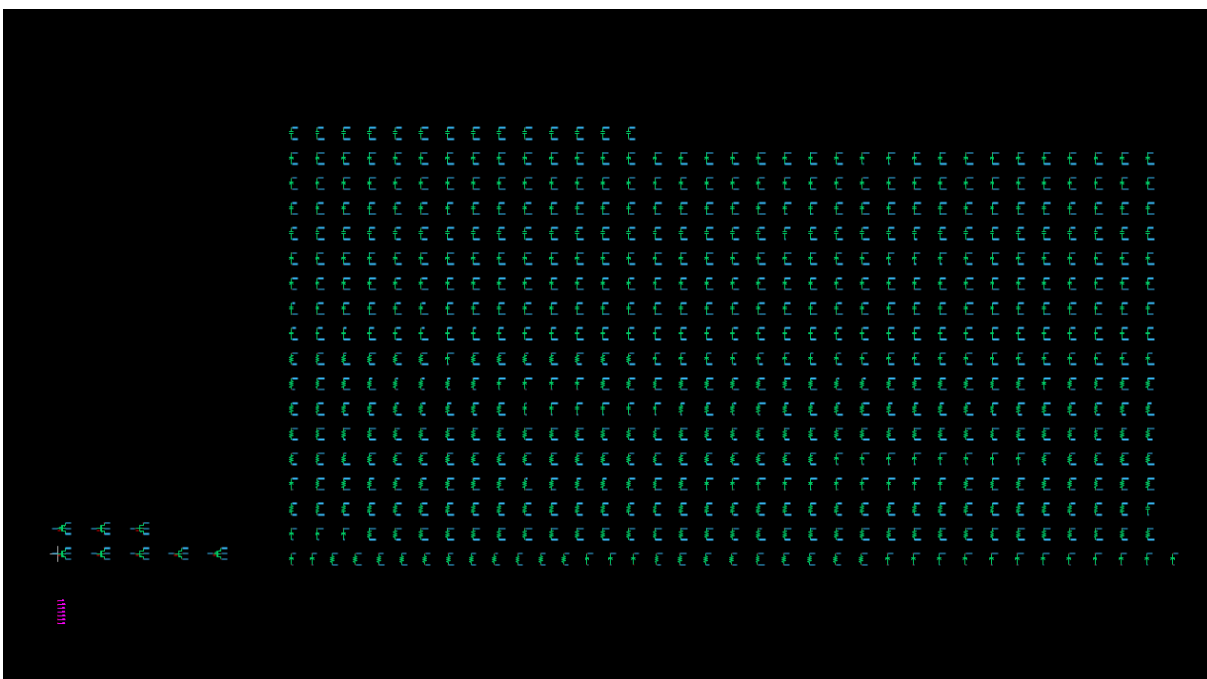
1.3.4 xRC



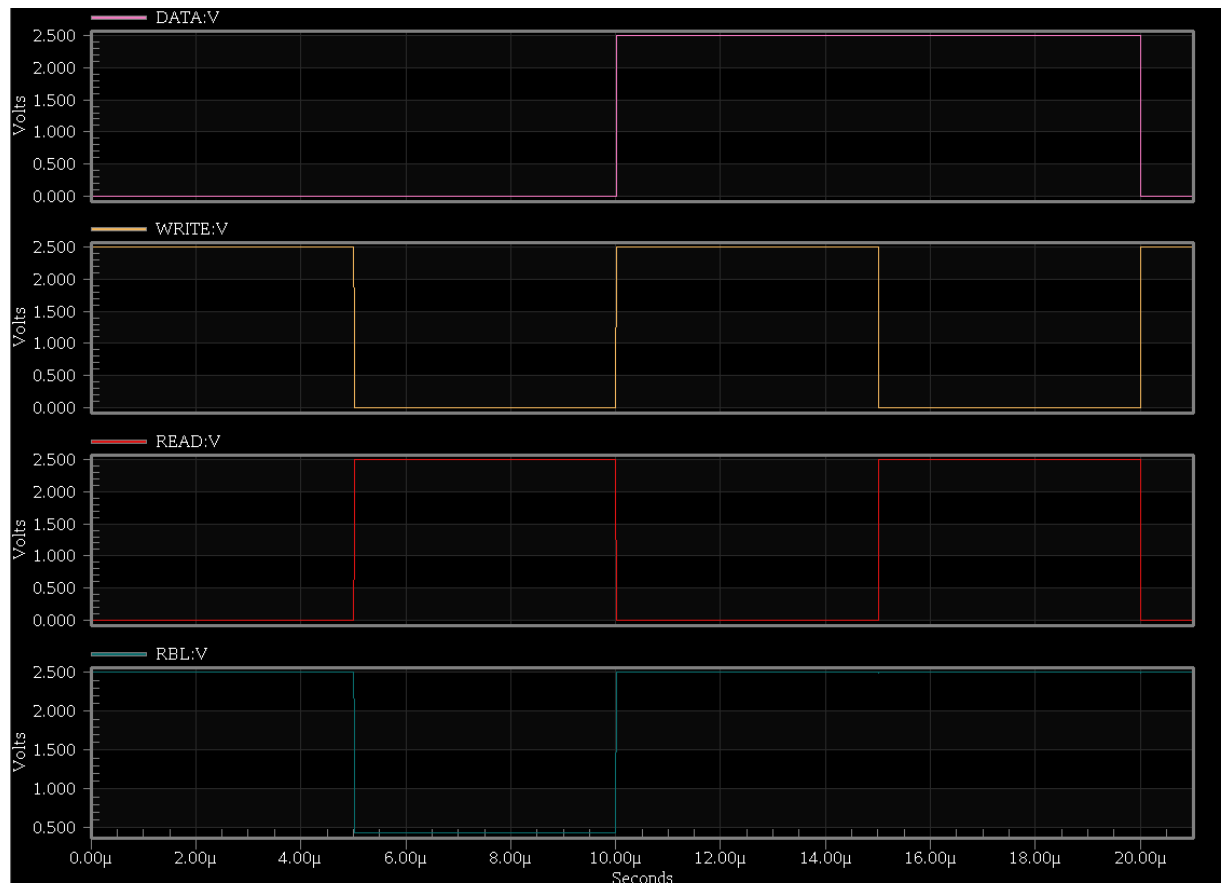
Hình 1.15 Thực hiện trích xuất

No.	Layout Net	Source Net	R Count	C Total (F)	OC Total (F)	C40C Total
1	RL	RL	1	2,203,816	1,407,622	1,407,622
2	N12	N12	9	2,320,786	1,502,724	1,502,724
3	VSS	VSS	59	3,771,716	2,658,641	2,658,641
4	EL	EL	16	2,947,546	2,913,812	2,913,812
5	VDD	VDD	29	2,313,146	1,460,046	1,460,046
6	Q	Q	17	5,820,046	4,497,636	4,497,636
7	Q	Q	28	6,236,616	3,594,196	3,594,196
8	WAL	WAL	17	3,413,036	1,635,536	1,635,536
9	RM	RM	10	5,287,736	4,408,216	4,408,216
10	ELB	ELB	7	5,287,936	4,041,606	4,041,606

Hình 1.16 Các thông số kí sinh của mạch



Hình 1.17 Post layout simulation



Hình 1.18 Dạng sóng sau khi thực hiện layout

Kết quả mạch hoạt động như mong muốn. Không gặp phải lỗi logic. [1][2]

TÀI LIỆU THAM KHẢO

- [1] N. H. Weste and D. Harris, *CMOS VLSI design: a circuits and systems perspective*. Pearson Education India, 2011.
- [2] J. Singh, S. P. Mohanty, and D. K. Pradhan, *Robust SRAM designs and analysis*. Springer Science & Business Media, 2012.