Tạo bởi: Nguyễn Thành Đạt [datdatnguyen2609@gmail.com]

**Phiên bản 1.0**

**8/19/2025**

**Công ty JIT**

**Báo cáo 1: Thiết kế hiển thị quét LED 7 thanh qua các Switch**

# **Lịch sử thay đổi**

|  |  |  |
| --- | --- | --- |
| **Phiên bản** | **Ngày sửa đổi** | **Nội dung sửa đổi** |
| 1.0 | 8/19/2025 | Tạo mới |
|  |  |  |
|  |  |  |
|  |  |  |

# **Mục lục**

**Nội dung**

[**Lịch sử thay đổi** 2](#_Toc206495088)

[**Mục lục** 3](#_Toc206495089)

[**1.** **Giới thiệu** 4](#_Toc206495090)

[**1.2** **Tài liệu liên quan** 4](#_Toc206495091)

[**1.3** **Thông số kỹ thuật chính** 4](#_Toc206495092)

[**2. Tổng quan về FPGA** 5](#_Toc206495093)

[**2.1 Sơ đồ cấu hình hệ thống** 5](#_Toc206495094)

1. **Giới thiệu** 
   1. **Yêu cầu**Thiết kế bộ chuyển đổi từ các tín hiệu nhị phân điều khiển trên switch để quét LED 7 thanh trên kit FPGA NEXYS A7.
   2. **Tài liệu liên quan**

Dưới đây là các tài liệu liên quan

Bảng 1: Tài liệu liên quan

|  |  |  |
| --- | --- | --- |
| Mục | Tên tài liệu | Phiên bản |
| 1 | Nexys A7 Revision Schematic | 1.0 |

* 1. **Thông số kỹ thuật chính**

Các thông số chính của FPGA này như sau:

Bảng 2: Thông số của FPGA

|  |  |  |
| --- | --- | --- |
| Mục | Tên thông tin | Nội dung |
| 1 | Tên chip FPGA | XC7A100T-1CSG324C |
| 2 | Tên board phát triển | Nexys A7 Artix-7 FPGA |
| 3 | Điện áp nguồn | Cung cấp điện từ USB hoặc nguồn ngoài có điện áp từ 4.5V đến 5.5V. |
| 4 | Đầu vào / đầu ra | Đầu vào 16 switch, 3 phím nhấn, đầu ra 5 LED 7 thanh |
| 5 | Tần số hoạt động | 100MHz |
| 6 | Ngôn ngữ thiết kế | Verilog-HDL |
| 7 | Công cụ phát triển | Xilinx Vivado 2019.2 |
| 8 | Các công cụ phát triển khác |  |

**2. Tổng quan về FPGA**

Đây là tóm tắt về chức năng của FPGA này.

## **2.1 Sơ đồ cấu hình hệ thống**

Chức năng điều khiển các đèn LED 7 thanh qua các switch là chức năng mà FPGA sử dụng các switch làm đầu vào từ đó điều chỉnh hiển thị số trên LED 7 thanh bằng cách quét các LED theo 1 tần số nhất định.

Hình 1: Sơ đồ cấu hình hệ thống

A diagram of a computer chip

AI-generated content may be incorrect.

## **2.2 Tóm tắt chức năng**

Hình 2: Sơ đồ các khối chức năng

A diagram of a computer

AI-generated content may be incorrect.

Bảng 3: Mô tả các khối chức năng

|  |  |  |
| --- | --- | --- |
| Mục | Tên chức năng | Nội dung |
| 1 | Deboundcing tín hiệu đầu vào | Làm giảm tình trạng dội phím, khiến nút nhấn và các công tắc không bị kẹt giữa trạng thái 0 và 1 |
| 2 | Chuyển đổi tín hiệu Binary sang BCD | Biến đổi từ Binary sang BCD sử dụng thuật toán Double Dabble để dịch bit |
| 3 | Quét LED, điều chỉnh độ sáng | Quét các đèn LED 7 thanh Anode để chúng có thể hiển thị liên tục trong khoảng thời gian yêu cầu |
| 4 | Hiển thị trên LED 7 thanh | Biến đổi số BCD và nhận tín hiệu từ bộ điều chỉnh tín hiệu để có thể hiển thị trên LED 7 thanh |

## **2.3 Danh sách cổng bên ngoài**

Danh sách các cổng bên ngoài của FPGA sẽ như sau:

Bảng 4: Danh sách thông tin các cổng bên ngoài

| **Mục** | **Tín hiệu (Signal)** | **Chân (Pin)** | **IOSTANDARD** | **Ghi chú (Sch)** |
| --- | --- | --- | --- | --- |
| Bộ nhận tín hiệu CLOCK | | | | |
| 1 | I\_clk | E3 | LVCMOS33 | clk100mhz |
| Bộ tín hiệu từ các Switch | | | | |
| 2 | I\_sw[0] | J15 | LVCMOS33 | sw[0] |
| 3 | I\_sw[1] | L16 | LVCMOS33 | sw[1] |
| 4 | I\_sw[2] | M13 | LVCMOS33 | sw[2] |
| 5 | I\_sw[3] | R15 | LVCMOS33 | sw[3] |
| 6 | I\_sw[4] | R17 | LVCMOS33 | sw[4] |
| 7 | I\_sw[5] | T18 | LVCMOS33 | sw[5] |
| 8 | I\_sw[6] | U18 | LVCMOS33 | sw[6] |
| 9 | I\_sw[7] | R13 | LVCMOS33 | sw[7] |
| 10 | I\_sw[8] | T8 | LVCMOS18 | sw[8] |
| 11 | I\_sw[9] | U8 | LVCMOS18 | sw[9] |
| 12 | I\_sw[10] | R16 | LVCMOS33 | sw[10] |
| 13 | I\_sw[11] | T13 | LVCMOS33 | sw[11] |
| 14 | I\_sw[12] | H6 | LVCMOS33 | sw[12] |
| 15 | I\_sw[13] | U12 | LVCMOS33 | sw[13] |
| 16 | I\_sw[14] | U11 | LVCMOS33 | sw[14] |
| 17 | I\_sw[15] | V10 | LVCMOS33 | sw[15] |
| Khối hiển thị đèn LED 7 thanh | | | | |
| 18 | O\_seg\_out[0] | T10 | LVCMOS33 | ca |
| 19 | O\_seg\_out[1] | R10 | LVCMOS33 | cb |
| 20 | O\_seg\_out[2] | K16 | LVCMOS33 | cc |
| 21 | O\_seg\_out[3] | K13 | LVCMOS33 | cd |
| 22 | O\_seg\_out[4] | P15 | LVCMOS33 | ce |
| 23 | O\_seg\_out[5] | T11 | LVCMOS33 | cf |
| 24 | O\_seg\_out[6] | L18 | LVCMOS33 | cg |
| 25 | O\_seg\_out[7] | H15 | LVCMOS33 | dp |
| 26 | O\_anode[0] | J17 | LVCMOS33 | an[0] |
| 27 | O\_anode[1] | J18 | LVCMOS33 | an[1] |
| 28 | O\_anode[2] | T9 | LVCMOS33 | an[2] |
| 29 | O\_anode[3] | J14 | LVCMOS33 | an[3] |
| 30 | O\_anode[4] | P14 | LVCMOS33 | an[4] |
| 31 | O\_anode\_off[0] | T14 | LVCMOS33 | an[5] |
| 32 | O\_anode\_off[1] | K2 | LVCMOS33 | an[6] |
| 33 | O\_anode\_off[2] | U13 | LVCMOS33 | an[7] |
| Khối các nút nhấn (reset, tăng giảm độ sáng) | | | | |
| 34 | I\_rst | N17 | LVCMOS33 | btnc |
| 35 | I\_btn\_brightness\_up | M18 | LVCMOS33 | btnu |
| 36 | I\_btn\_brightness\_down | P17 | LVCMOS33 | btnl |

## **2.4 Cấu trúc Module**

Bảng 5: Cấu trúc module

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| TOP | LV1 | LV2 | Chức năng | Ghi chú |
| TOP |  | | Kết nối các module con |  |
| LED7Seg\_Converter | | Chuyển đổi từ 4 bit nhị phân sang 8 bit hiển thị được trên LED 7 seg |  |
| Led7Seg\_controller |  | Quét LED 7 thanh, chỉnh độ sáng |  |
| BIN to BCD | Đổi từ BIN sang BCD |  |
| Deboundcing | Giảm dội phím, switch |  |

## **2.5 Reset và sơ đồ hệ thống đồng bộ**

Reset và sơ đồ hệ thống đồng bộ được thể hiện ở hình 3 dưới đây

Hình 3: Sơ đồ reset và hệ thống đồng bộ

A diagram of a computer

AI-generated content may be incorrect.

## **2.6 Quy mô thiết kế**

Quy mô thiết kế tại hình 4 là hoàn toàn phù hợp với mô hình mà ta đã xác nhận

Hình 4: Quy mô thiết kế

A screenshot of a computer

AI-generated content may be incorrect.

## **2.7 Năng lượng tiêu thụ**

Dưới đây là thông tin về năng lượng tiêu thụ của FPGA cho thiết kế này:

Hình 5: Năng lượng tiêu thụ

A screenshot of a computer

AI-generated content may be incorrect.

Hình 6: Biểu đồ năng lượng tiêu thụ

A screenshot of a computer

AI-generated content may be incorrect.

# **3. Debounce\_Module**

## **3.1 Mô tả chi tiết chức năng**

Khối này có chức năng chống dội phím bằng cách lấy tín hiệu đầu vào sau 1 khoảng thời gian nhất định (trong parameter được cài đặt sẵn là 20ms)

## **3.2 Danh sách cổng vào / ra**

Cổng vào và ra của khối này như sau:

Bảng 6: Debouce\_Module

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Mục | Tên tín hiệu | Số bit | P/N | Chức năng |
| 1 | I\_CLK | 1 | - | Tần số đầu vào 100Mhz |
| 2 | I\_RST | 1 | P | Tín hiệu reset đồng bộ |
| 3 | I\_BTN\_IN | 1 | P | Đầu vào của module Debounce |
| 4 | O\_BTN\_OUT | 1 | P | Đầu ra của module Debounce |

## **3.3 Biểu đồ thời gian**

Khối này sẽ xác nhận tín hiệu Input sau khi tín hiệu đó được giữ trong 20ms.

Hình 7: Sơ đồ sóng của module Debounce

A black line on a white background

AI-generated content may be incorrect.

## **4. BINARY\_TO\_BCD Module**

## **4.1 Mô tả chi tiết chức năng**

Khối này có chức năng chuyển đổi từ số nhị phân sang số dạng BCD, để có thể dễ dàng quét và chuyển đổi tín hiệu lên LED 7 thanh

## **4.2 Danh sách cổng vào / ra**

Module bao gồm 2 khối điều khiển CLK và RST, tiếp theo đó là đầu vào 15 bit nhị phân từ I\_data, sau đó hiển thị ra Output với các thanh ghi O\_bit(x) và O\_BCD để tổng hợp

Bảng 7: BINARY\_TO\_BCD Module

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Mục | Tên tín hiệu | Số bit | P/N | Chức năng |
| 1 | I\_CLK | 1 | P | Tín hiệu Clock |
| 2 | I\_RST | 1 | P | Tín hiệu reset |
| 3 | I\_data | 15 | P | Data 15 bit nhị phân đầu vào |
| 4 | O\_bit0 | 4 | P | .. |
| 5 | O\_bit1 | 4 | P | .. |
| 6 | O\_bit2 | 4 | P | .. |
| 7 | O\_bit3 | 4 | P | .. |
| 8 | O\_bit4 | 4 | P | .. |
| 9 | O\_BCD | 20 | P | Tổng hợp các bit Output dưới dạng thanh ghi 20 bit |

## **4.3 Biểu đồ thời gian**

Dưới đây là biểu đồ thời gian cho module BINARY\_TO\_BCD, thể hiện rằng module này, có thể chuyển đổi từ số Binary thuần túy dưới dạng Binary chỉ hiển thị từng 4 bit 1, 1 cách riêng rẽ (BCD)

Hình 8: Biểu đồ thời gian chuyển đổi từ BINARY sang BCD

