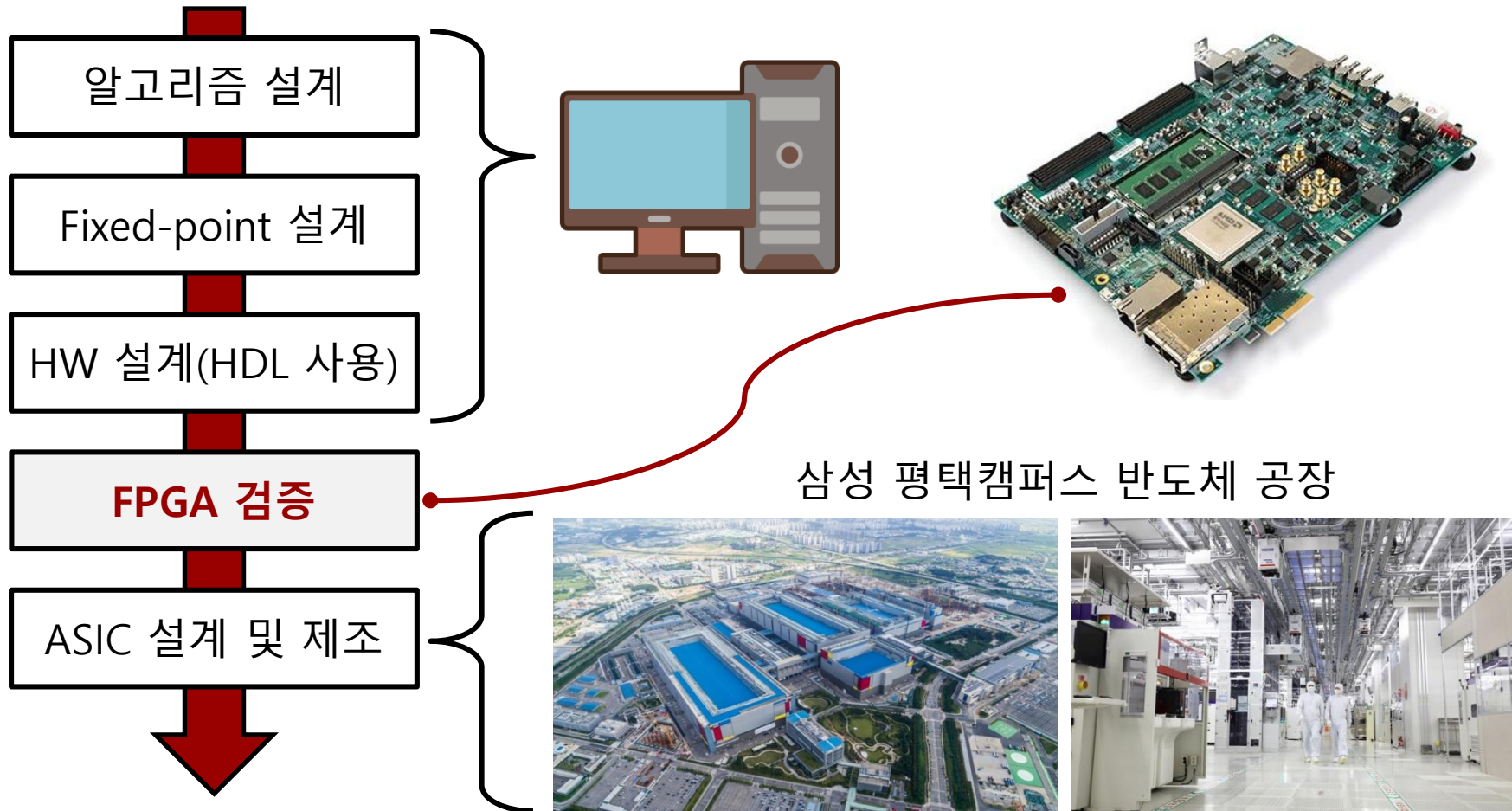


Lecture 01

# 집적회로 설계 소개

# The big picture



# The big picture



## 삼성전자 DS부문

### Digital IP 설계

직무코드 : 01-01-06-010

메모리사업부 | 연구개발 | 회로설계

#### 담당 업무

- Digital Logic 설계(FPGA, ASIC, RTL)
- HDL Programming (System Verilog, Verilog, or VHDL)
- Microcontroller Unit(MCU)/Digital Signal Processing(DSP)/Neural Processing Unit(NPU) IP...

#### 필요 역량

#### □ Knowledge 관련

- Hardware Description Language(Verilog, SystemVerilog 등) 역량 보유자
- FPGA 또는 ASIC 포함 Embedded system의 HW/Software 설계 및 개발 역량 보유자...

더 알아보기

## 현대모비스

접수마감 신입-연구직 [반도체사업담당] 23년 하반기 신입채용 (연구직)

### 시스템반도체 설계

반도체사업담당 | HW | 회로 | 강남연구소  
2023-09-01 - 2023-09-14 16:00

#### 🔧 조직소개

우리 조직은 다양한 차량용 시스템반도체를 설계하는 역할을 수행합니다. 전원구동/신호처리/SOC 반도체로 분야를 세분화하여 개발을 진행하고 있습니다. 전자-전자공학 및 컴퓨터공학과 전공 중심으로, 다양한 업계 출신의 셀원들 간 경험 미래 자동차의 핵심 기술인 다양한 차량용 반도체 개발 업무를 경험할 수 있습니다.

#### 👤 직무상세

[반도체 회로 설계]

- 차량용 시스템 분석
- 반도체 사양 개발
- 디지털/아날로그 IP 회로 설계
- 반도체 샘플 평가
- ISO26262 기능안전 산출물 개발

[반도체 검증]

- 디지털 회로 상위 모델링 및 검증
- FPGA 프로토타입 구현
- 검증/데모 환경 개발 및 분석을 통한 루틴 개발

## 에스케이하이닉스



[에스케이하이닉스]

**[경력] Mobile/CXL Controller  
개발 FPGA 검증 분야 경력 채용**

#### 🏢 채용직무

· SoC 설계검증

#### 🎓 자격요건

· 해외 여행에 결격 사유가 없으신 분 (남성의 경우 병역을 마쳤거나 면제하신 분)

학력	학사 이상
전공	컴퓨터 공학, 전기 전자 공학
외국어	영어 가능자 우대
해당경력	4년 이상
기타	

# Device technologies

- Full-custom ASIC

- Transistor level

- Standard-cell ASIC

- Gate level

ASIC	Application-Specific Integrated Circuit
CPLD	Complex Programmable Logic Device
FPGA	Field Programmable Gate Array

- Gate array ASIC

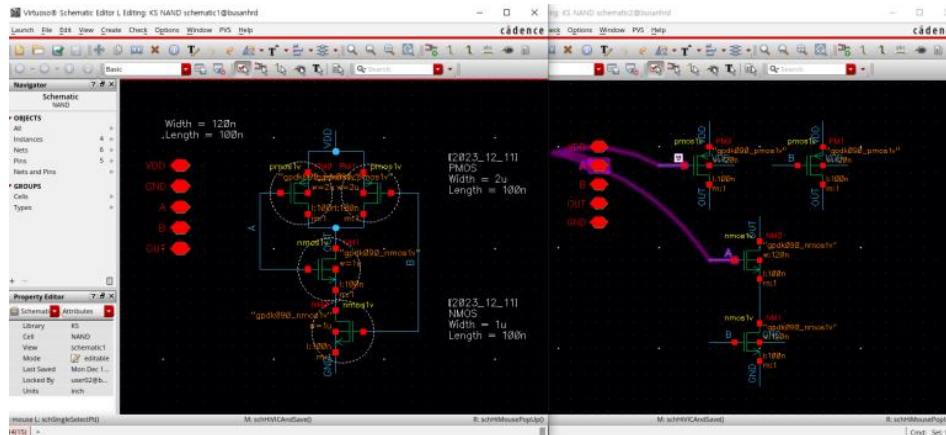
- A gate array chip = collection of “prefabricated” base cells

- Complex field-programmable logic device (CPLD & FPGA)

- Gate array ASIC와 비슷함
  - CPLD/FPGA의 logic cells는 base cells와 비슷함
    - Base cells : prefabricated
    - Logic cells : programmable

# Full-custom ASIC

- CAD(Computer-Aided Design) 툴을 사용하여 집적회로를 **수작업으로** 설계하고 제작함
  - 장점 : 면적이나 동작 속도 등에서 최적화된 IC를 설계할 수 있음
  - 단점 : 개발 기간 및 개발 비용의 부담이 많아짐
- 로직 게이트(AND, OR, XOR, NAND 등)와 간단한 논리 회로(1-bit 더하기, 1-bit 메모리 등) 설계에 적합함

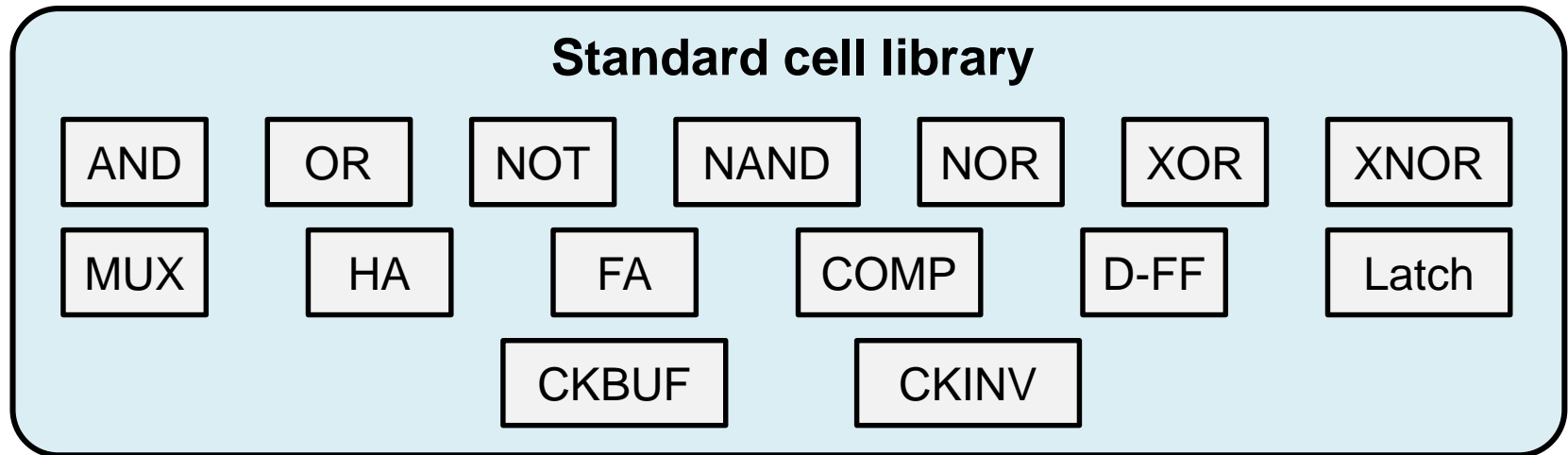


NAND 게이트  
설계

# Standard-cell ASIC



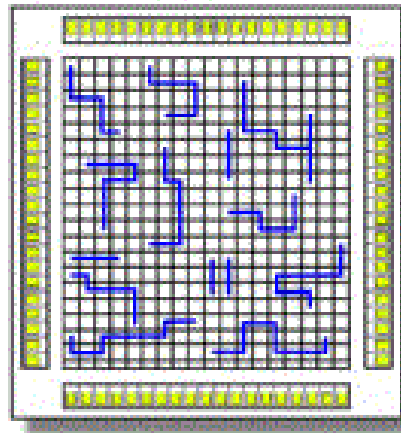
- Standard cell 기반 직접회로를 설계하고 제작함
- Standard cell
  - 로직 게이트(AND, OR, XOR, NAND 등)
  - 1-bit 논리 회로(1-bit 더하기, 1-bit 메모리 등)
- 집적회로 제작에 대해 full-custom ASIC와 같음



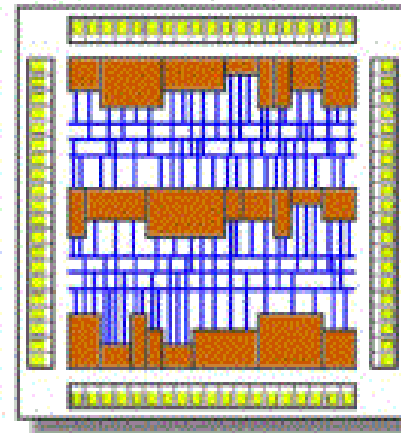
# Gate array ASIC

- Base cell 기반 집적회로를 설계하고 제작함
- Base cell
  - Standard cell과 비슷함
  - 격자무늬 패턴(pattern)으로 정리되고 제작됨
- 집적회로 제작은 간단해짐

Gate array  
ASIC



Standard-cell  
ASIC



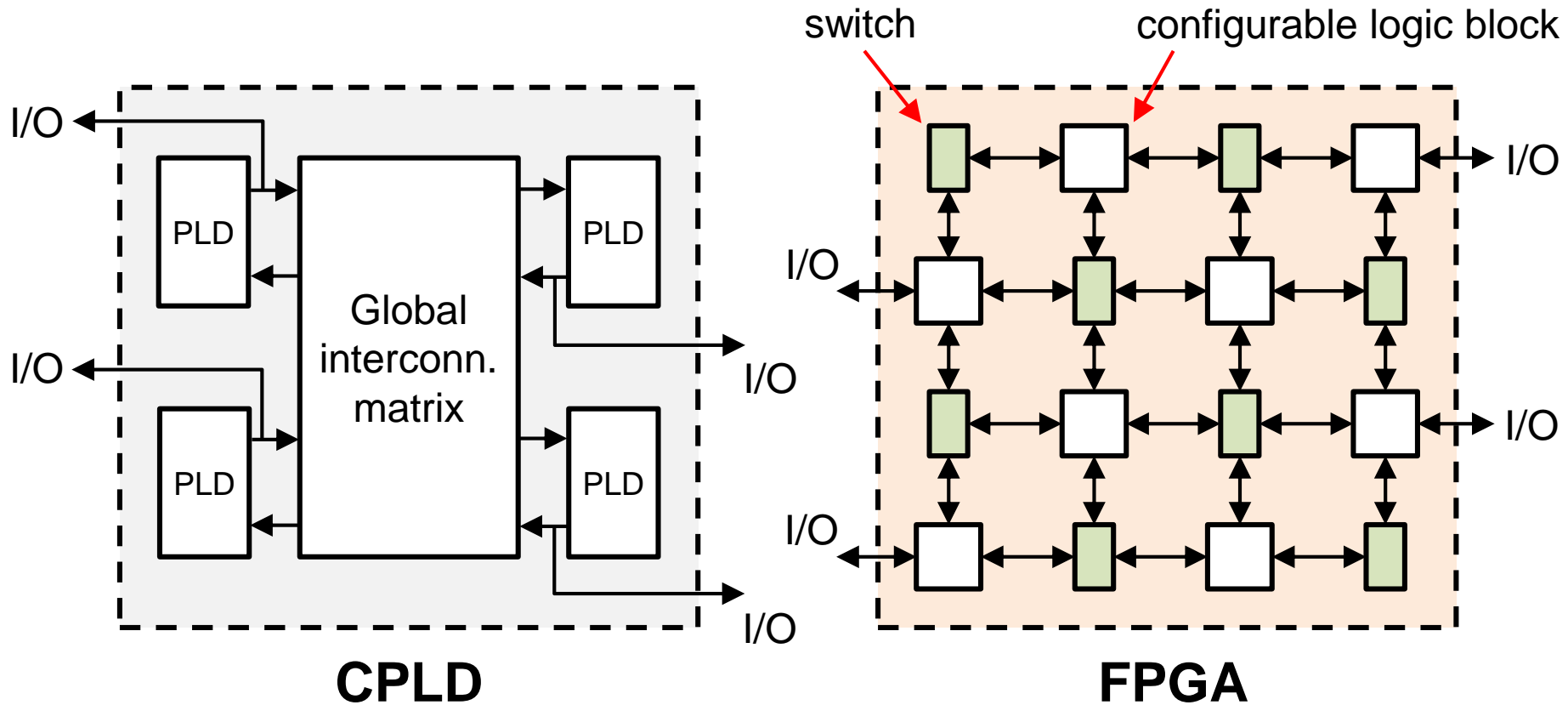
# Key takeaway

	Full-custom ASIC	Standard-cell ASIC	Gate array ASIC
<b>키워드</b>	- Transistor level	- Gate level - Standard cell	- Base cell - Prefabricated
<b>장점</b>	- 면적, 동작 속도 등 최적화됨 - 낮은 제작 비용	- 개발 기간 줄임 - 인간의 실수 줄임 - 복잡한 IC 설계 가능	- 개발 기간 더 줄임 - 더 복잡한 IC 설계 가능
<b>단점</b>	- 개발 기간 및 비용 부담 - 복잡한 CAD 툴	- 제작 비용 증가	- 제작 비용 더 증가



# CPLD & FPGA

- Configurable logic blocks + Programmable interconnection



# Key takeaway

	FPGA	ASIC
개발 기간	빠름	느림
동작 속도	낮음	높음
전력 소비	높음	낮음
제작 비용	높음	낮음
기능 추가	쉬움	어려움
설계 절차	간단함	복잡함
Reconfigurability	in the field	in the fab