

Lecture 07

플립플롭(Flip-Flop)

# 플립플롭 및 래치

## ■ 논리회로 종류

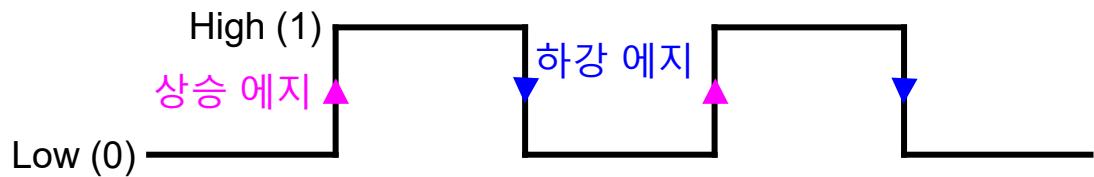
- 조합회로 : 출력은 현재 입력의 조합에 의해서만 결정됨
- 순서회로 : 출력은 현재 입력의 조합과 입력이 인가되는 시점의 **회로 상태**에도 영향을 받아 결정됨

## ■ 플립플롭 및 래치

- 순서논리회로에서는 1비트를 기억하는 소자임
- **플립플롭** : 클록 신호에 따라 정해진 시점에서의 입력을 샘플하여 출력에 저장하는 **동기식** 순서 논리 소자임
- **래치** : 클록 신호에 관계없이 모든 입력을 계속 감시하다가 언제든지 출력을 변화시키는 **비동기식** 순서 논리 소자임

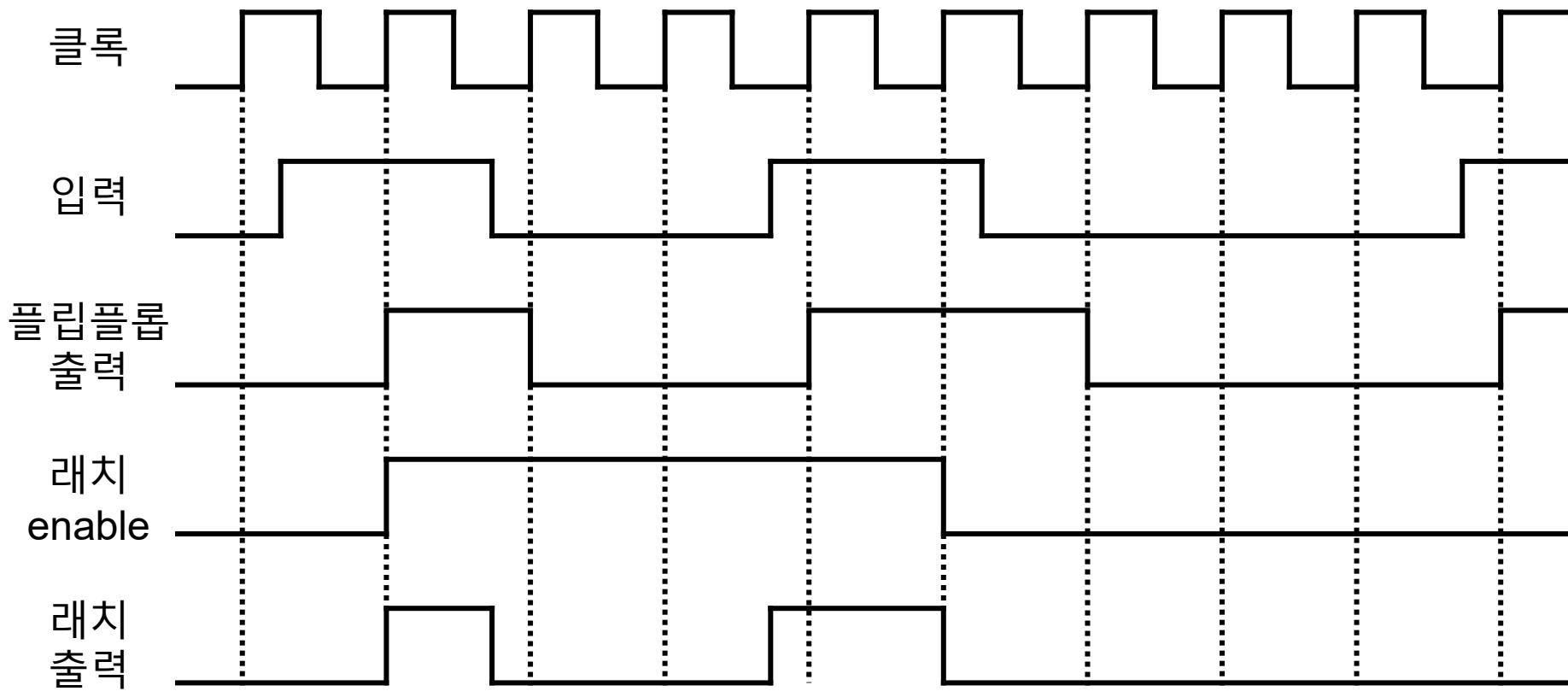
## ■ 클록 신호

- 상승 에지 : low to high
- 하강 에지 : high to low



# 플립플롭 및 래치

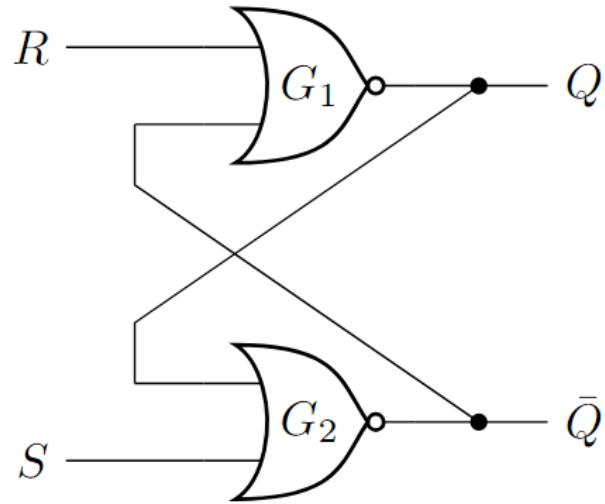
- 예, 플립플롭과 래치 동작 파형



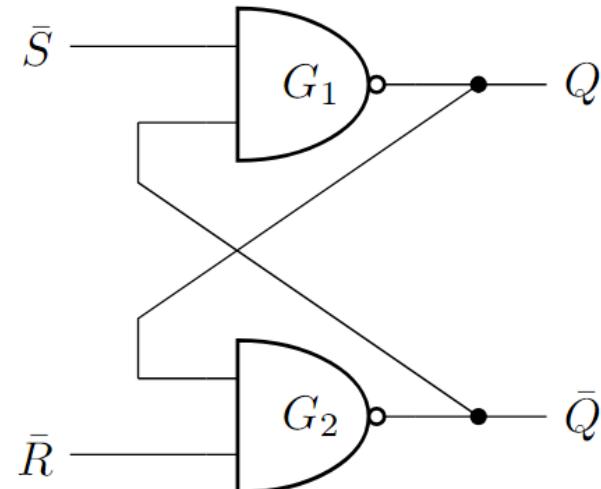
# 래치

## ■ SR 래치

- $S$ (set)와  $R$ (reset)로 표시된 2개의 입력과  $Q$ 와  $\bar{Q}$ 로 표시된 2개의 출력이 있으며,  $Q$ 와  $\bar{Q}$ 의 상태는 서로 보수 상태가 되어야 정상 상태가 됨
- 조합논리회로와 달리 귀환(**feedback**)이 있음



NOR 래치 회로

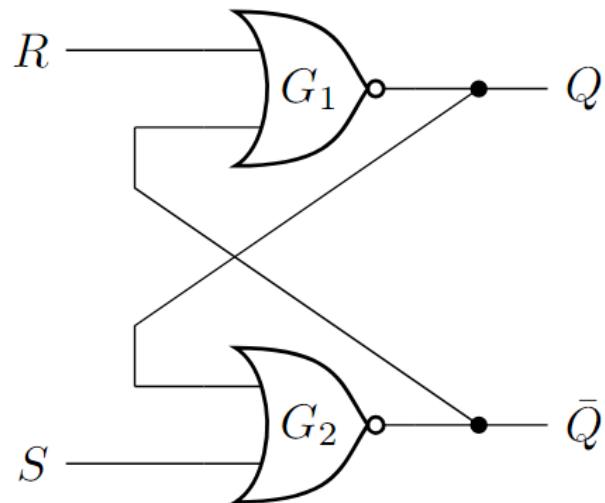


NAND 래치 회로

# 래치

## ▪ NOR 게이트로 구성된 SR 래치

- $Q(t)$ 는 입력이 인가되기 이전 상태를 의미함
- $Q(t + 1)$ 은 입력이 인가된 이후의 상태를 의미함



$S$	$R$	$Q(t + 1)$
0	0	$Q(t)$ (불변)
0	1	0
1	0	1
1	1	부정

# 래치

## ▪ NOR 게이트로 구성된 SR 래치

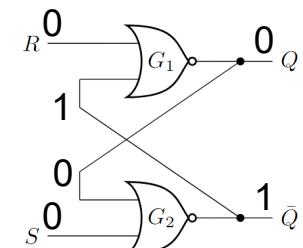
- 입력  $S = 0, R = 0$ 일 때

① 현재 출력 상태가  $Q = 0, \bar{Q} = 1$ 인 경우

- $Q = 0$ 과  $S = 0$ 이  $G_2$ 에 입력되면, 출력은  $\bar{Q} = 1$ 임

- $\bar{Q} = 1$ 과  $R = 0$ 이  $G_1$ 에 입력되면, 출력은  $Q = 0$ 임

$\rightarrow Q = 0, \bar{Q} = 1$ 인 상태에서  $S = 0$ 과  $R = 0$ 이 입력되면 출력은  $Q = 0, \bar{Q} = 1$ 로 **현재 상태를 유지함**

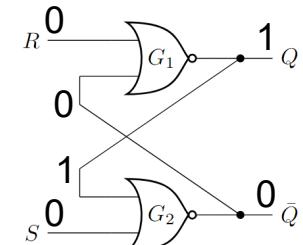


② 현재 출력 상태가  $Q = 1, \bar{Q} = 0$ 인 경우

- $Q = 1$ 과  $S = 0$ 이  $G_2$ 에 입력되면, 출력은  $\bar{Q} = 0$ 임

- $\bar{Q} = 0$ 과  $R = 0$ 이  $G_1$ 에 입력되면, 출력은  $Q = 1$ 임

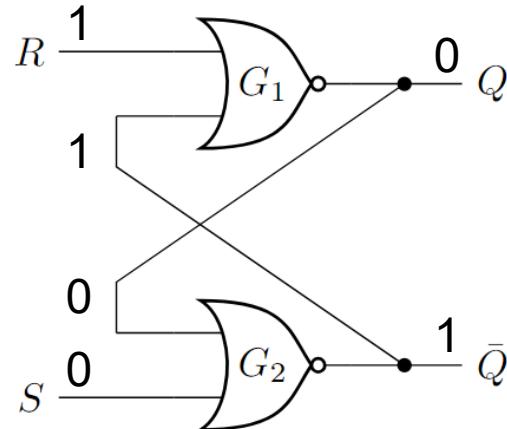
$\rightarrow Q = 1, \bar{Q} = 0$ 인 상태에서  $S = 0$ 과  $R = 0$ 이 입력되면 출력은  $Q = 1, \bar{Q} = 0$ 로 **현재 상태를 유지함**



# 래치

## ▪ NOR 게이트로 구성된 SR 래치

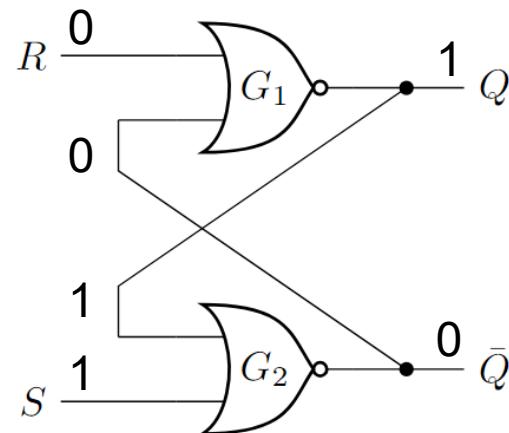
- 입력  $S = 0, R = 1$  일 때
    - 입력  $R = 1$  이면  $G_1$ 의 출력은 다른 입력인  $\bar{Q}$  상태에 관계없이  $Q = 0$  이 됨
    - $Q = 0$  과  $S = 0$  이  $G_2$  에 입력되면, 출력은  $\bar{Q} = 1$  임
- $S = 0$  과  $R = 1$  이 입력되면  $Q$ 의 이전 상태에 관계없이 출력은 **반드시  $Q = 0, \bar{Q} = 1$  임**



# 래치

## ▪ NOR 게이트로 구성된 SR 래치

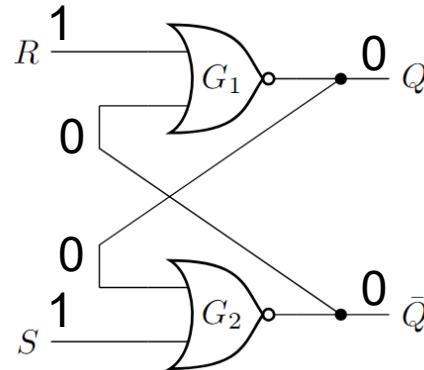
- 입력  $S = 1, R = 0$  일 때
    - 입력  $S = 1$  이면  $G_2$ 의 출력은 다른 입력인  $Q$  상태에 관계없이  $\bar{Q} = 0$  이 됨
    - $\bar{Q} = 0$  과  $R = 0$  이  $G_1$ 에 입력되면, 출력은  $Q = 1$  임
- $S = 1$  과  $R = 0$  이 입력되면  $Q$ 의 이전 상태에 관계없이 출력은 **반드시  $Q = 1, \bar{Q} = 0$  임**



# 래치

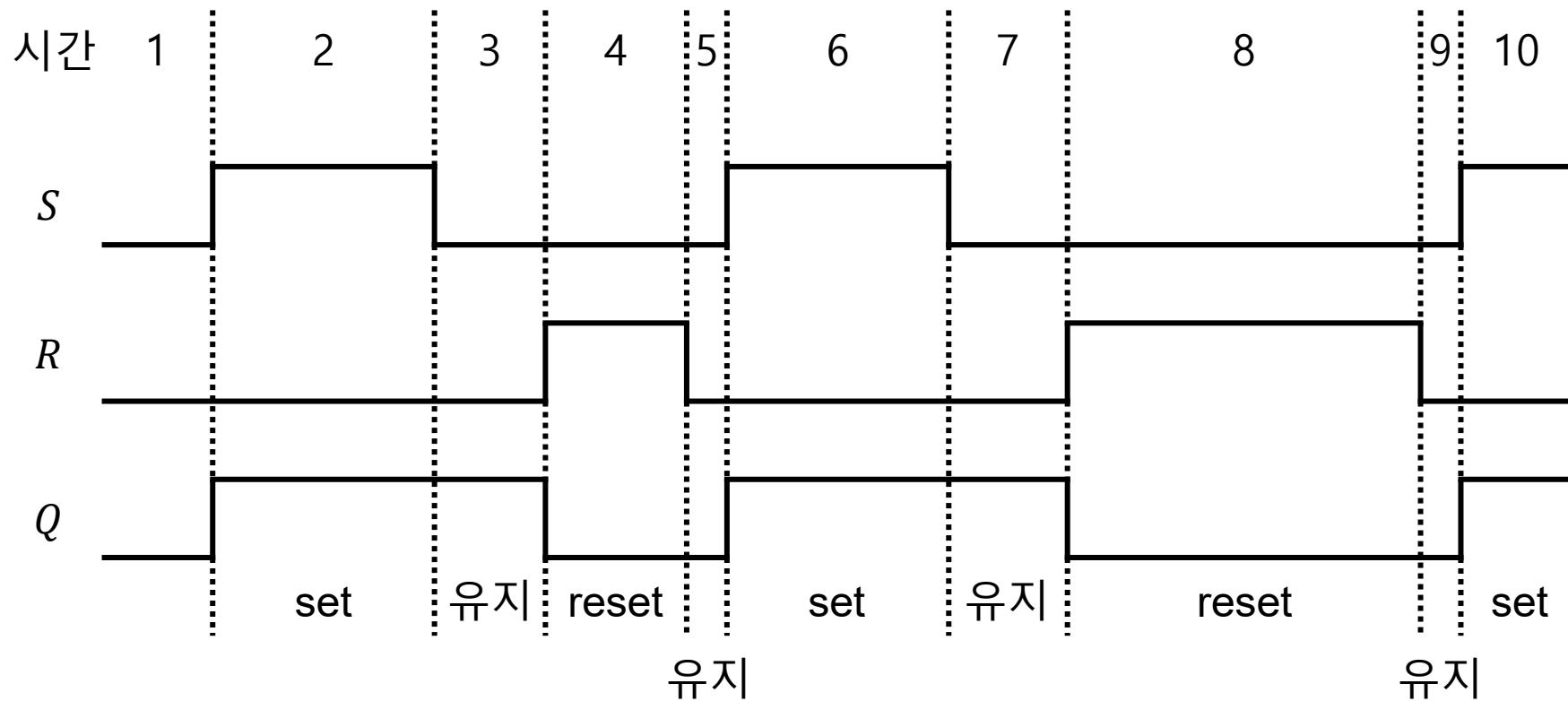
## ▪ NOR 게이트로 구성된 SR 래치

- 입력  $S = 1, R = 1$  일 때
  - 입력  $S = 1$  이면  $G_2$ 의 출력은 다른 입력인  $Q$  상태에 관계없이  $\bar{Q} = 0$  이 됨
  - 입력  $R = 1$  이면  $G_1$ 의 출력은 다른 입력인  $\bar{Q}$  상태에 관계없이  $Q = 0$  이 됨
- 출력  $Q = 0$  과  $\bar{Q} = 0$  이 되어 서로 보수가 아닌 부정 상태가 되어 정상적으로 동작하지 못하므로 동시에  $S = 1$  과  $R = 1$  로 하는 것은 금지됨



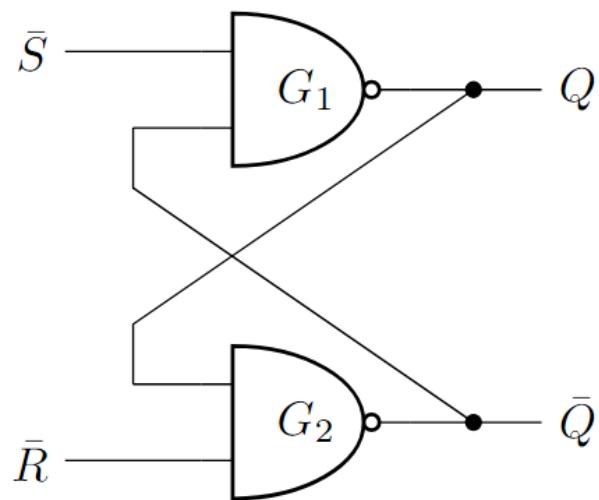
# 래치

- NOR 게이트로 구성된 SR 래치



# 래치

- NAND 게이트로 구성된 SR 래치

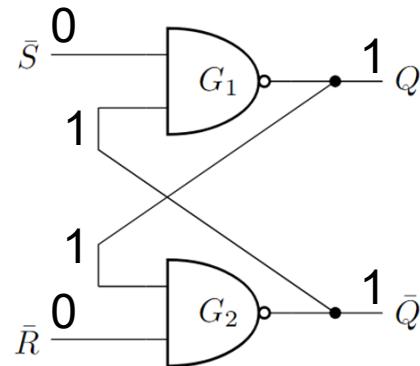


$\bar{S}$	$\bar{R}$	$Q(t+1)$
0	0	부정
0	1	1
1	0	0
1	1	$Q(t)$ (불변)

# 래치

## ■ NAND 게이트로 구성된 SR 래치

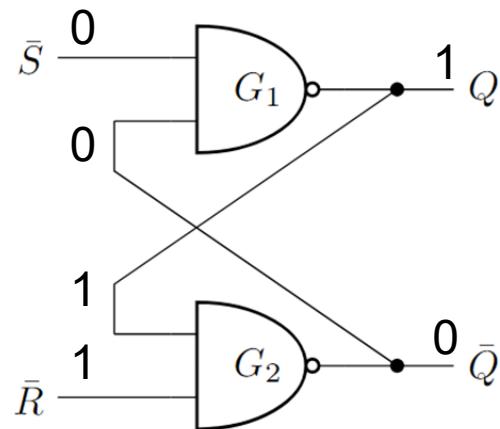
- 입력  $\bar{S} = 0, \bar{R} = 0$ 일 때
  - 입력  $\bar{S} = 0$ 이면  $G_1$ 의 출력은 다른 입력인  $\bar{Q}$  상태에 관계없이  $Q = 1$  이 됨
  - 입력  $\bar{R} = 1$ 이면  $G_2$ 의 출력은 다른 입력인  $Q$  상태에 관계없이  $\bar{Q} = 1$  이 됨
- 출력  $Q = 1$ 과  $\bar{Q} = 1$ 이 되어 서로 보수가 아닌 부정 상태가 되어 정상적으로 동작하지 못하므로 동시에  $\bar{S} = 0$ 과  $\bar{R} = 0$ 로 하는 것은 금지됨



# 래치

## ■ NAND 게이트로 구성된 SR 래치

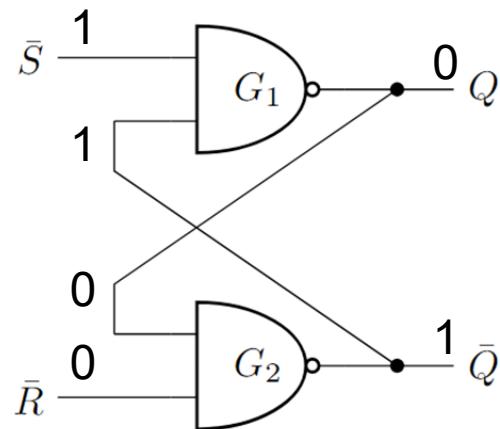
- 입력  $\bar{S} = 0, \bar{R} = 1$  일 때
  - 입력  $\bar{S} = 0$ 이면  $G_1$ 의 출력은 다른 입력인  $\bar{Q}$  상태에 관계없이  $Q = 1$  이 됨
  - $Q = 1$ 과  $\bar{R} = 1$ 이  $G_2$ 에 입력되면, 출력은  $\bar{Q} = 0$ 임  
 $\rightarrow \bar{S} = 0$ 과  $\bar{R} = 1$ 이 입력되면  $Q$ 의 이전 상태에 관계없이 출력은 **반드시  $Q = 1, \bar{Q} = 0$ 임**



# 래치

## ■ NAND 게이트로 구성된 SR 래치

- 입력  $\bar{S} = 1, \bar{R} = 0$ 일 때
  - 입력  $\bar{R} = 0$ 이면  $G_2$ 의 출력은 다른 입력인  $Q$  상태에 관계없이  $\bar{Q} = 1$  이 됨
  - $\bar{Q} = 1$ 과  $\bar{S} = 1$ 이  $G_1$ 에 입력되면, 출력은  $Q = 0$ 임  
 $\rightarrow \bar{S} = 1$ 과  $\bar{R} = 0$ 이 입력되면  $Q$ 의 이전 상태에 관계없이 출력은 **반드시  $Q = 0, \bar{Q} = 1$ 임**



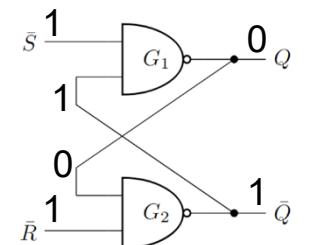
# 래치

## ■ NAND 게이트로 구성된 SR 래치

- 입력  $\bar{S} = 1, \bar{R} = 1$  일 때

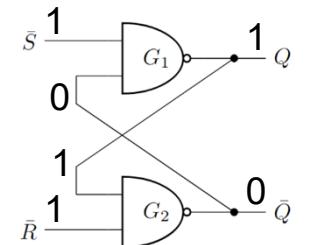
① 현재 출력 상태가  $Q = 0, \bar{Q} = 1$ 인 경우

- $Q = 0$ 과  $\bar{R} = 1$ 이  $G_2$ 에 입력되면, 출력은  $\bar{Q} = 1$ 임
- $\bar{Q} = 1$ 과  $\bar{S} = 1$ 이  $G_1$ 에 입력되면, 출력은  $Q = 0$ 임  
 $\rightarrow Q = 0, \bar{Q} = 1$ 인 상태에서  $\bar{S} = 1$ 과  $\bar{R} = 1$ 이 입력되면 출력은  $Q = 0, \bar{Q} = 1$ 로 **현재 상태를 유지함**



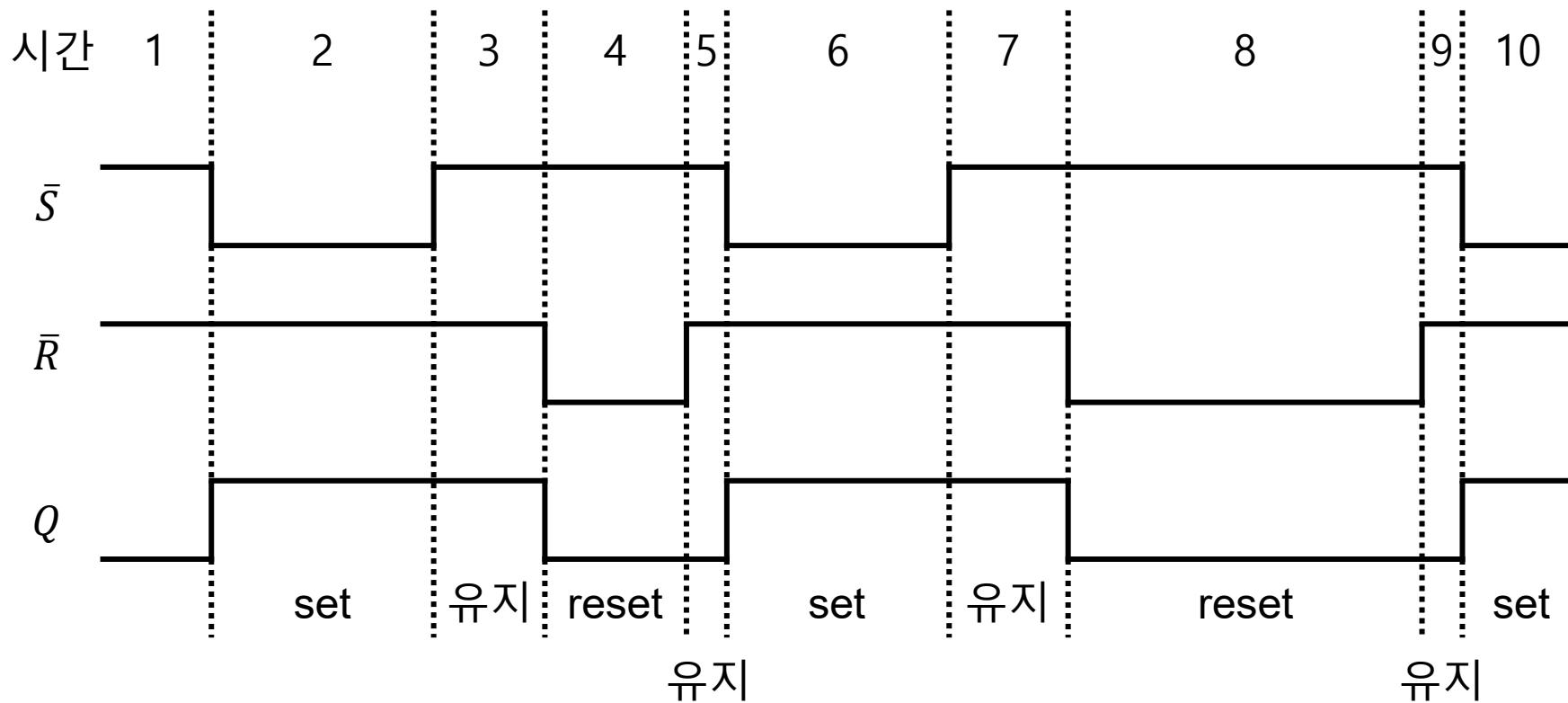
② 현재 출력 상태가  $Q = 1, \bar{Q} = 0$ 인 경우

- $Q = 1$ 과  $\bar{R} = 1$ 이  $G_2$ 에 입력되면, 출력은  $\bar{Q} = 0$ 임
- $\bar{Q} = 0$ 과  $\bar{S} = 1$ 이  $G_1$ 에 입력되면, 출력은  $Q = 1$ 임  
 $\rightarrow Q = 1, \bar{Q} = 0$ 인 상태에서  $\bar{S} = 1$ 과  $\bar{R} = 1$ 이 입력되면 출력은  $Q = 1, \bar{Q} = 0$ 로 **현재 상태를 유지함**



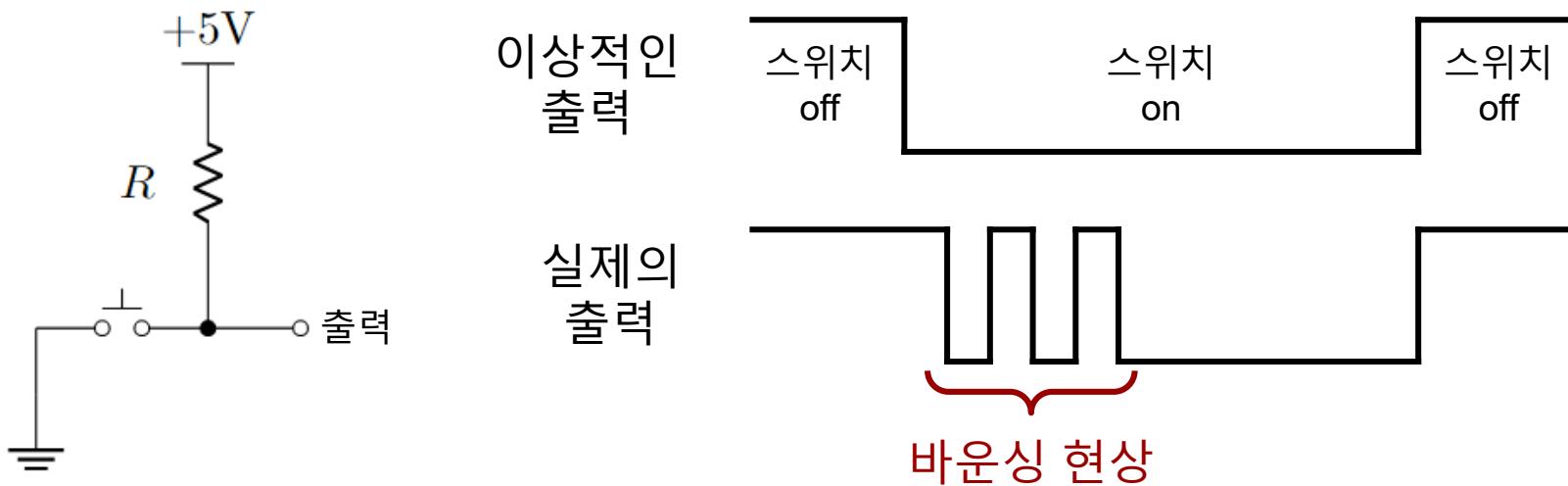
# 래치

- NAND 게이트로 구성된 SR 래치



# 래치

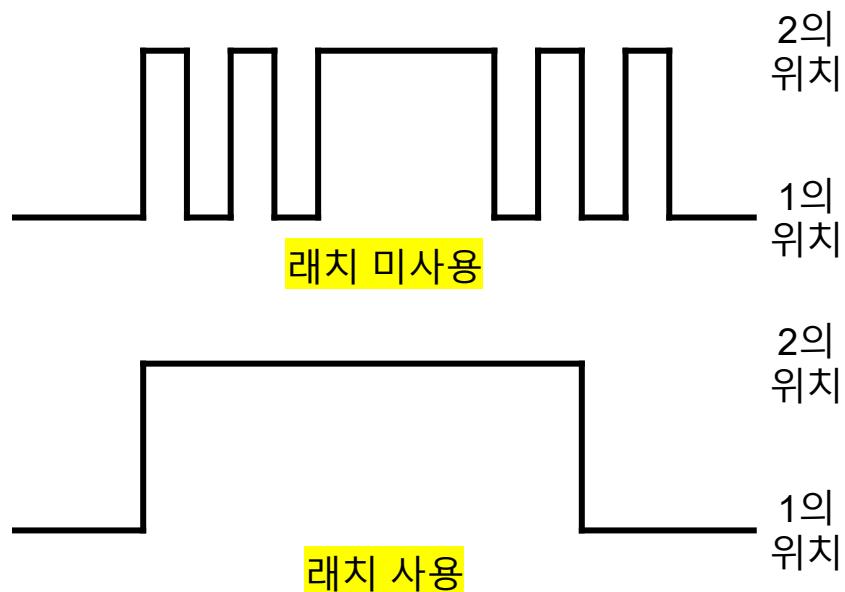
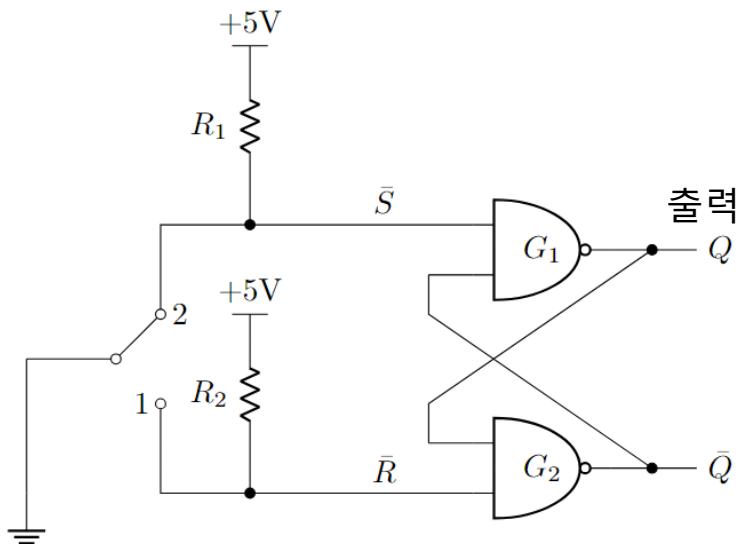
- SR 래치를 이용하여 디바운싱(debouncing) 회로 설계
  - **바운싱(bouncing) 현상** : 농구공을 바닥에 한 번 튕기더라도 여러 번 진동하는 것과 같은 현상으로, 기계적인 시위치가 내부에 존재하는 스프링의 탄성과 접점(contact) 면의 불균일성 때문에 시위치를 개폐하는 경우 여러 번 붙었다 떨어짐



# 래치

- SR 래치를 이용하여 디바운싱(debouncing) 회로 설계

- 스위치가 1의 위치에 있으면  $\bar{S} = 1, \bar{R} = 0$ 이므로 출력  $Q = 0$ 임
- 스위치가 2의 위치에 있으면  $\bar{S} = 0, \bar{R} = 1$ 이므로 출력  $Q = 1$ 임
- 1(2)의 위치에 2(1)의 위치로 이동하면  $\bar{S} = 1, \bar{R} = 1$ 이므로 출력의 이전 상태는 유지됨



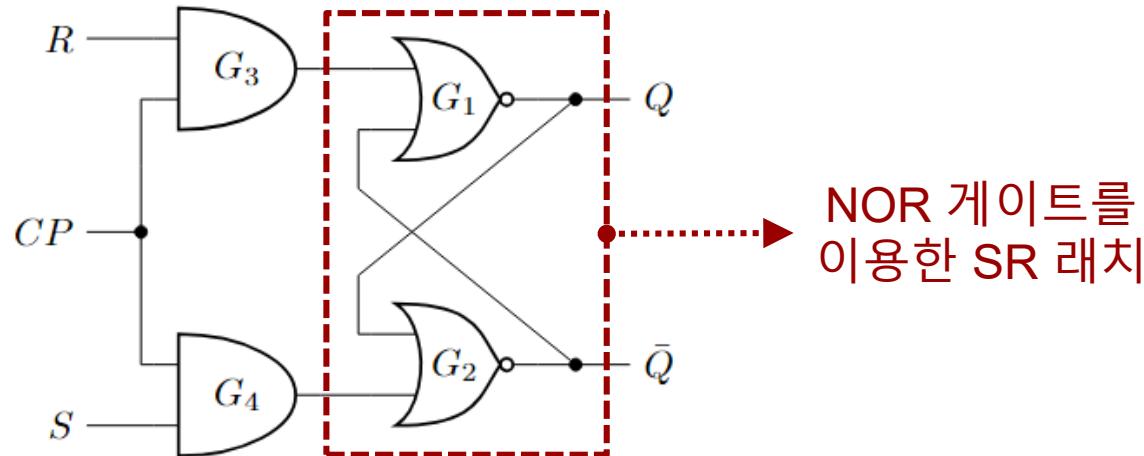
# SR 플립플롭

## ■ 기본적인 SR 래치

- 클록 펄스(CP, clock pulse) 입력과 무관하게 동작하므로 비동기식 SR 플립플롭이라고 할 수 있음

## ■ SR 플립플롭

- NOR 게이트를 이용한 SR 래치 회로 앞에 AND 게이트 2개를 연결하고 공통 단자에 클록 펄스를 인가하면 클록형 SR 플립플롭이 됨





# SR 플립플롭

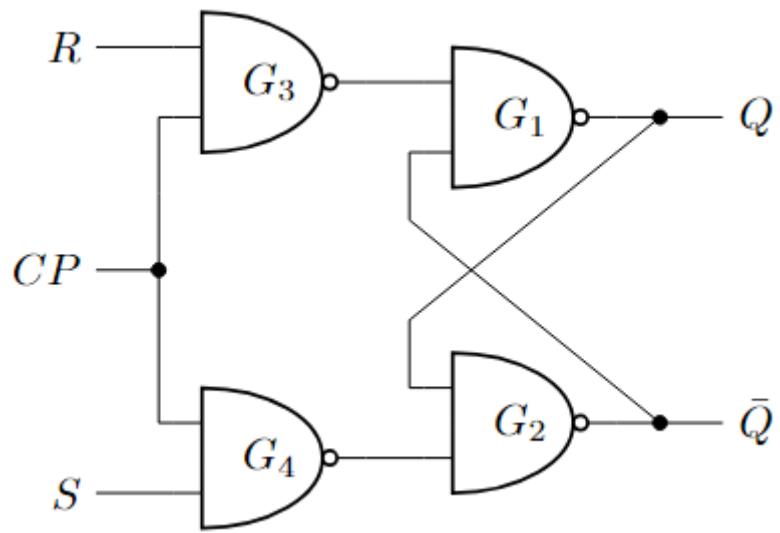
## ■ SR 플립플롭 동작

- $CP = 0$ 인 경우 :  $S$ 와  $R$ 의 입력에 관계없이 앞 단의 AND 게이트의 출력이 항상 0이므로 플립플롭의 출력  $Q$ 와  $\bar{Q}$ 는 **변하지 않음**
- $CP = 1$ 인 경우 :  $S$ 와  $R$ 의 입력이 뒷단의 NOR 게이트의 입력으로 전달되어 **SR 래치와 같은 동작을 함**

$CP$	$S$	$R$	$Q(t + 1)$
0	X	X	$Q(t)$ (불변)
1	0	0	$Q(t)$ (불변)
1	0	1	0
1	1	0	1
1	1	1	부정

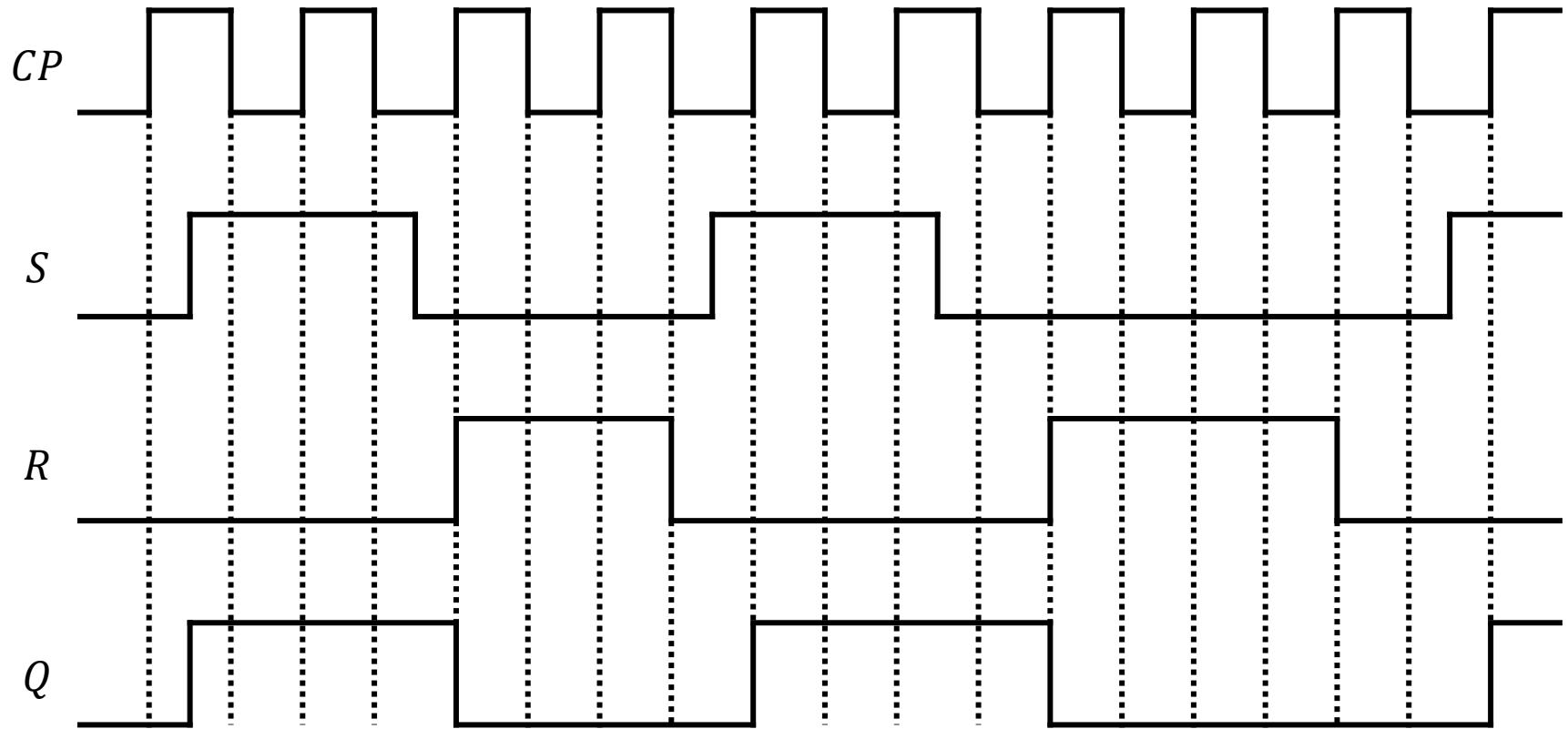
# SR 플립플롭

- NAND 게이트를 이용한 SR 플립플롭



# SR 플립플롭

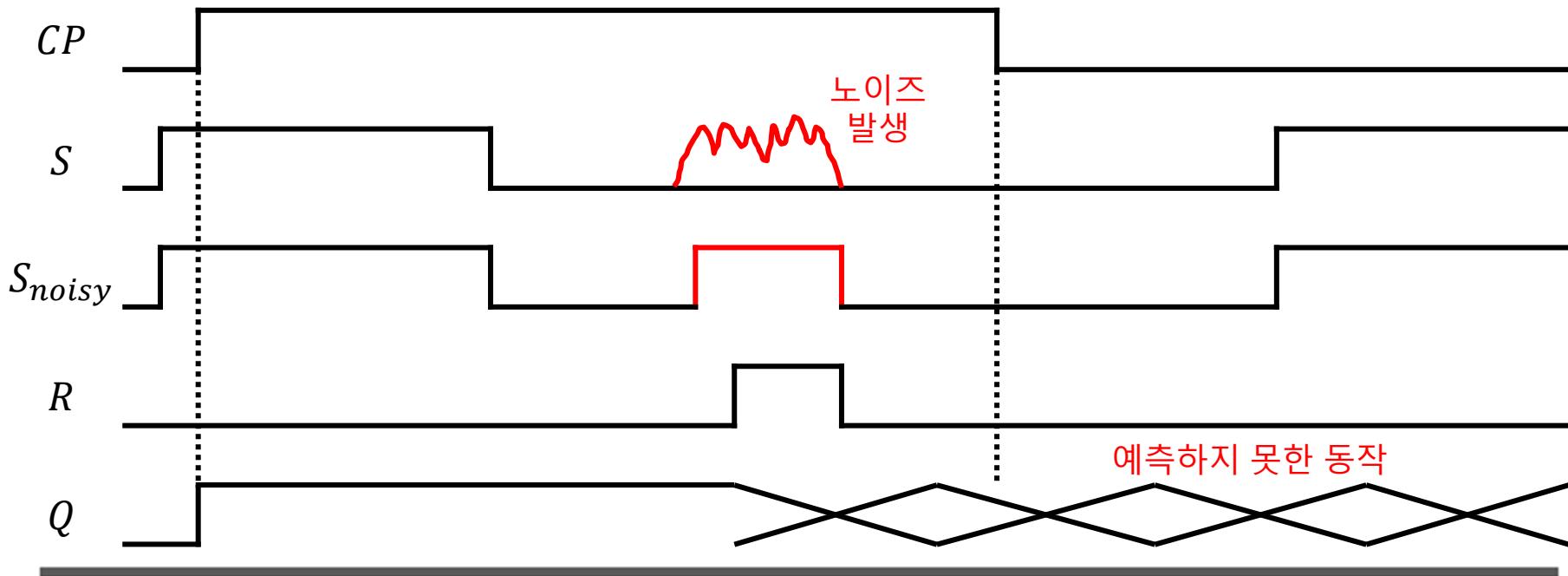
- 예, SR 플립플롭 동작 파형



# SR 플립플롭

- 클록형 SR 플립플롭의 한정

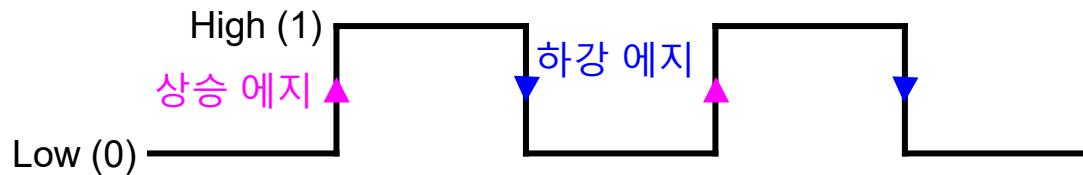
- 클록 펄스의 길이에 따라 동작하므로 클록 펄스의 지속 시간이 길게 되면 플립플롭은 여러 차례 동작이 수행될 수 있어서 예측하지 못한 동작을 할 여지가 충분함



# SR 플립플롭

## ■ 에지 트리거 SR 플립플롭

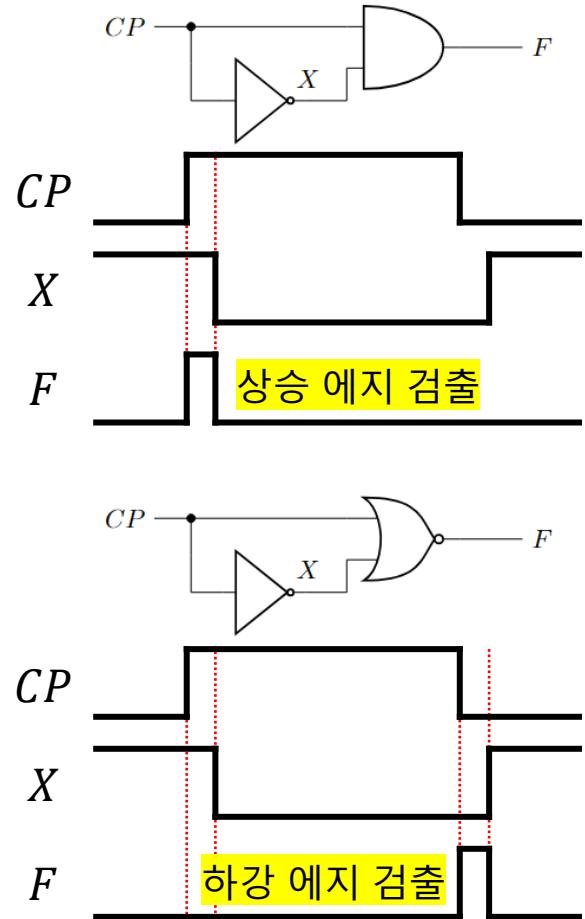
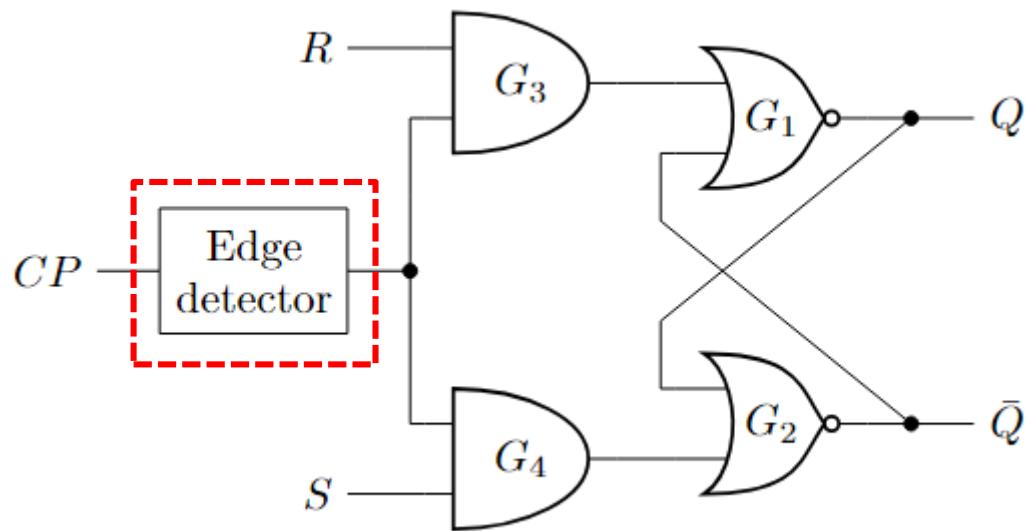
- **트리거(trigger)** : 장치가 입력을 받거나 출력을 변환시키는 경우를 나타내는데 사용하는 디지털 장치로의 입력 제어 신호
- **레벨(level) 트리거** : 클록형 SR 플립플롭과 같이 클록이 1이면 계속해서 입력을 받아들여 동작함
- **에지(edge) 트리거** : 클록이 0에서 1로 변하거나 1에서 0으로 변하는 순간에만 입력을 받아들여 동작함
  - 상승에지(positive edge) : 0에서 1로 변하는 순간
  - 하강에지(negative edge) : 1에서 0으로 변하는 순간



# SR 플립플롭

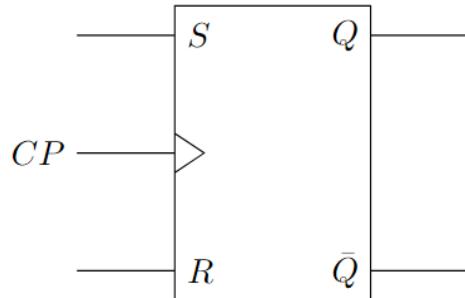


## ■ 에지 트리거 SR 플립플롭



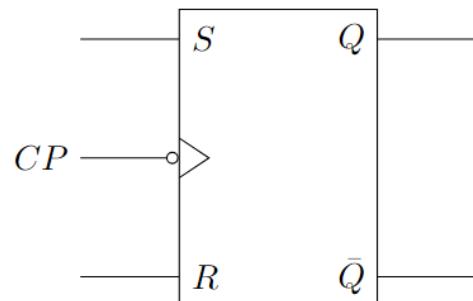
# SR 플립플롭

- 에지 트리거 SR 플립플롭 기호



상승 에지 트리거 SR 플립플롭

<b>CP</b>	<b>S</b>	<b>R</b>	<b><math>Q(t+1)</math></b>
↑	0	0	$Q(t)$ (불변)
↑	0	1	0
↑	1	0	1
↑	1	1	부정

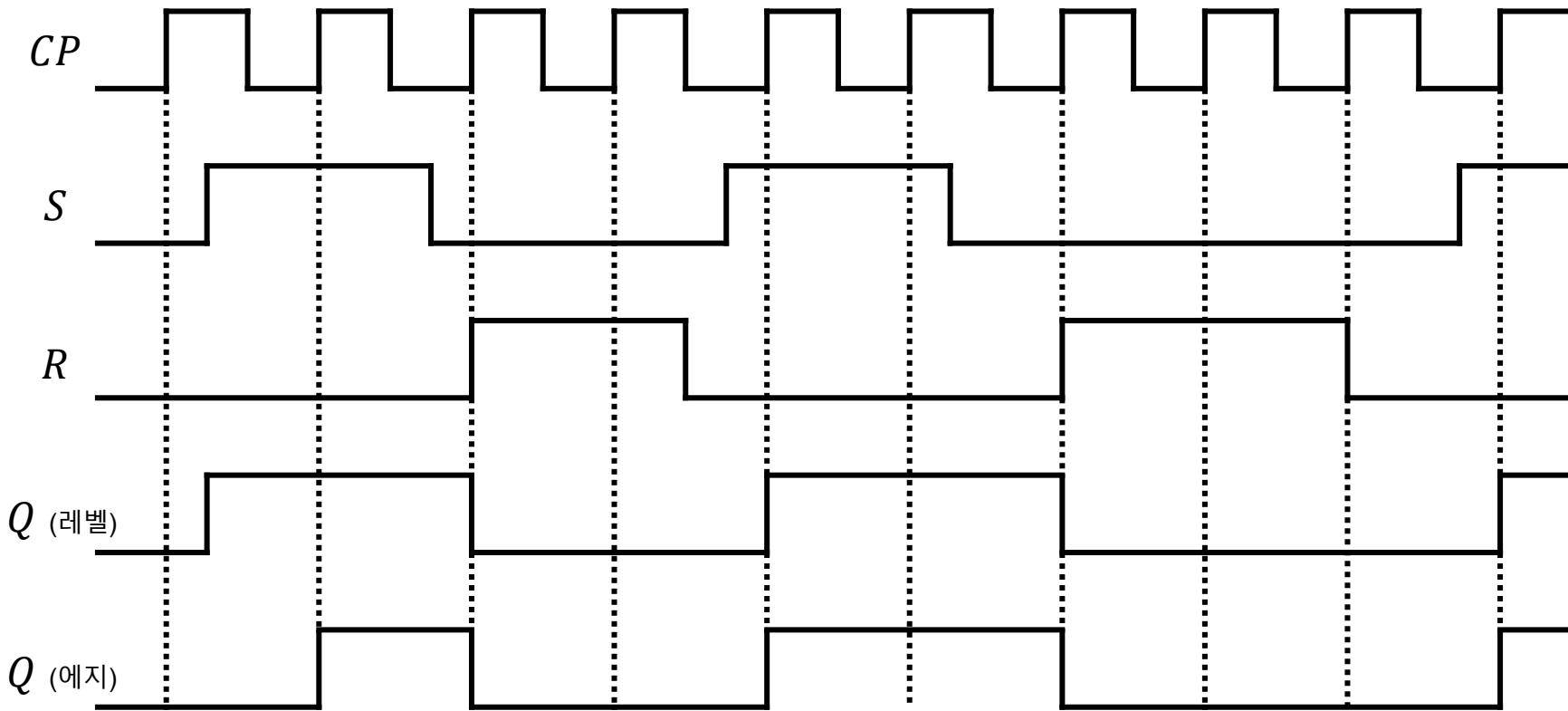


하강 에지 트리거 SR 플립플롭

<b>CP</b>	<b>S</b>	<b>R</b>	<b><math>Q(t+1)</math></b>
↓	0	0	$Q(t)$ (불변)
↓	0	1	0
↓	1	0	1
↓	1	1	부정

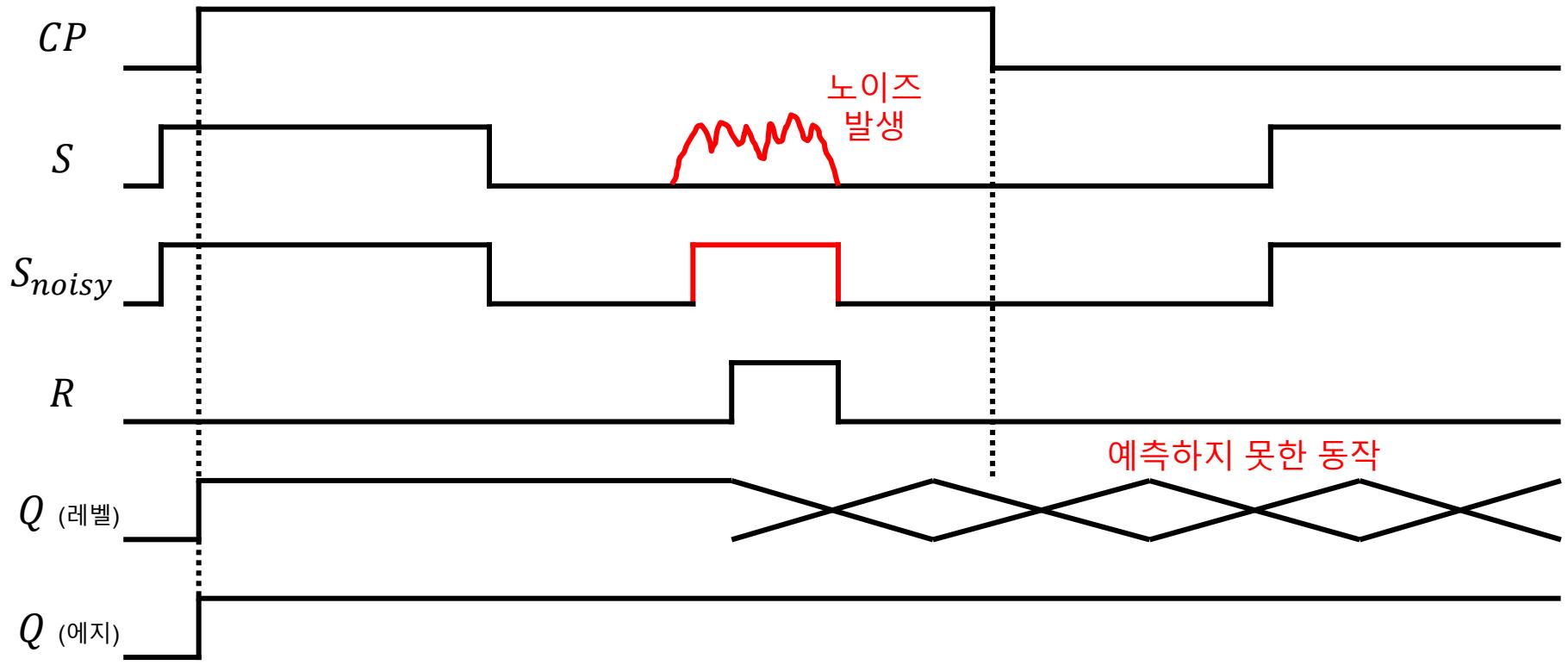
# SR 플립플롭

- 예, 상승 에지 트리거 SR 플립플롭 동작 파형



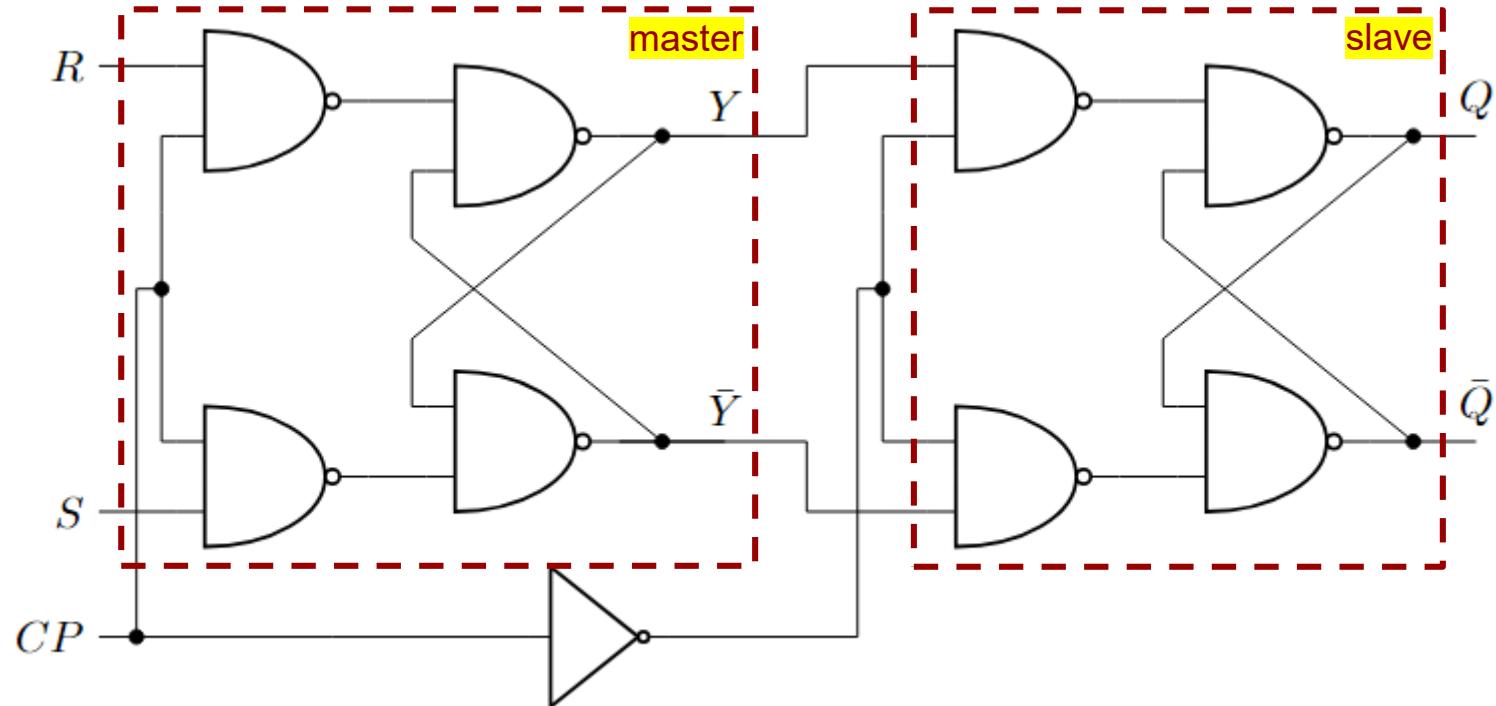
# SR 플립플롭

- 에지 트리거 SR 플립플롭은 노이즈에 강인함



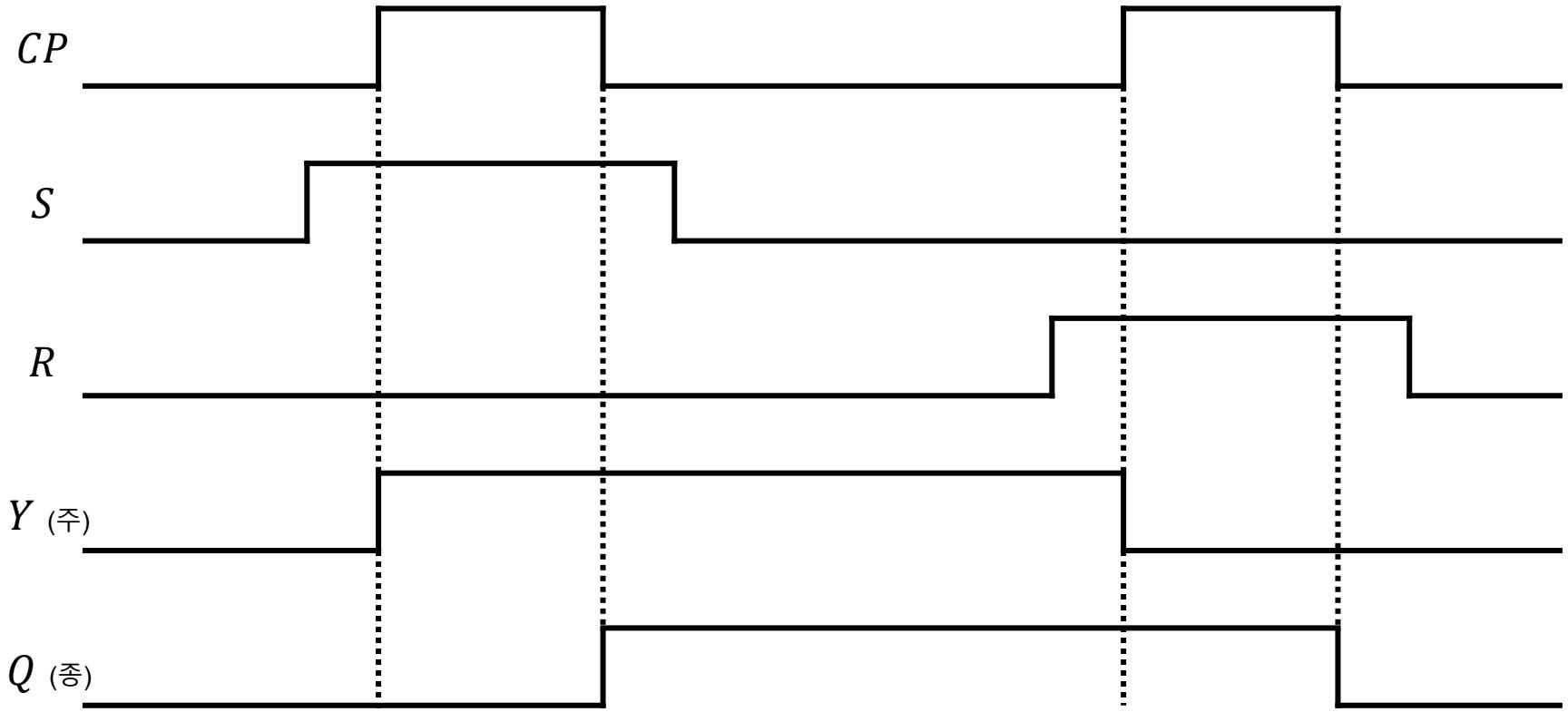
# SR 플립플롭

- 주종형(**master-slave**) SR 플립플롭
  - 레벨 트리거 플립플롭의 문제를 해결하기 위해 사용함



# SR 플립플롭

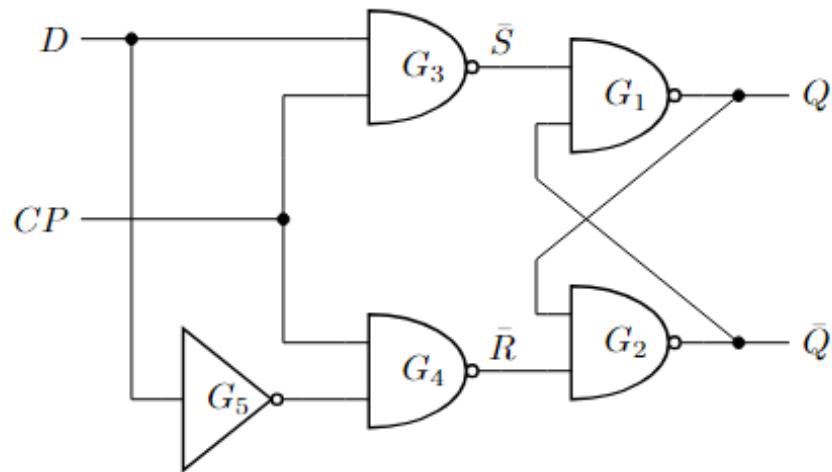
- 주종형(**master-slave**) SR 플립플롭



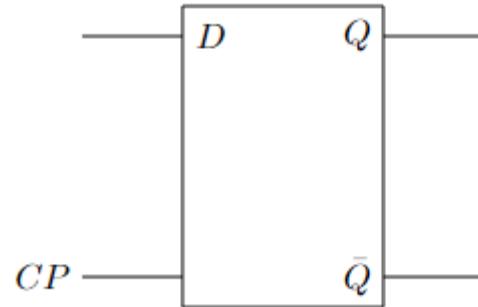
# D 플립플롭

## ■ 클록형 D 플립플롭

- SR 플립플롭에서 원하지 않은 상태( $S = R = 1$ )를 제거하기 위한 방법임
- D는 **데이터(data)**를 전달하는 것과 **지연(delay)**하는 역할에서 유래함



NAND 게이트로 구성된 클록형 D 플립플롭



클록형 D 플립플롭 기호



# D 플립플롭

## ■ 클록형 D 플립플롭 동작

- $CP = 1, D = 1$ 이면  $G_3$ 의 출력은 0,  $G_4$ 의 출력은 1이 됨에 따라 NAND 게이트로 구성된 SR 래치의 입력은  $\bar{S} = 0, \bar{R} = 1$ 이 되므로  $Q = 1$ 를 얻음
- $CP = 1, D = 0$ 이면  $G_3$ 의 출력은 1,  $G_4$ 의 출력은 0이 됨에 따라 NAND 게이트로 구성된 SR 래치의 입력은  $\bar{S} = 1, \bar{R} = 0$ 이 되므로  $Q = 0$ 를 얻음

진리표

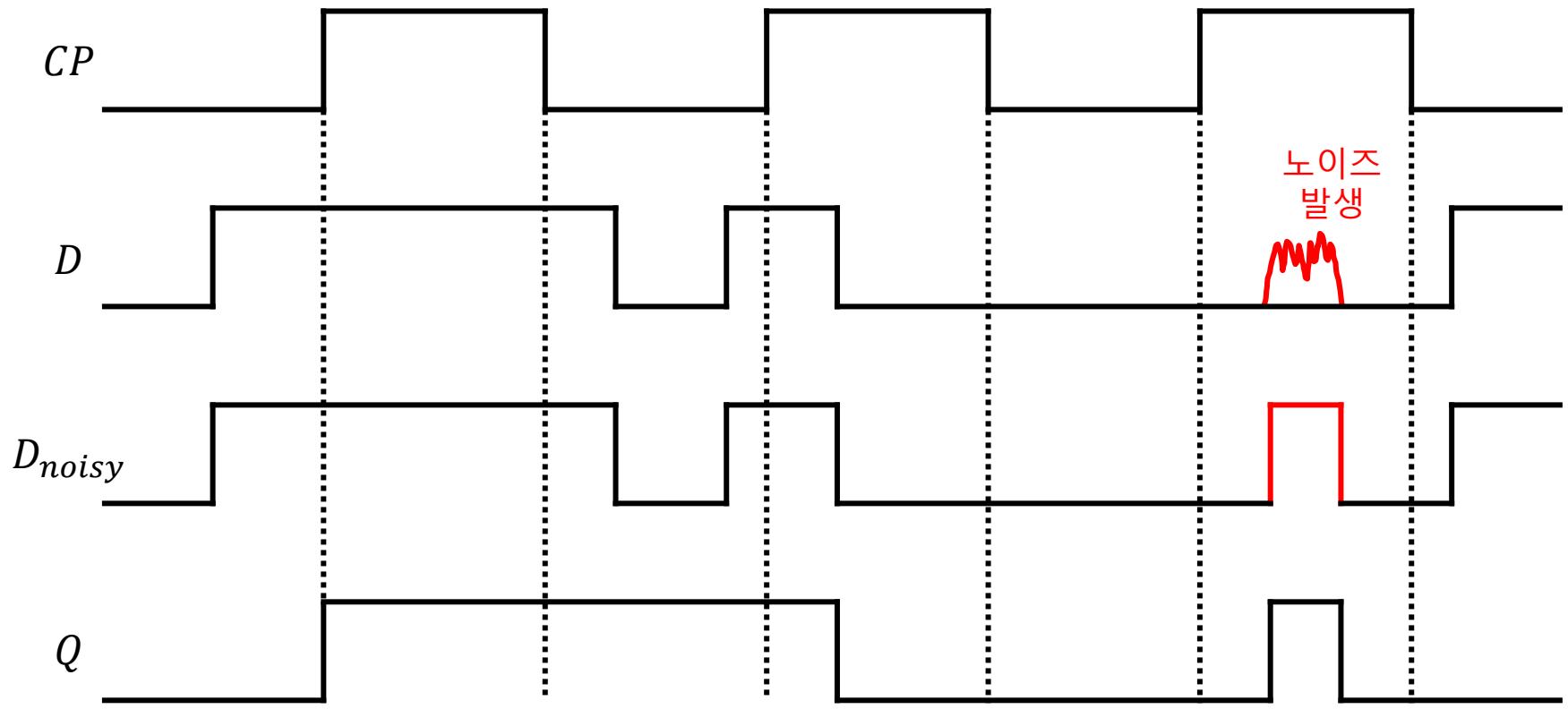
<b><math>CP</math></b>	<b><math>D</math></b>	<b><math>Q(t + 1)</math></b>
0	X	$Q(t)$ (불변)
1	0	0
1	1	1

특성표

<b><math>Q(t)</math></b>	<b><math>D</math></b>	<b><math>Q(t + 1)</math></b>
0	0	0
0	1	1
1	0	0
1	1	1

# D 플립플롭

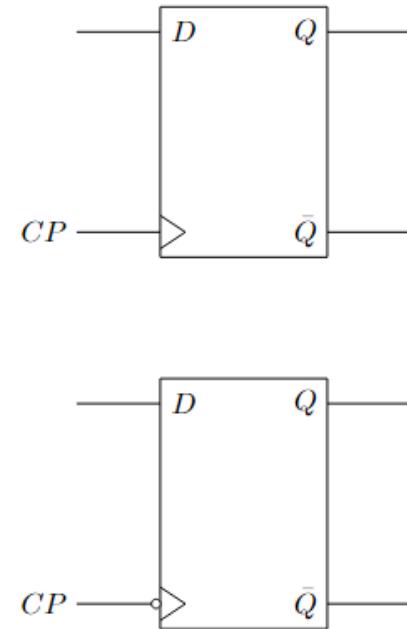
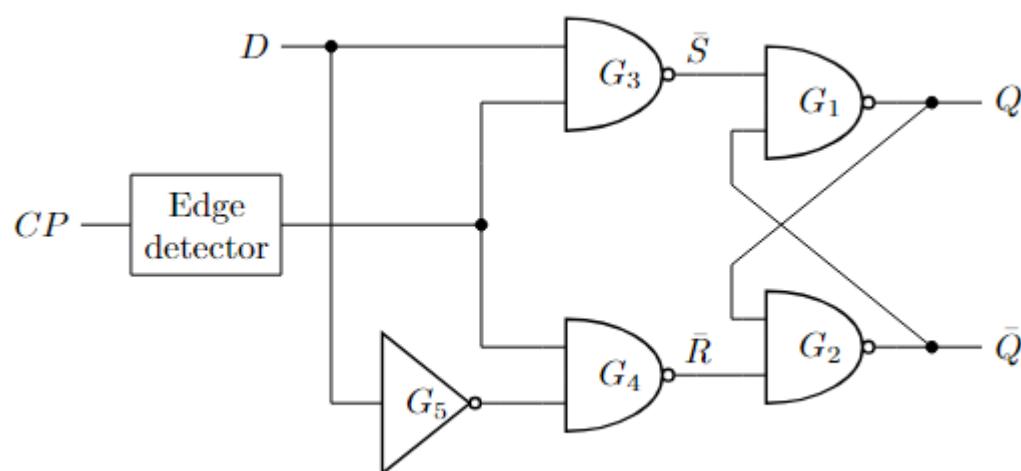
- 예, 클록형 D 플립플롭 동작 파형



# D 플립플롭

## ■ 에지 트리거 D 플립플롭

- 클록형 D 플립플롭의 클록 펄스 입력에 펄스 전이 검출기(edge detector)를 추가하여 구성할 수 있음

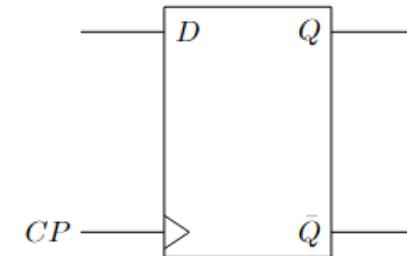


# D 플립플롭

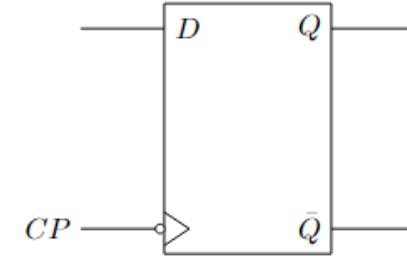
## ■ 에지 트리거 D 플립플롭

- 클록형 D 플립플롭의 클록 펄스 입력에 펄스 전이 검출기(edge detector)를 추가하여 구성할 수 있음

$CP$	$D$	$Q(t + 1)$
↑	0	0
↑	1	1

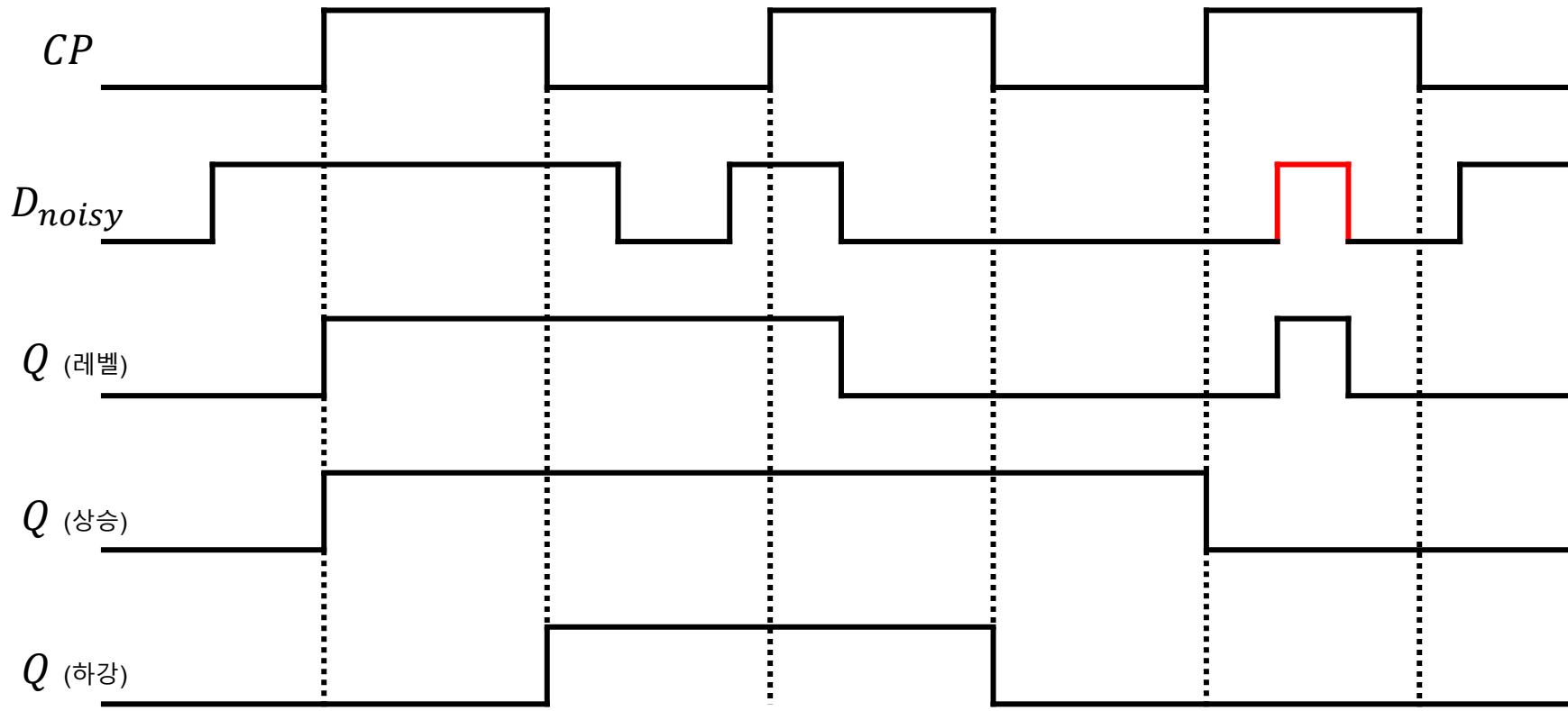


$CP$	$D$	$Q(t + 1)$
↓	0	0
↓	1	1



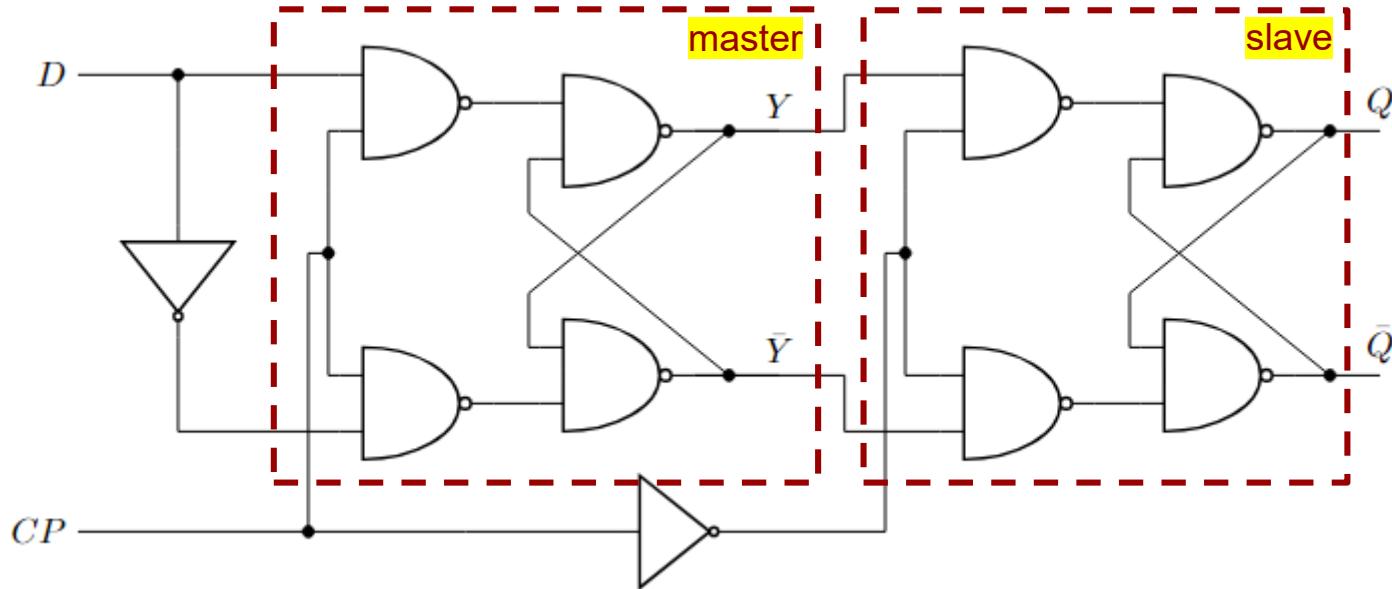
# D 플립플롭

- 예, 예지 트리거 D 플립플롭 동작 파형



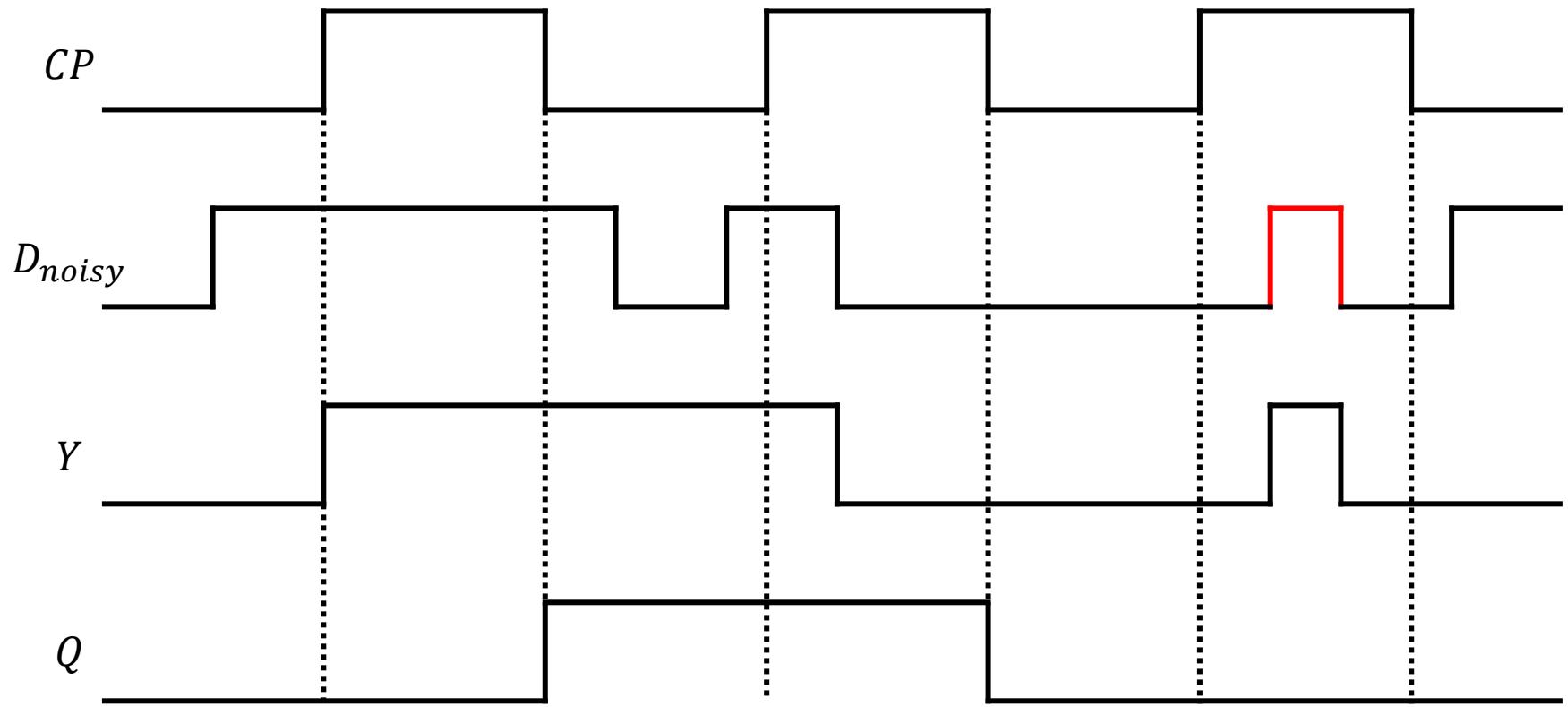
# D 플립플롭

- 주종형 D 플립플롭



# D 플립플롭

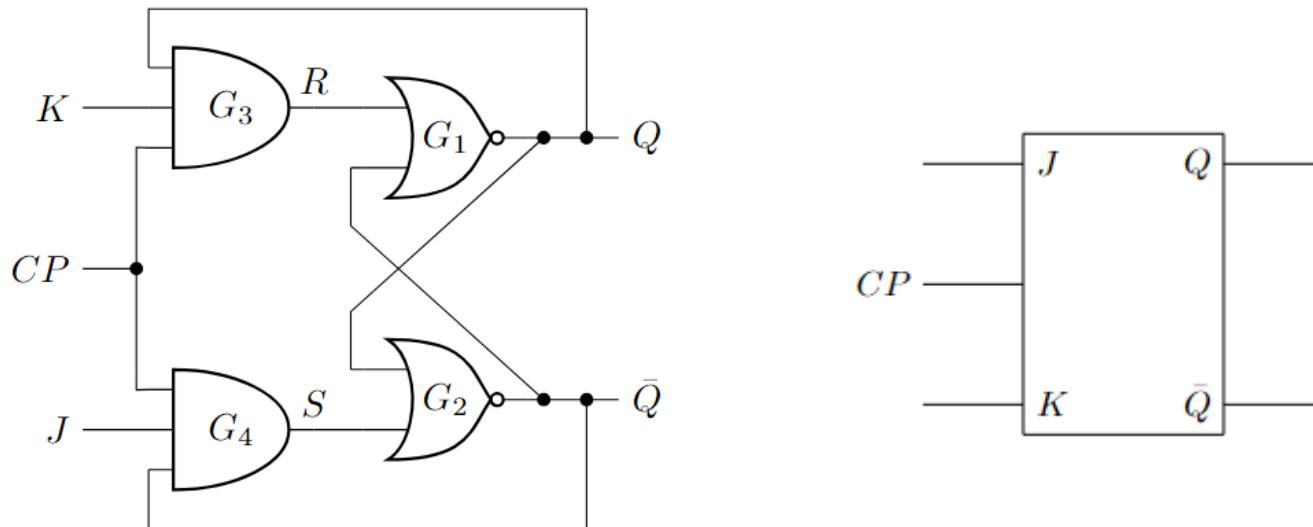
- 예, 주종형 D 플립플롭 동작 파형



# JK 플립플롭

## ■ 클록형 JK 플립플롭

- SR 플립플롭의  $S = R = 1$ 인 경우 출력 상태가 불안정하다는 문제점을 해결하는 방법임
- J는 S(set)에, K는 R(reset)에 대응하는 입력임
- $J = K = 1$ 인 경우 출력은 이전 출력의 보수 상태로 바뀐다는 특성이 있음





# JK 플립플롭

## ■ 클록형 JK 플립플롭 동작

- $J = 0, K = 0$ 이면  $G_3$ 과  $G_4$ 의 출력이 모두 0이 되므로  $G_1$ 과  $G_2$ 로 구성된 SR 래치는 출력이 변하지 않음
- $J = 0, K = 1$ 이면  $G_4$ 의 출력은 0이 되고,  $G_3$ 의 출력은  $Q(t) \cdot K \cdot CP$ 인데  $K = 1, CP = 1$ 이므로  $Q(t)$ 가 됨.

CP	$Q(t)$	$G_3$ 의 출력	SR 래치 입력	$Q(t + 1)$
1	0	0	$S = 0, R = 0$	$Q(t) = 0$
1	1	1	$S = 0, R = 1$	0

- $J = 1, K = 0$ 이면  $G_3$ 의 출력은 0이 되고,  $G_4$ 의 출력은  $\bar{Q}(t) \cdot J \cdot CP$ 인데  $J = 1, CP = 1$ 이므로  $\bar{Q}(t)$ 가 됨.

CP	$\bar{Q}(t)$	$G_4$ 의 출력	SR 래치 입력	$Q(t + 1)$
1	0	0	$S = 0, R = 0$	$Q(t) = 1$
1	1	1	$S = 1, R = 0$	1



# JK 플립플롭

## ■ 클록형 JK 플립플롭 동작

- $J = 1, K = 1$ 이면  $G_3$ 의 출력은  $Q(t) \cdot K \cdot CP$ 이며,  $G_4$ 의 출력은  $\bar{Q}(t) \cdot J \cdot CP$  가 됨.

CP	$Q(t)$	$\bar{Q}(t)$	$G_3$ 의 출력	$G_4$ 의 출력	SR 래치 입력	$Q(t + 1)$
1	0	1	0	1	$S = 1, R = 0$	1
1	1	0	1	0	$S = 0, R = 1$	0

진리표

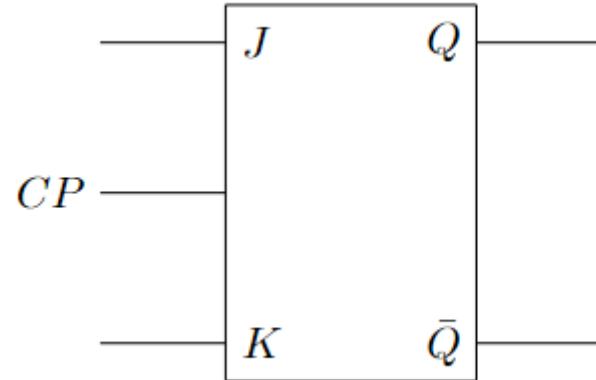
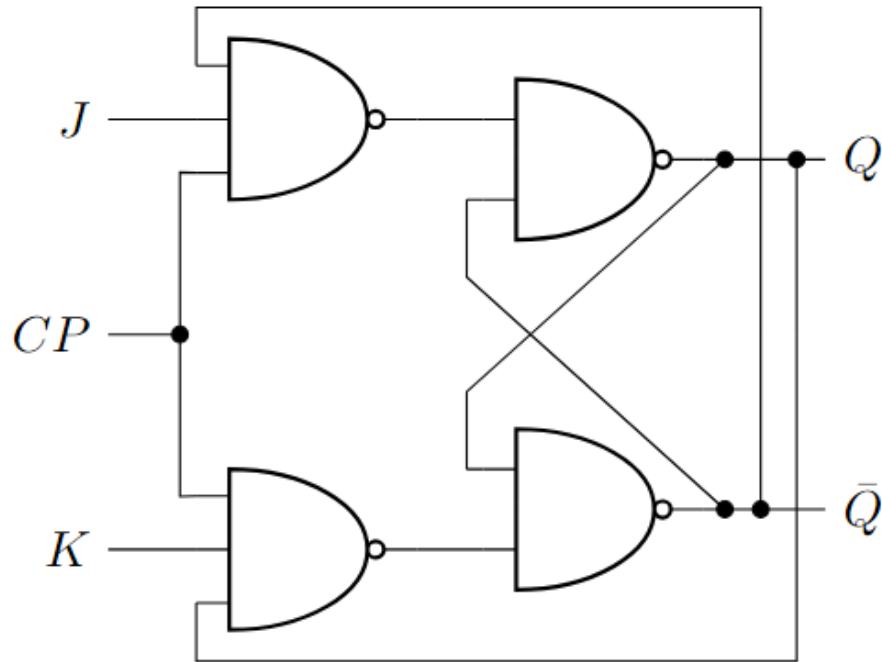
CP	$J$	$K$	$Q(t + 1)$
0	X	X	$Q(t)$ (불변)
1	0	0	
1	0	1	0
1	1	0	1
1	1	1	$\bar{Q}(t)$ (toggle)

진리표

$Q(t)$	$J$	$K$	$Q(t + 1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

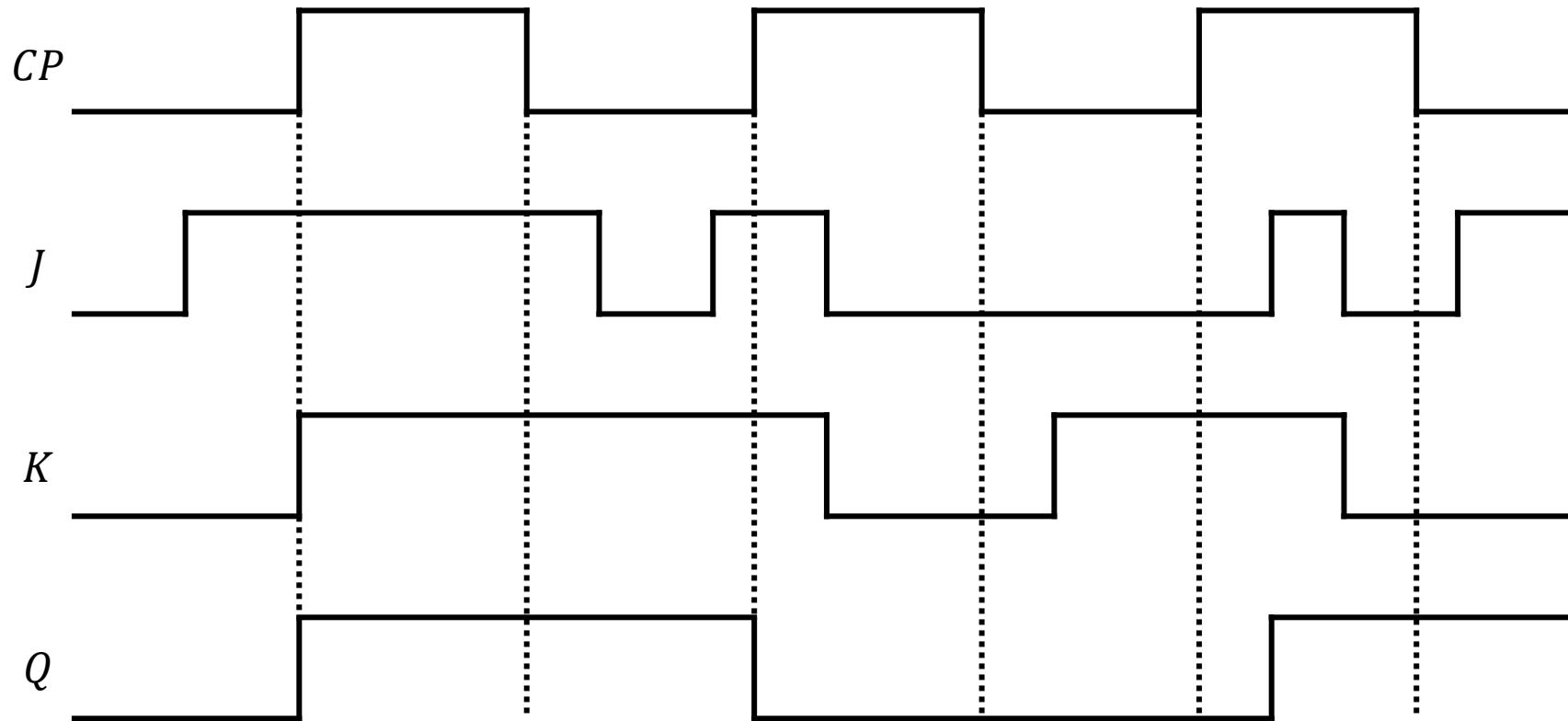
# JK 플립플롭

- NAND 게이트로 구성된 클록형 JK 플립플롭 동작



# JK 플립플롭

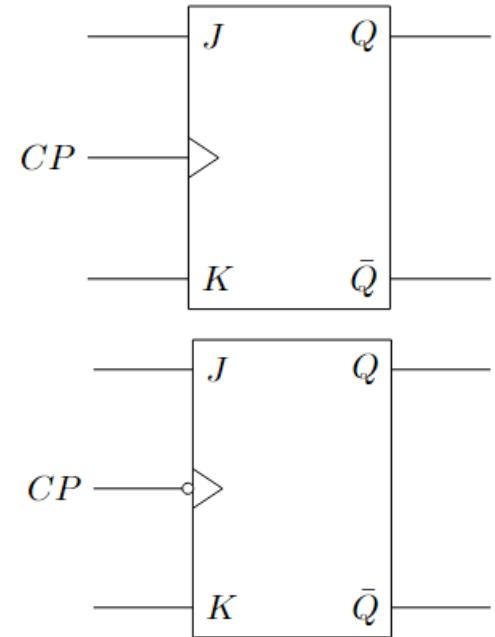
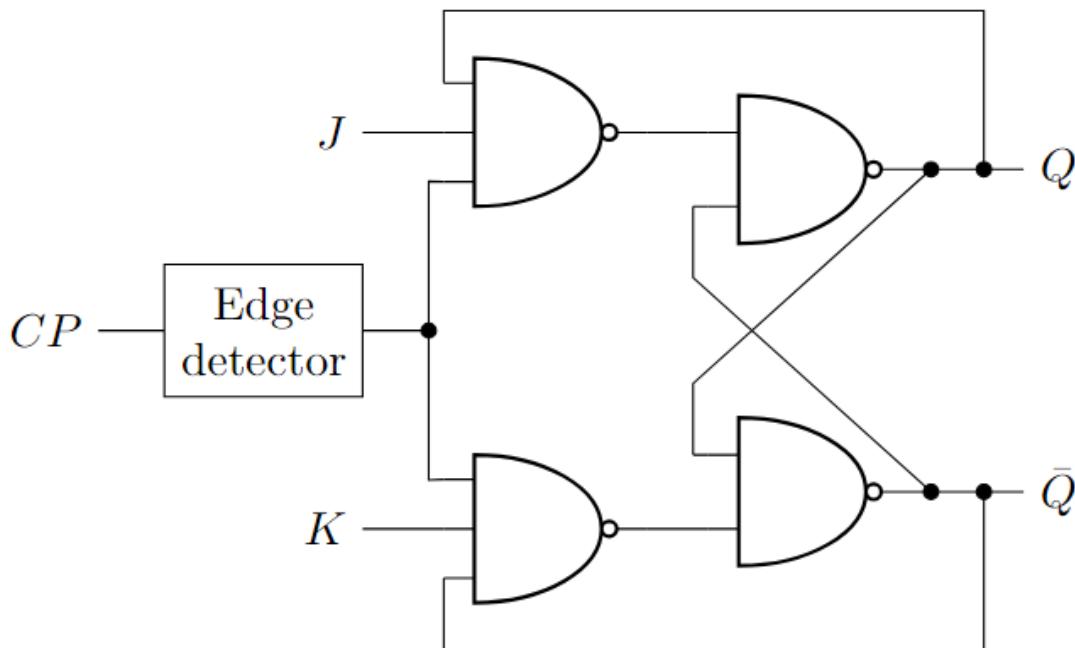
- 예, 클록형 JK 플립플롭 동작 파형



# JK 플립플롭

## ■ 에지 트리거 JK 플립플롭

- 클록형 JK 플립플롭의 클록 펄스 입력에 펄스 전이 검출기(edge detector)를 추가하여 구성할 수 있음

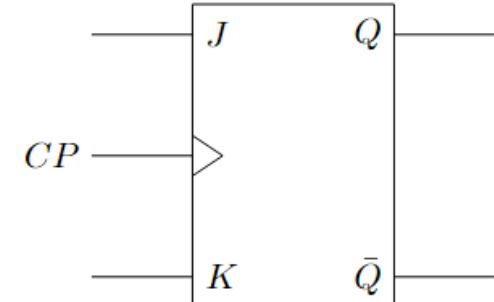


# JK 플립플롭

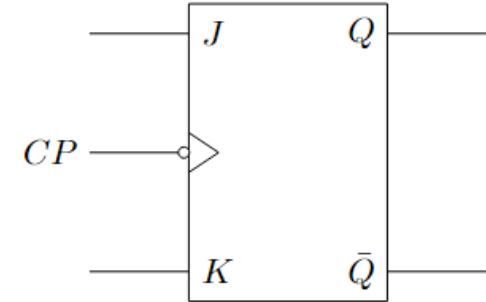
## ■ 에지 트리거 JK 플립플롭

- 클록형 JK 플립플롭의 클록 펄스 입력에 펄스 전이 검출기(edge detector)를 추가하여 구성할 수 있음

$CP$	$J$	$K$	$Q(t + 1)$
$\uparrow$	0	0	$Q(t)$ (불변)
$\uparrow$	0	1	0
$\uparrow$	1	0	1
$\uparrow$	1	1	$\bar{Q}(t)$ (toggle)

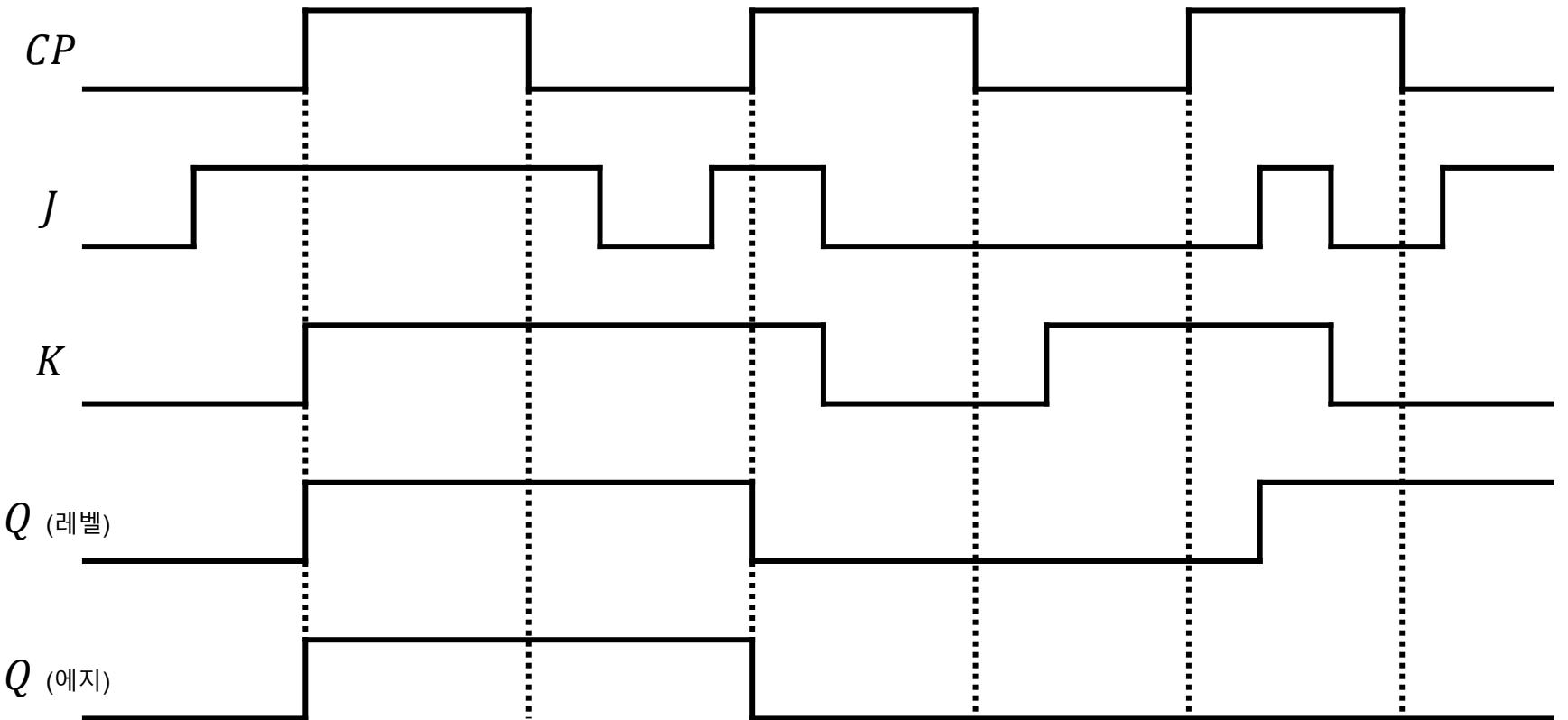


$CP$	$J$	$K$	$Q(t + 1)$
$\downarrow$	0	0	$Q(t)$ (불변)
$\downarrow$	0	1	0
$\downarrow$	1	0	1
$\downarrow$	1	1	$\bar{Q}(t)$ (toggle)



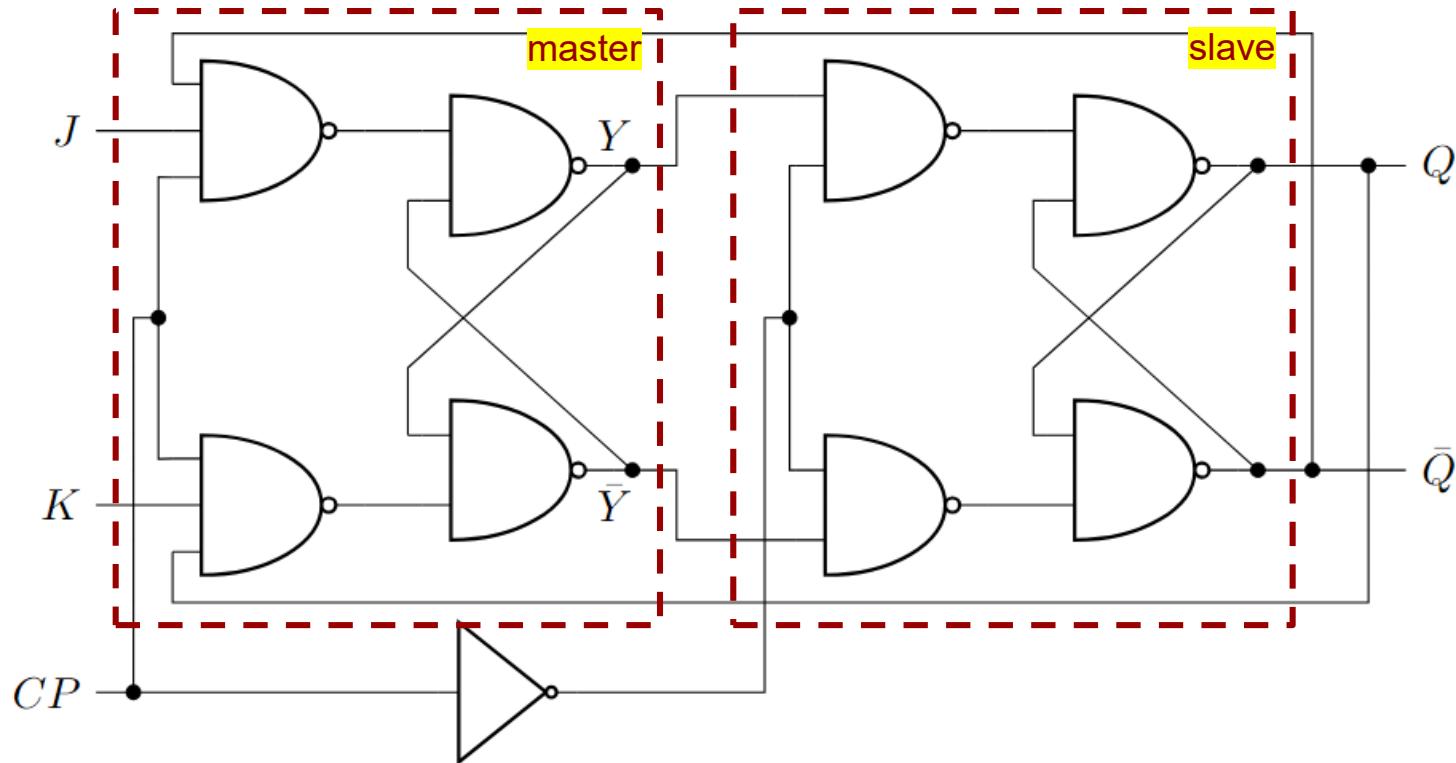
# JK 플립플롭

- 예, 에지 트리거 JK 플립플롭 동작 파형



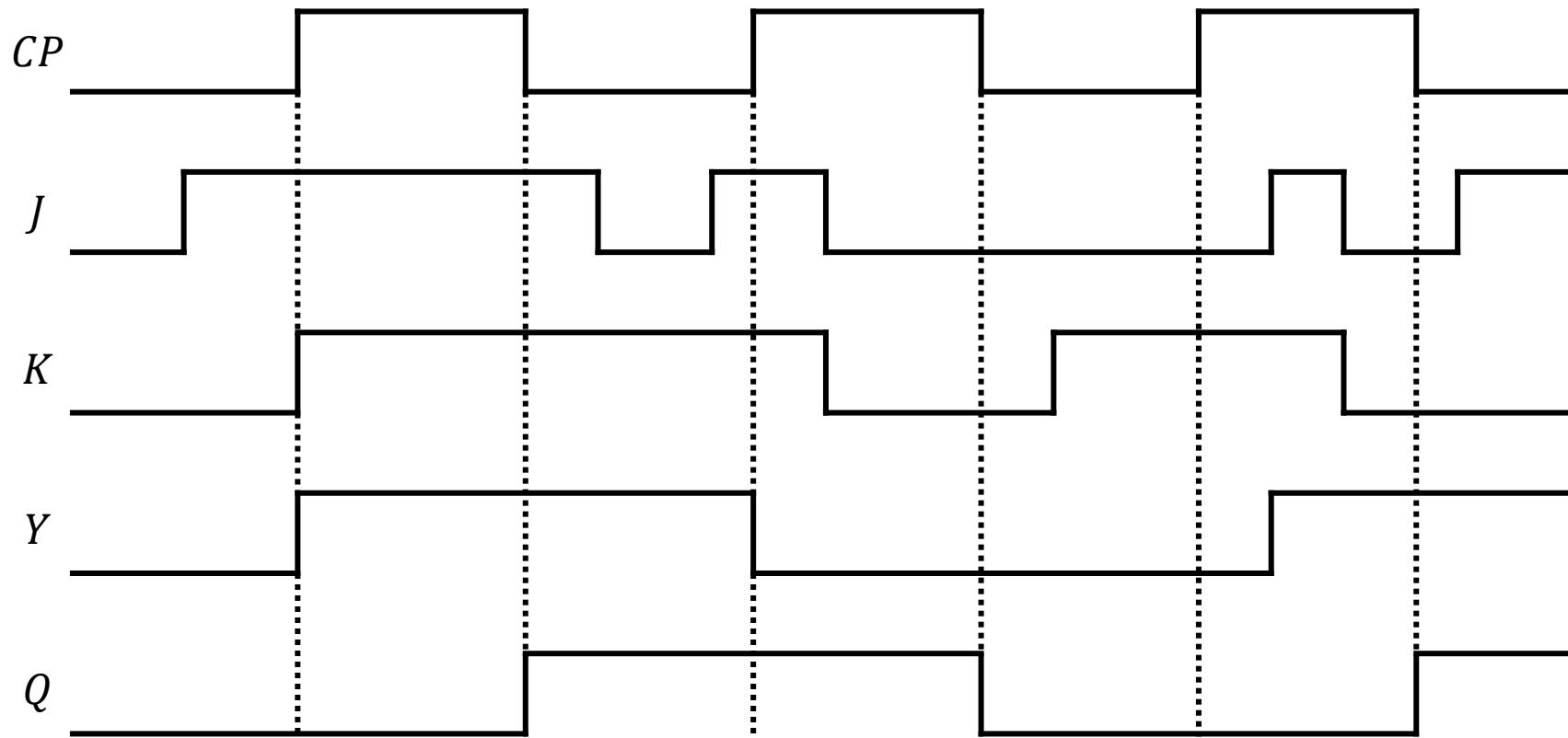
# JK 플립플롭

- 주종형 JK 플립플롭



# JK 플립플롭

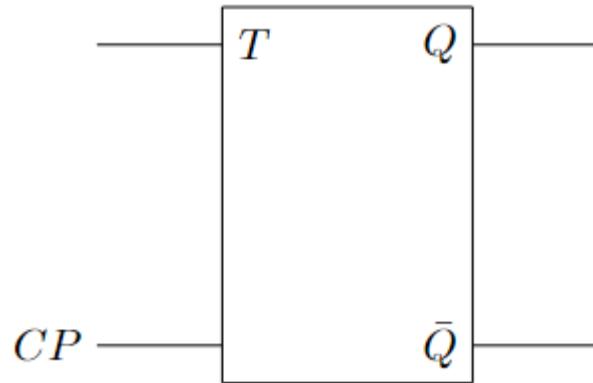
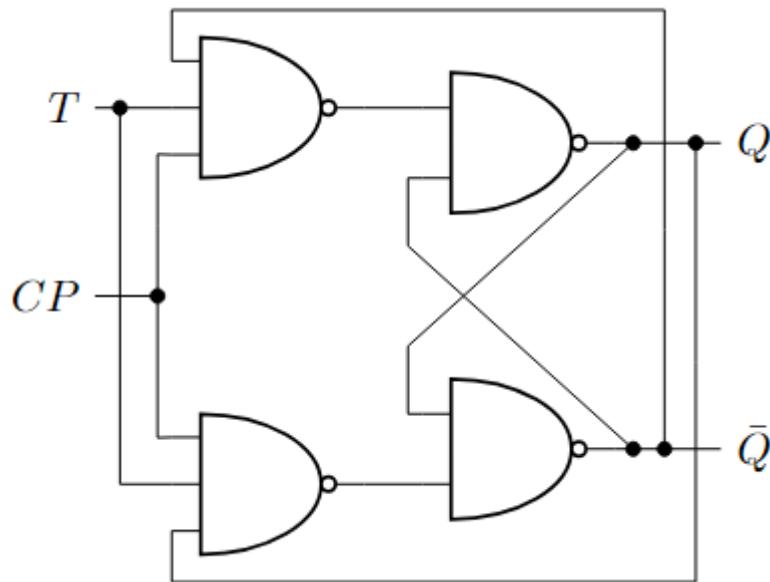
- 예, 주종형 JK 플립플롭 동작 파형



# T 플립플롭

## ■ 클록형 T 플립플롭

- JK 플립플롭의 J와 K 입력을 묶어서 한 입력 신호 T로 동작시킴
- 토글(**toggle**) 플립플롭이라고 함

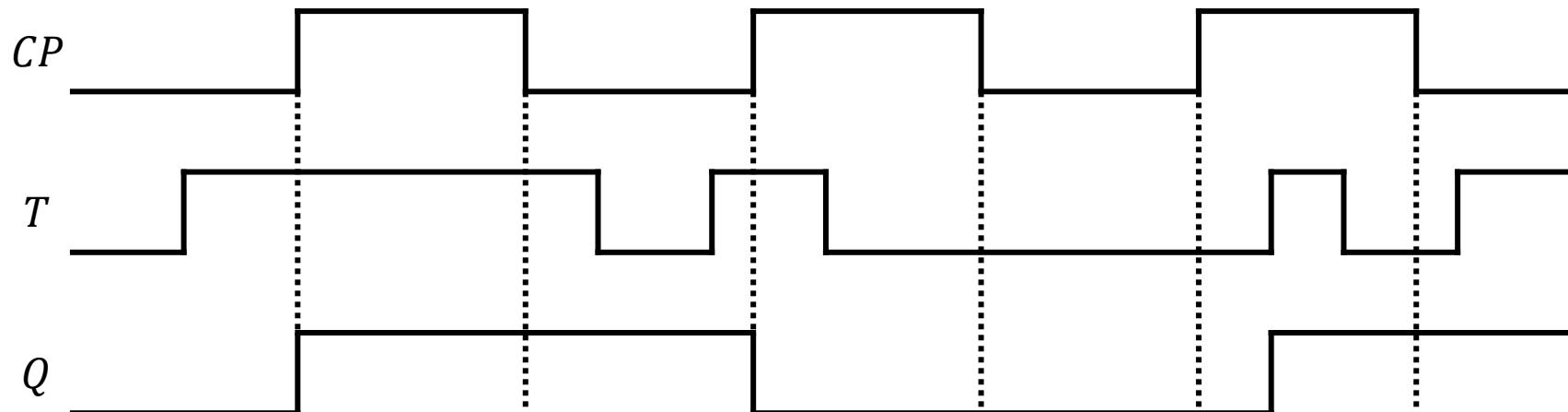


# T 플립플롭

## ■ 클록형 T 플립플롭 동작

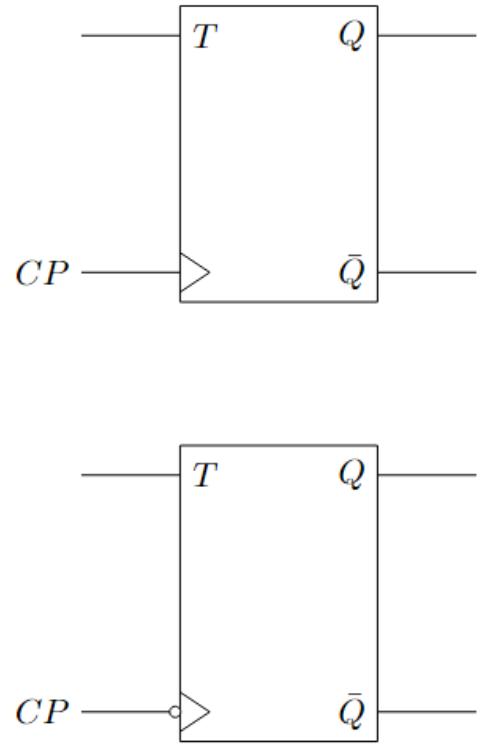
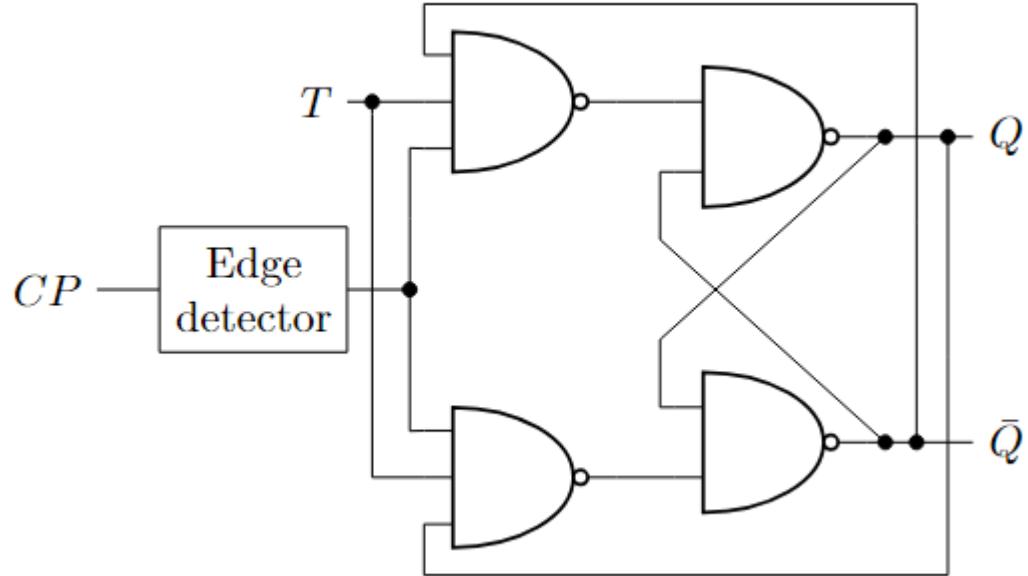
$CP$	$T$	$Q(t + 1)$
0	X	$Q(t)$ (불변)
1	0	
1	1	$\bar{Q}(t)$ (toggle)

$Q(t)$	$T$	$Q(t + 1)$
0	0	0
0	1	1
1	0	1
1	1	0



# T 플립플롭

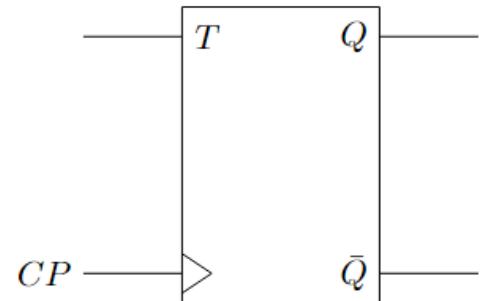
- 에지 트리거 T 플립플롭



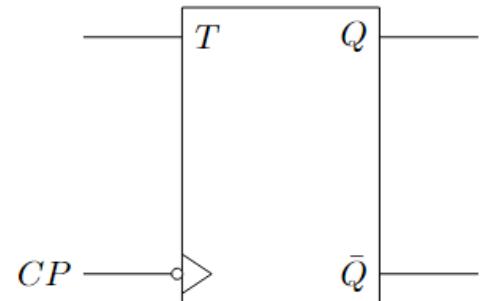
# T 플립플롭

- 에지 트리거 T 플립플롭

<b>CP</b>	<b>T</b>	<b><math>Q(t + 1)</math></b>
↑	0	$Q(t)$
↑	1	$\bar{Q}(t)$

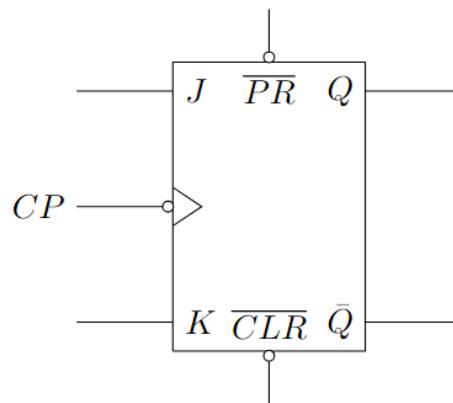


<b>CP</b>	<b>T</b>	<b><math>Q(t + 1)</math></b>
↓	0	$Q(t)$
↓	1	$\bar{Q}(t)$



# 비동기 입력

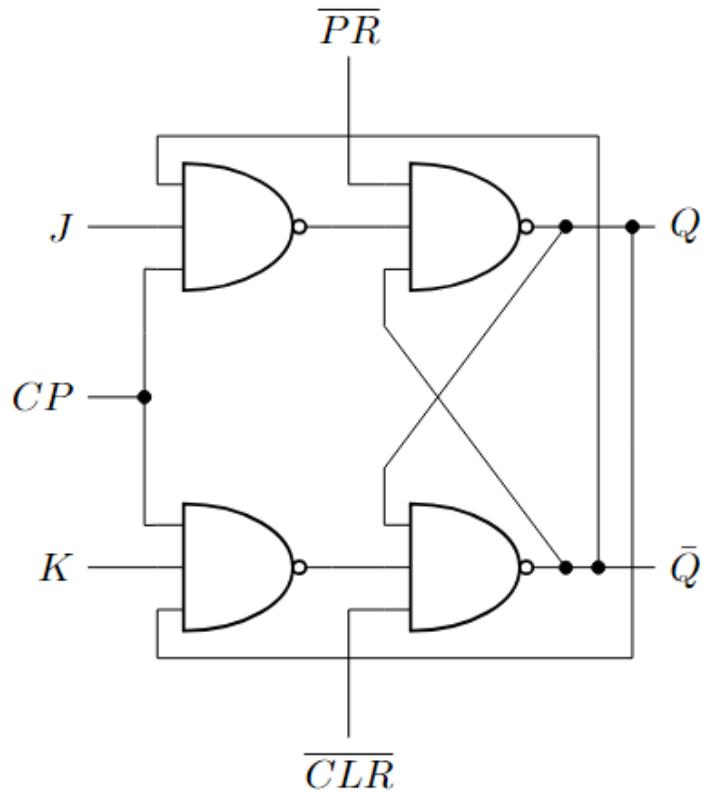
- 설명한 SR, D, JK, T 플립플롭은 클록 펄스가 동작하는 동안에만 플립플롭이 동작하며, 입력 데이트는 클록 펄스에 동기되어 출력에 전달되므로 **동기 입력**(synchronous input)라고 함
- 클록 펄스와 관계없이 플립플롭의 상태를 비동기식으로 변화시킬 수 있는 **비동기 입력**인 preset( $\overline{PR}$ )와 clear( $\overline{CLR}$ ) 입력이 있음



$\overline{PR}$	$\overline{CLR}$	$CP$	$J$	$K$	$Q(t + 1)$
0	1	X	X	X	1
1	0	X	X	X	0
1	1	↓	0	0	불변
1	1	↓	0	1	0
1	1	↓	1	0	1
1	1	↓	1	1	토글

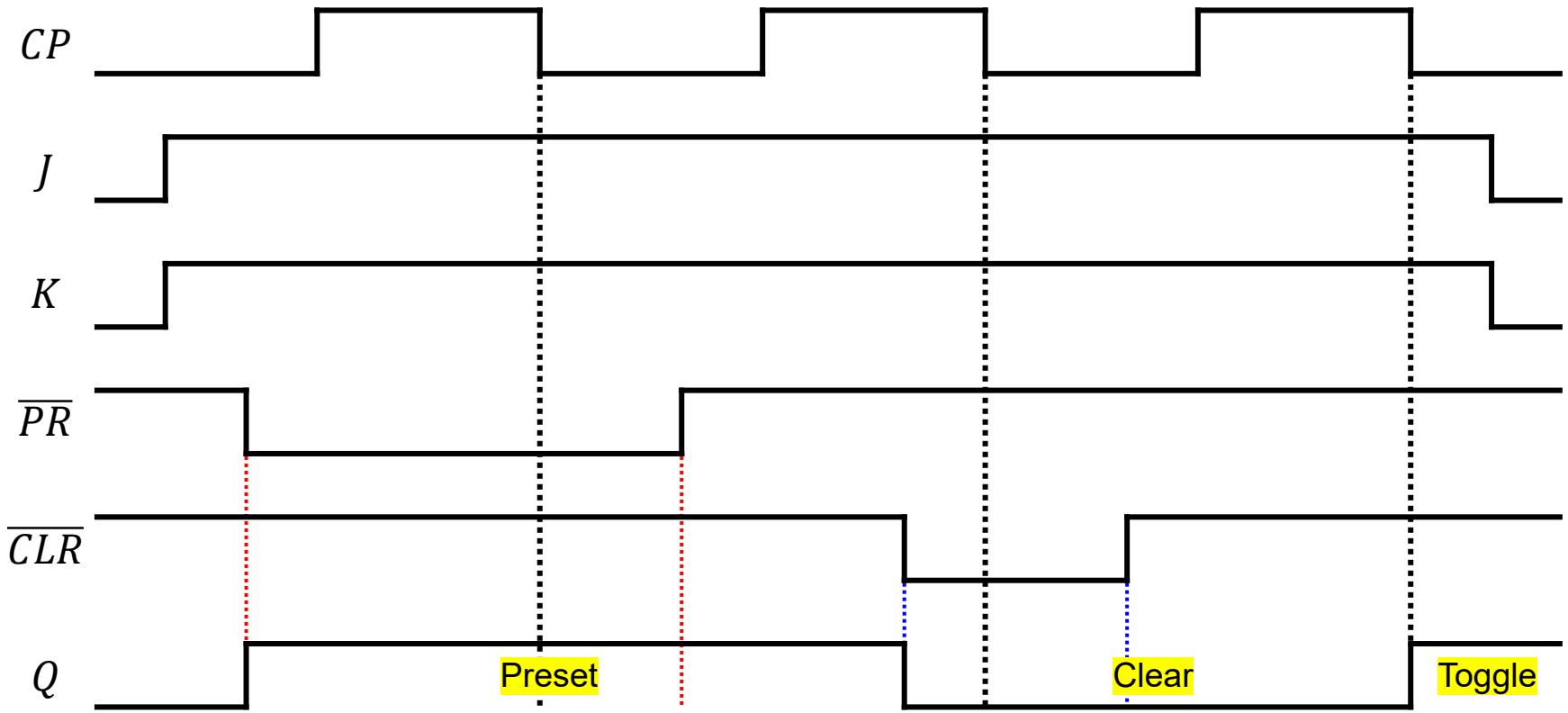
# 비동기 입력

- Preset 입력과 clear 입력이 있는 JK 플립플롭의 논리회로



# 비동기 입력

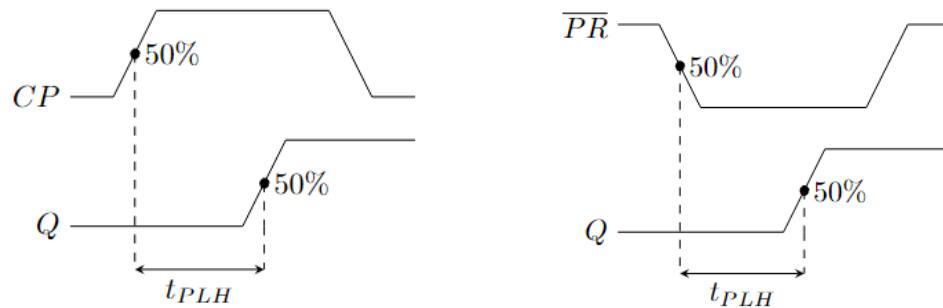
- Preset 입력과 clear 입력이 있는 JK 플립플롭의 동작 파형



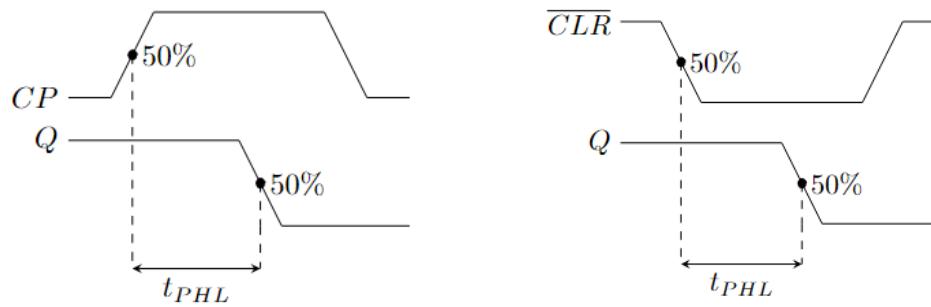
# 플립플롭 동작 특성

- 전파 지연 시간(**propagation delay time**)

- $t_{PLH}$  : 논리 0에서 논리 1까지의 시간



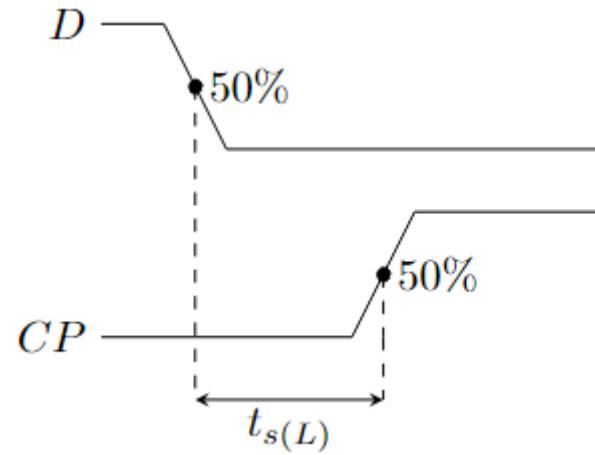
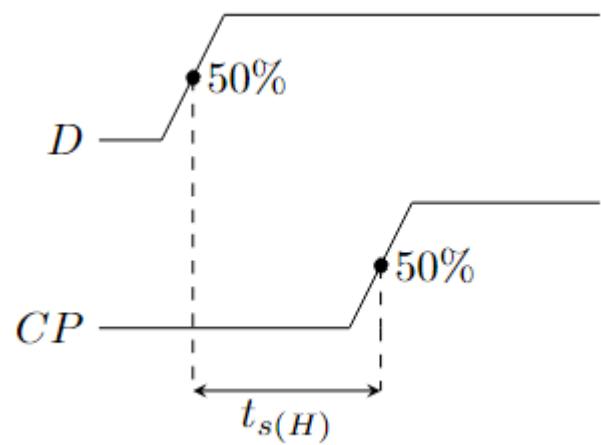
- $t_{PHL}$  : 논리 1에서 논리 0까지의 시간



# 플립플롭 동작 특성

## ■ 설정 시간(set-up time)

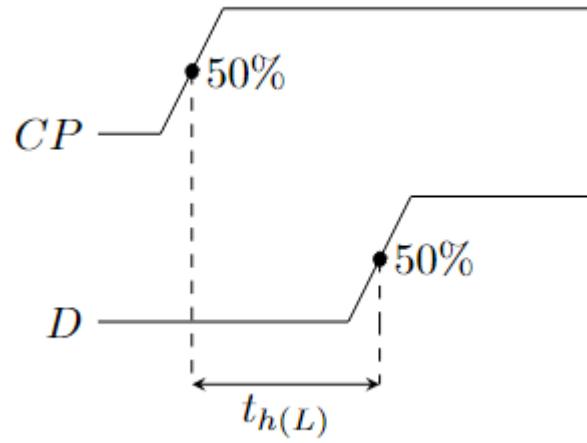
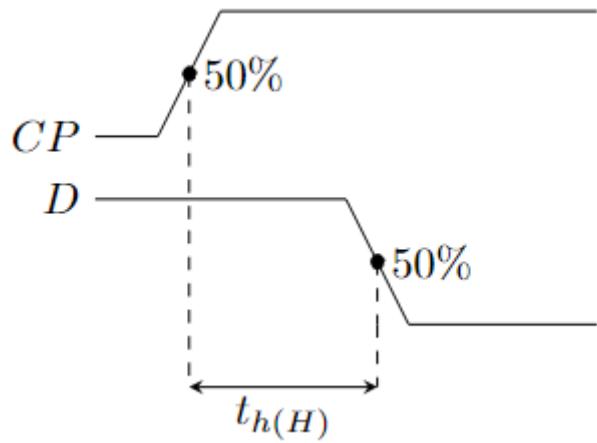
- 클록 펄스의 트리거 에지 전이 전에 입력값은 일정 시간 동안 유지해 주어야 하는데 이 때 필요한 시간 간격을 설정 시간이라고 함



# 플립플롭 동작 특성

## ■ 유지 시간(hold time)

- 플립플롭의 정상적인 동작을 위해서 클록 펄스가 트리거 에지 전이 후에 도 입력값이 변하면 안 되는 일정한 시간이 있는데, 이 때 필요한 시간 간격을 유지 시간이라고 함



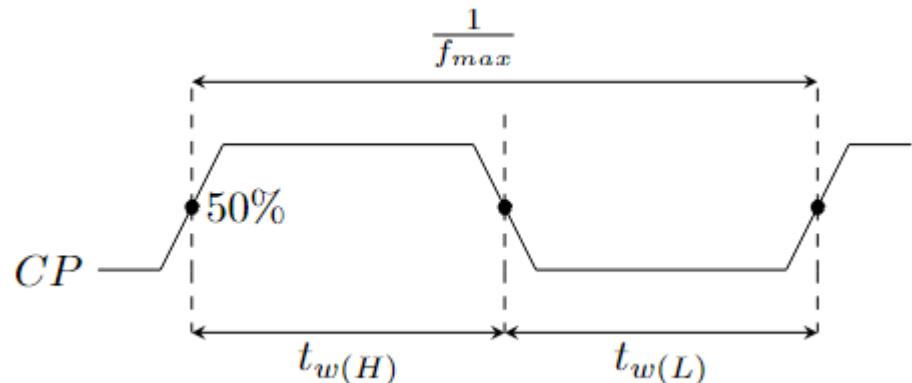
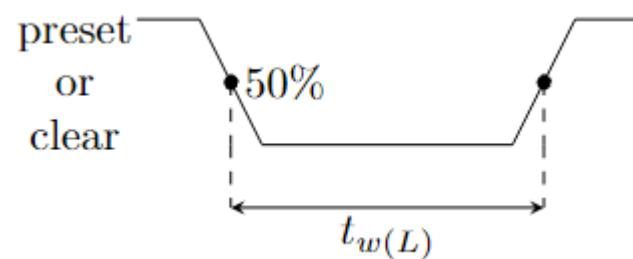
# 플립플롭 동작 특성

## ■ 펄스 폭(pulse width)

- 플립플롭이 정확하게 동작하기 위해서 클록 펄스의 상승 에지 또는 하강 에지의 펄스 폭이 어느 정도 유지되어야 함
- 플립플롭이 정확하게 동작하기 위한 최소 펄스 폭( $t_w$ )은 플립플롭의 preset과 clear 입력의 펄스로 규정함

## ■ 최대 클록 주파수(maximum clock frequency)

- 플립플롭이 안전하게 동작할 수 있는 최대 주파수임





# 플립플롭 동작 특성

## ■ 전력 소모(**power dissipation**)

- 플립플롭이 동작하는 데 필요한 전체 전력을 나타냄
- 플립플롭의 공급 전압  $V_{CC}$ 와 평균 공급 전류  $I_{CC}$ 의 곱으로 정의됨

$$P = V_{CC} \times I_{CC}$$

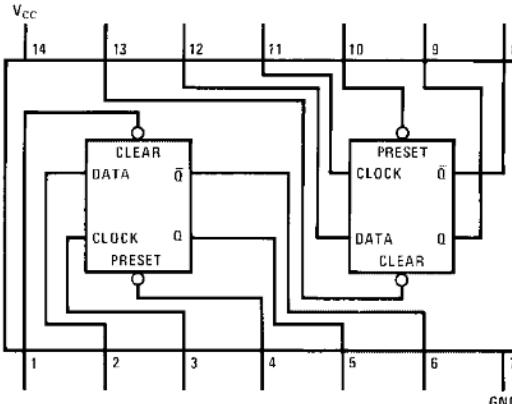
## ■ 기타 특성

- 플립플롭이 디지털 논리 게이트와 동일하게 다음과 같은 특성을 갖음
  - 잡음 여유도
  - 팬-아웃(fanout)
  - 팬-인(fanin)



# 플립플롭 동작 특성

- 예, MM74C74 : CMOS D 플립플롭



## AC Electrical Characteristics (Note 3)

$T_A = 25^\circ\text{C}$ ,  $C_L = 50 \text{ pF}$ , unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$C_{IN}$	Input Capacitance	Any Input (Note 4)		5.0		pF
$t_{pd}$	Propagation Delay Time to a Logical "0" $t_{pd0}$ or Logical "1" $t_{pd1}$ from Clock to Q or $\bar{Q}$	$V_{CC} = 5V$ $V_{CC} = 10V$		180 70	300 110	ns
$t_{pd}$	Propagation Delay Time to a Logical "0" from Preset or Clear	$V_{CC} = 5V$ $V_{CC} = 10V$		180 70	300 110	ns
$t_{pd}$	Propagation Delay Time to a Logical "1" from Preset or Clear	$V_{CC} = 5V$ $V_{CC} = 10V$		250 100	400 150	ns
$t_{S0}, t_{S1}$	Time Prior to Clock Pulse that Data Must be Present $t_{SETUP}$	$V_{CC} = 5V$ $V_{CC} = 10V$	100 40	50 20		ns
$t_{H0}, t_{H1}$	Time after Clock Pulse that Data Must be Held	$V_{CC} = 5V$ $V_{CC} = 10V$		-20 -8.0	0 0	ns
$t_{PW1}$	Minimum Clock Pulse Width ( $t_{WL} = t_{WH}$ )	$V_{CC} = 5V$ $V_{CC} = 10V$		100 40	250 100	ns
$t_{PW2}$	Minimum Preset and Clear Pulse Width	$V_{CC} = 5V$ $V_{CC} = 10V$		100 40	160 70	ns
$t_r, t_f$	Maximum Clock Rise and Fall Time	$V_{CC} = 5V$ $V_{CC} = 10V$	15.0 5.0			ns
$f_{MAX}$	Maximum Clock Frequency	$V_{CC} = 5V$ $V_{CC} = 10V$	2.0 5.0	3.5 8.0		MHz
$C_{PD}$	Power Dissipation Capacitance	(Note 5)		40		pF

Source: Fairchild Semiconductor, *Datasheet*, <https://www.alldatasheet.com/datasheet-pdf/view/53720/> (accessed on 2024.08.05).