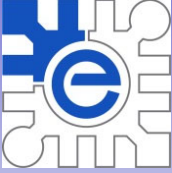




Universidad  
de Alcalá



Departamento  
de  
Electrónica

# Modelado de Sistemas Computacionales

Grado en Ingeniería de Computadores

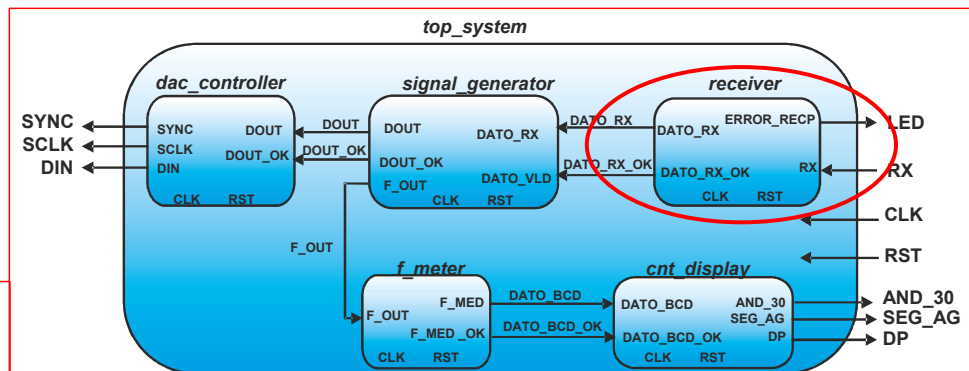
## Práctica libre: Generador de señal controlado desde un puerto serie RS232

### Apartado 5

#### Entidad receiver

□ Entidad receiver.

Implementa el receptor del puerto serie (protocolo RS-232)



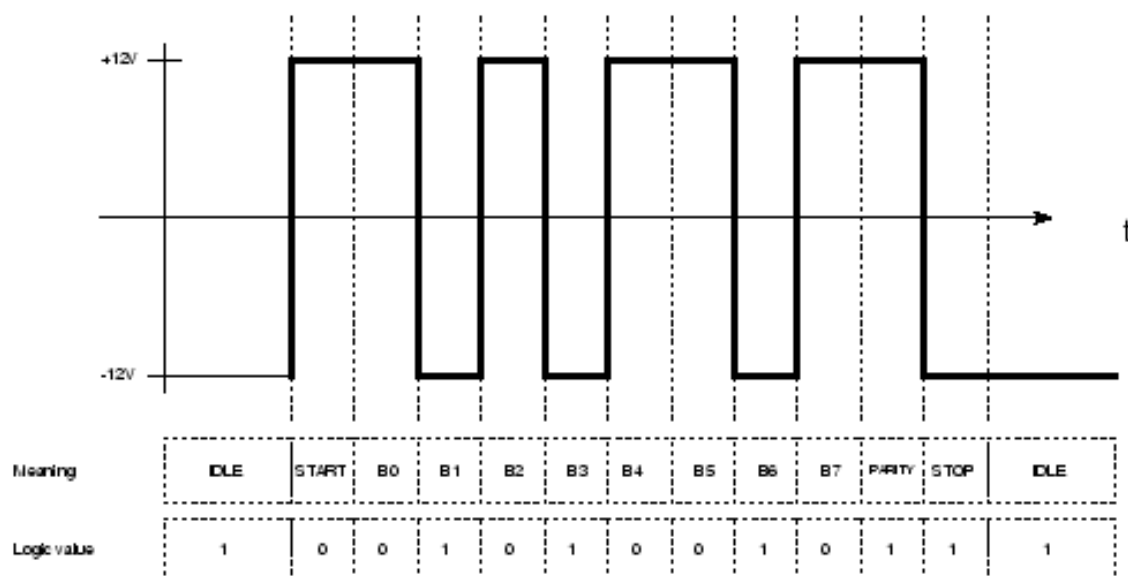
Proporcionando en su salida **DATO\_RX** el dato transmitido, siempre y cuando este sea correcto, junto con una salida adicional, **DATO\_RX\_OK**, que se pone a nivel alto durante un periodo de la señal de reloj para indicar que se ha recibido un dato correcto

```
entity receiver is
  port (
    CLK          : in  std_logic;
    RST          : in  std_logic;
    RX           : in  std_logic;
    DATO_RX      : out std_logic_vector(7 downto 0);
    ERROR_RECIP  : out std_logic;
    DATO_RX_OK   : out std_logic;
  );
end receiver;
```

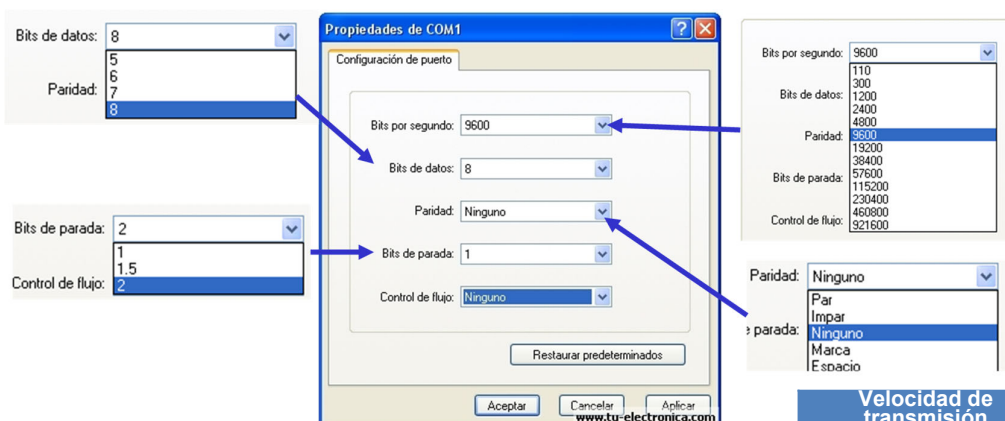
*¡Este módulo no hay que diseñarlo!*

## El puerto serie .

RS232 Transmission of the letter 'J'



## Entidad receiver.



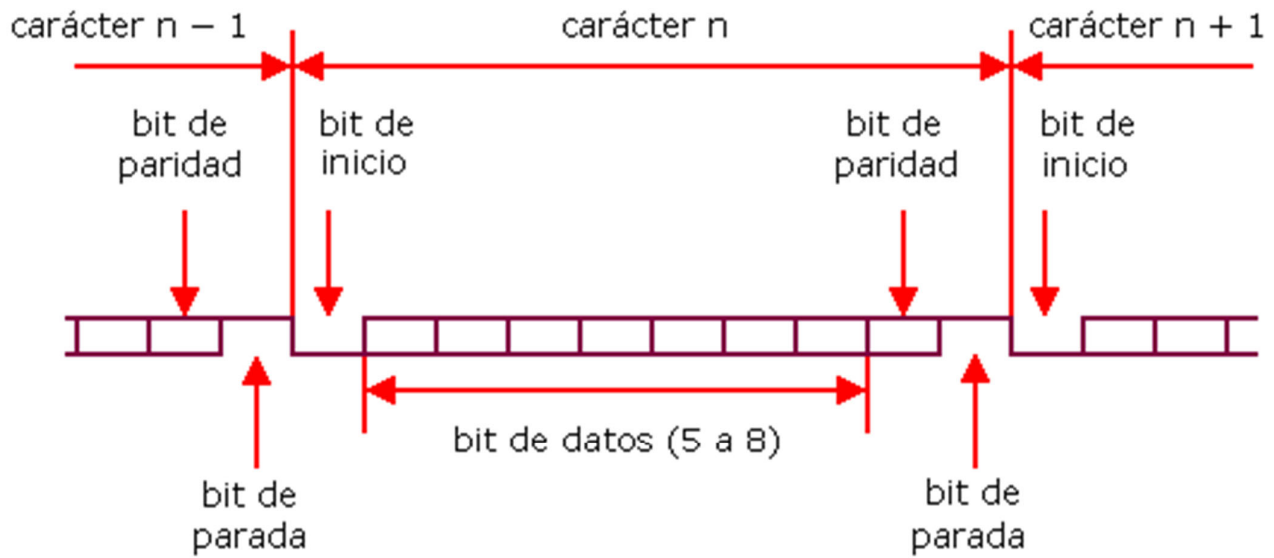
El tamaño del dato es de 8 bits.

El tipo de paridad es impar. El bit de paridad es cero (0) si el dato tiene un número impar de unos.

El número de bits de parada es igual a uno

La velocidad de transmisión es 921600 baudios

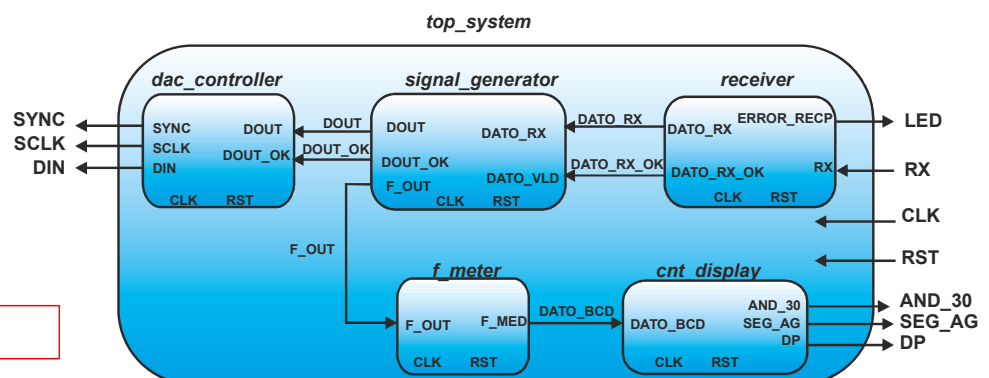
Velocidad de transmisión (Baudios)	Duración de un bit de la trama (µs)
110	9090,91
300	3333,33
600	1666,67
1200	833,33
4800	208,33
9600	104,17
19200	52,08
38400	26,04
57600	17,36
115200	8,68
230400	4,34
460800	2,17
921600	1,09



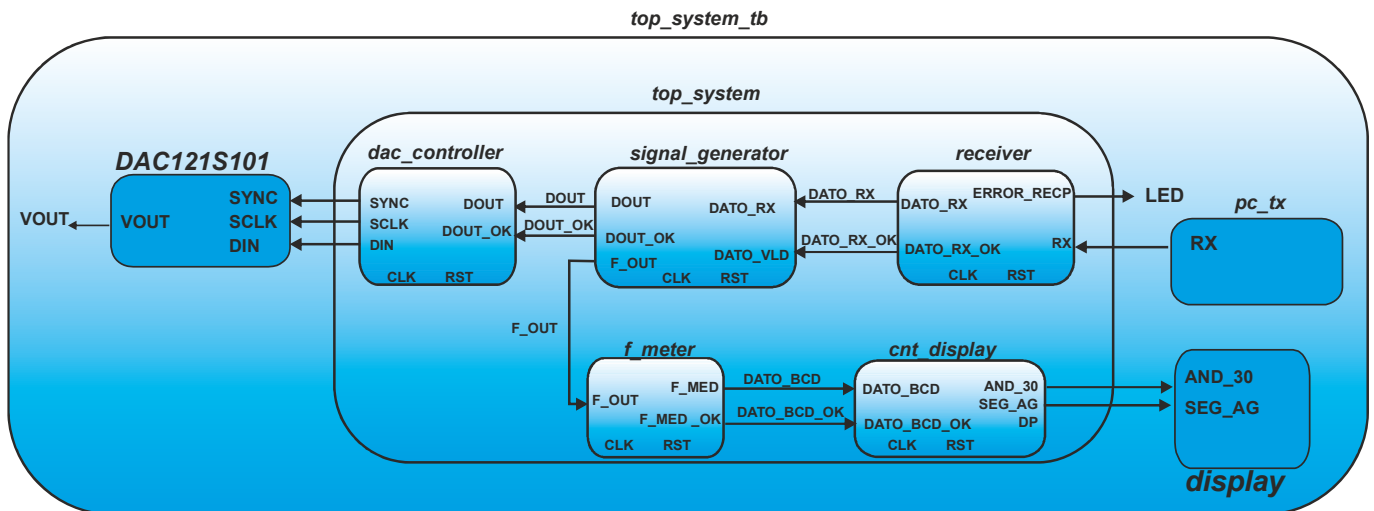
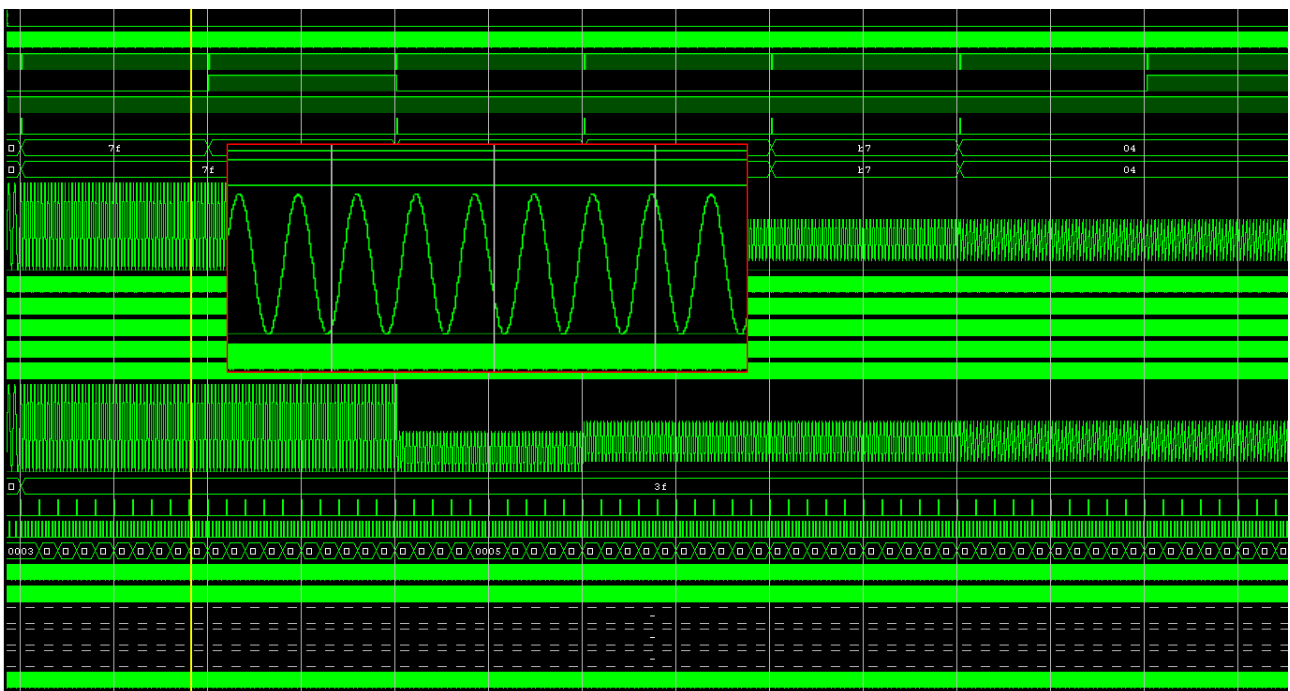
## Entidad top\_system

Entidad top\_system.

Integra todos los módulos



```
entity top_system is
  port (RST      : in  std_logic;
        CLK      : in  std_logic;
        --SERIAL PORT
        RX       : in  std_logic;
        LED      : out std_logic;
        -- DAC
        SYNC     : out std_logic;
        SCLK     : out std_logic;
        DIN      : out std_logic;
        --display
        DP       : out std_logic;
        SEG_AG   : out std_logic_vector(6 downto 0); -- gfedcba
        AND_30   : out std_logic_vector(3 downto 0));
end top_system;
```

☐ Test-bench.

☐ Resultado de la simulación.




☐ Descarga en placa.

```
# clock
set_property PACKAGE_PIN W5 [get_ports {CLK}]
set_property IOSTANDARD LVCMOS33 [get_ports {CLK}]

#RST
set_property PACKAGE_PIN T18 [get_ports {RST}]
set_property IOSTANDARD LVCMOS33 [get_ports {RST}]

##USB-RS232 Interface
set_property PACKAGE_PIN B18 [get_ports RX]
set_property IOSTANDARD LVCMOS33 [get_ports RX]

# DAC (JC)
set_property PACKAGE_PIN K17 [get_ports {SYN}]
set_property IOSTANDARD LVCMOS33 [get_ports {SYN}]
set_property PACKAGE_PIN P18 [get_ports {SCL}]
set_property IOSTANDARD LVCMOS33 [get_ports {SCL}]
set_property PACKAGE_PIN M18 [get_ports {DIN}]
set_property IOSTANDARD LVCMOS33 [get_ports {DIN}]

##7 segment display
set_property PACKAGE_PIN W7 [get_ports {SEG_A}]
set_property IOSTANDARD LVCMOS33 [get_ports {SEG_A}]
set_property PACKAGE_PIN W6 [get_ports {SEG_B}]
set_property IOSTANDARD LVCMOS33 [get_ports {SEG_B}]
. . . . .
```

