



# Modelado de Sistemas Computacionales

# Grado en Ingeniería de Computadores

Tema 0: Circuitos digitales

## Códigos de Numeración



☐ Sistemas de numeración.

**b = 10** (*decimal*) {0,1,2,3,4,5,6,7,8,9}

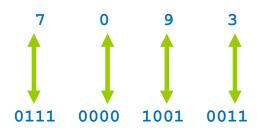
 $b = 2 (binario) \{0,1\}$ 

**b = 8** (octal)  $\{0,1,2,3,4,5,6,7\}$ 

**b = 16** (*hexadecimal*) {0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F}

BCD (Binary-Coded Decimal). Cada digito decimal se codifica en su secuencia binaria equivalente de 4 bits.

Decimal	BCD
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001





☐ Codificación *one-hot* cada código tiene un único bit a 1.

Decimal	One-hot
0	00000001
1	00000010
2	00000100
3	00001000
4	00010000
5	00100000
6	01000000
7	10000000

☐ Código *Gray*, dos valores consecutivos se diferencian solo en un bit.

Decimal	Código Gray	
0	000	
1	001	
2	011	
3	010	
4	110	
5	111	
6	101	
7	100	

Modelado de Sistemas Computacionales (GIC)

3



## Códigos de Numeración

□ Código *Johnson.* un valor es igual al anterior desplazado u bit a la izquierda, siendo el bit menos significativo igual al más significativo negado.

Decimal	Código Johnson
0	00000
1	00001
2	00011
3	00111
4	01111
5	11111
6	11110
7	11100
8	11000
9	10000





■ Seguidor, buffer: La salida sigue a la entrada.

$$S=a$$







■ NOT, inversor: La salida es la inversa de la entrada

$$S=\overline{a}$$

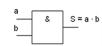




□ AND, producto lógico: la salida es 1 sólo cuando todas las entradas son 1.

$$S=a \cdot b$$



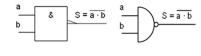




■ NAND: la salida es 0 sólo cuando todas las entradas son 1.

$$S = \overline{a \cdot b}$$





Modelado de Sistemas Computacionales (GIC)

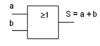
5

Puertas Lógicas Básicas

# OR, suma lógica: la salida es $\theta$ sólo si todas las entradas son $\theta$ . La salida es 1 cuando alguna de las entradas es 1.

$$S=a+b$$



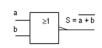




□ NOR: la salida es 1 sólo si todas las entradas son 0. La salida es 0 cuando alguna de las entradas es 1.

$$S = \overline{a+b}$$

а	b	S
0	0	1
0	1	0
1	0	0
1	1	0

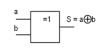




☐ XOR, OR Exclusiva: la salida es 1 cuando el número de entradas a 1 es impar (considerando el 0 par).

$$S=a \oplus b=\overline{a}b+a\overline{b}$$







☐ XNOR, NOR Exclusiva: la salida es 1 cuando el número de entradas a 1 es par (considerando el 0 par).

$$S = \overline{a} \oplus b = ab + \overline{a}\overline{b}$$

	Ь	S	l
0	0	1	
0	1	0	
1	0	0	1
1	1	1	

$$\begin{array}{ccc}
a & & \\
b & & \\
\end{array}$$





- □ Propiedades de las puertas XOR
  - XOR de 2 entradas

а	b	S
0	0	0
0	1	1
1	0	1
1	1	0

1. Si una de las entradas se pone a 0 la salida es igual a la otra entrada.



2. Si una de las entradas se pone a 1 la salida es igual a la otra entrada negada.



❖ XOR de *n* entradas

а	b	С	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

1. La salida será 1 cuando el numero de entradas a nivel alto (1) es impar.

Esta propiedad se utiliza para implementar los detectores de paridad en algunos sistemas de transmisión de datos.

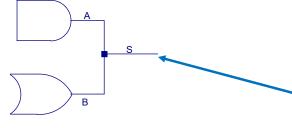
Modelado de Sistemas Computacionales (GIC)

7



### Puertas Lógicas Básicas

■ Nunca se deben conectar dos o más salidas.



Α	В	S
0	0	0
0	1	?
1	0	?
1	1	1

```
library ieee;
use ieee.std_logic_1164.all;

architecture rtl of driver_ok is
    signal A, B, C, D, S : std_logic ;

begin

process (A, B)
begin
    S <= A and B;
end process;

process (C, D)
begin
    S <= C or D;
end process;

end rtl;</pre>
```

Desde dos o mas procesos no se le puede asignar valores a una misma señal o puerto



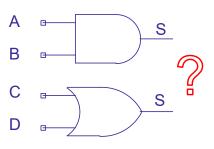
```
library ieee;
use ieee.std_logic_1164.all;

architecture rtl of driver_error is
    signal A, B, C, D, S : std_logic ;

begin

    process (A, B,C,D)
    begin
    S <= A and B;
    S <= C or D;
    end process;

end rtl;</pre>
```



Cuando en un proceso se le asigna varios valores a una misma señal o puerto el valor que toma es el último

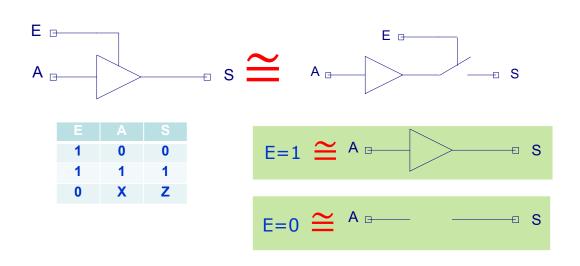
Modelado de Sistemas Computacionales (GIC)

9

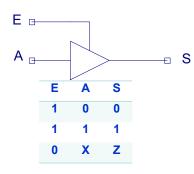
### Puertas con salida triestado

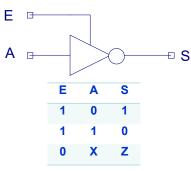


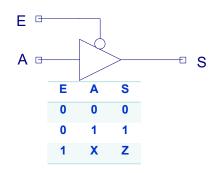
- □ Se caracterizan porque su salida puede tener un tercer estado (tri-state, Z), aparte de los niveles alto (H) y bajo (L).
- ☐ El tercer estado es la alta impedancia (Z o HZ)

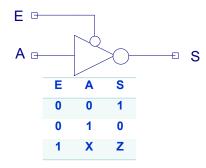












Modelado de Sistemas Computacionales (GIC)

11

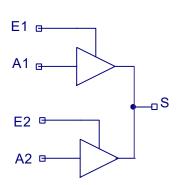
# Puertas con salida triestado



Tema 0: Circuitos digitales

☐ Conexiones de puertas tri-state

La salida de dos o más puertas tri-state se pueden interconectar, pero nunca pueden estar dos de ellas activadas al mismo tiempo.



E1	<b>E2</b>	S
1	0	<b>A1</b>
0	1	<b>A2</b>
0	0	Z
1	1	?



#### Circuitos combinacionales

- Son aquellos circuitos cuyas salidas, en un determinado instante, son función exclusivamente del valor de las entradas en ese instante.
- Entradas iguales dan lugar a salidas iguales.
- Se suelen describir mediante la tabla de verdad
- No tienen memoria



#### ■Tipos:

- ■Puertas lógicas
- Multiplexores
- Decodificadores
- Codificadores
- Comparadores
- Sumadores/restadores
- •Multiplicadores.

Modelado de Sistemas Computacionales (GIC)

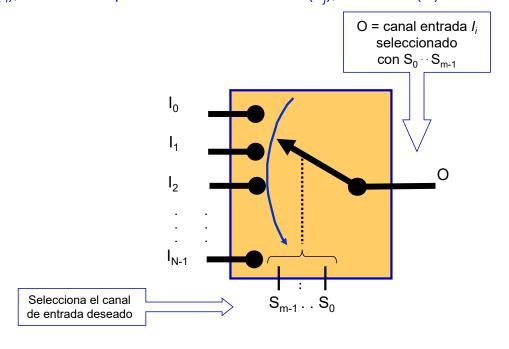
13

# Multiplexores



Tema 0: Circuitos digitales

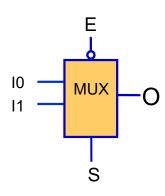
- Multiplexor o selector de datos:
  - **Definición**: Circuito que permite dirigir la información de un de los N canales de entrada  $(I_i)$ , determinado por los m bits de selección  $(S_i)$ , a la salida (O)



• Se debe cumplir que  $2^m \ge N$ .



#### Multiplexor de 2 canales de un bit :



E	S	0
1	X	0
0	0	10
0	1	I1

<pre>library ieee;</pre>
<pre>use ieee.std_logic_1164.all;</pre>
<pre>entity mux2_1 is</pre>
<pre>port( I0, I1, E, S : in std logic;</pre>
0 : out std logic);
<pre>end mux2 1;</pre>
architecture RTL of mux2 1 is
begin
process(S, E, I0, I1)
begin
if $E = '0'$ then
if $S = '0'$ then
O <= IO;
else
O <= I1;
end if;
else
O <= '0';
end if;
end process;
end RTL;

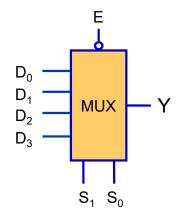
Modelado de Sistemas Computacionales (GIC)

15

# Multiplexores



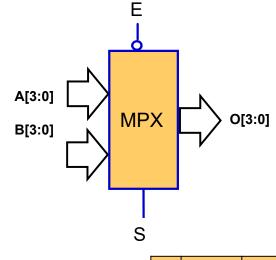
#### ☐ Multiplexor de 4 canales de un bit:



E	S <sub>1</sub>	S <sub>o</sub>	Y
1	Х	Χ	0
0	0	0	$D_0$
0	0	1	$D_1$
0	1	0	D <sub>2</sub>
0	1	1	$D_3$

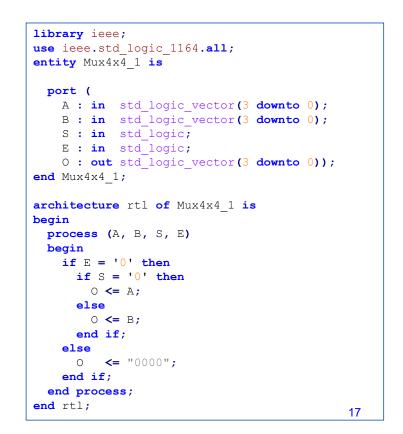


■ Multiplexor de 2 canales de 4 bits:



E	S	0
1	Χ	0 <sub>X</sub>
0	0	Α
0	1	В

Modelado de Sistemas Computacionales (GIC)

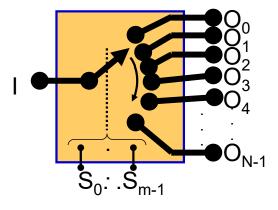


# **Demultiplexores**



### ■ Demultiplexor:

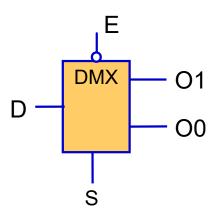
**Definición:** Circuito que permite dirigir la información del canal de entrada (D), determinado por los m bits de selección  $(S_i)$ , a uno de los N canales de salida  $(O_i)$ .



Se debe cumplir que  $2^m \ge N$ .

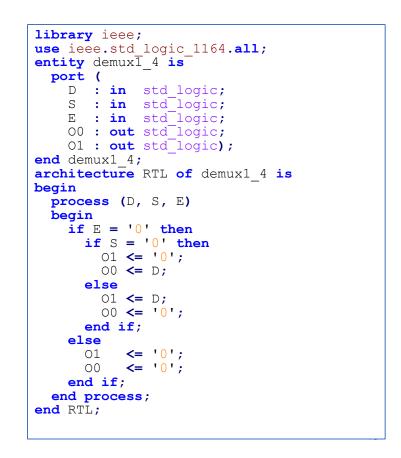


### ■ Demultiplexor:



E	S	01	00	
1	Χ	0	0	
0	0	0	D	
0	1	D	0	

Modelado de Sistemas Computacionales (GIC)

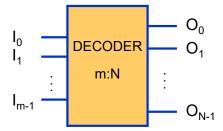


### **Decodificadores**



### Decodificador

 Definición: Circuitos que activan una o varias salidas, en función del código recibido en la entrada de selección

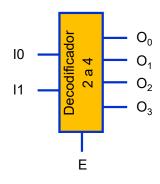


Se cumple que  $2^m \ge N$ .



#### Decodificador 2 a 4:

Е	I1	ΙO	03	02	$O_1$	$O_0$
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0
0	Χ	Χ	0	0	0	0



Modelado de Sistemas Computacionales (GIC)

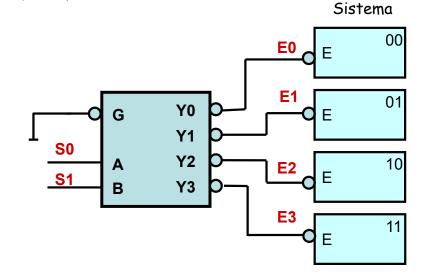
```
library ieee;
use ieee.std_logic_1164.all;
entity dec2_4 is
  port (
    E : in std_logic;
I : in std_logic_vector ( 1 downto 0);
O : out std_logic_vector (3 downto 0));
end dec2 4;
architecture rtl of dec2 4 is
begin
  process (E, I)
  begin
     if E = '1' then
       case I is
          when "00"
                        => 0 <= "0001";
                        -> 0 <= "0010";
          when "01"
                        => O <= "0100";
          when "10"
          when "11"
                        => 0 <= "1000";
          when others => 0 <= "0000";
       end case;
     else
                               <= "0000";
       0
     end if;
  end process;
end rtl;
```

21

### ■ Aplicaciones:

Selección de dispositivos (Mapeado)

Entradas		Salidas				
G	В	A	<b>Y3</b>	<b>Y2</b>	<b>Y1</b>	Y0
1	X	X	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1



**Decodificadores** 



■ Aplicaciones:

■ Decodificador de dirección de puertos: por medio de las líneas A<sub>15</sub>...A<sub>12</sub> del bus de direcciones se habilita el dispositivo correspondiente para enviar/recibir datos

A<sub>14</sub>

23