

Výstupní zpráva

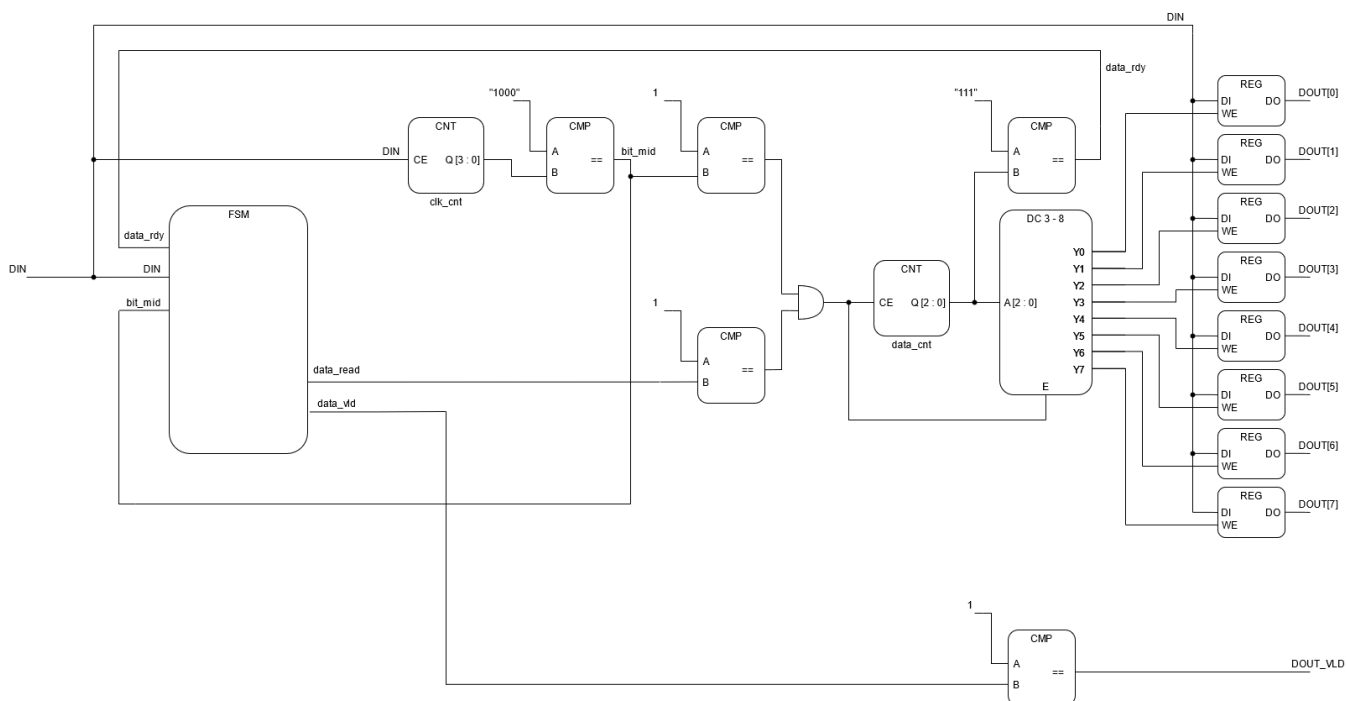
Projekt INC 2021

Jméno: David Chocholatý

Login: xchoch09

Architektura navrženého obvodu na úrovni RTL

Schéma obvodu



Popis funkce

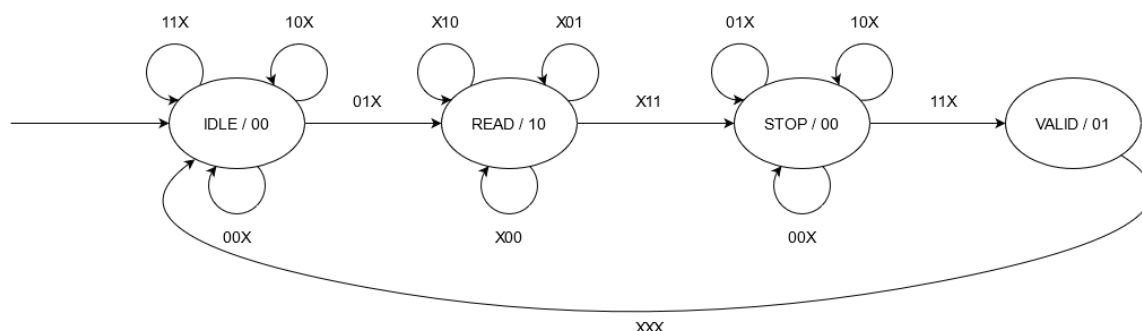
Celý obvod je řízen konečným stavovým automatem (dále označen jako FSM – Finite State Machine). Vstupním signálem obvodu je signál DIN. Výstupními signály jsou DOUT [7 - 0] a DOUT_VLD. Prvním významným prvkem obvodu je counter – signál clk_cnt [3 - 0] reprezentující počet taktů hodinového signálu (0 až 15). Ten je vynulován s každou sestupnou hranou signálu DIN za účelem určení začátku start bitu přenášeného datového slova. Porovnáním hodnoty clk_cnt na střed 16 taktů hodinového signálu se nastavuje signál bit_mid sloužící pro určení středu přenášeného bitu. Tento signál je vstupním signálem FSM. Dále pokud je signál data_read, který určuje, zda lze načítat data, nastaven na hodnotu 1 a hodnota signálu clk_cnt obsahuje hodnotu určující střed přenášeného bitu, je zvýšen počet načtených dat (data_cnt) o jedna a hodnota vstupu DIN je uložena do registru příslušejícího dané pozici. Pokud je již všech 8 bitů přenášeného datového slova načtených, je o tom informován FSM signálem data_rdy. To, zda jsou data validní, určí FSM výstupním signálem data_vld. V případě nastavení jeho hodnoty na 1 je nastaven výstupní signál obvodu DOUT_VLD na hodnotu 1 po dobu jednoho taktu hodinového signálu.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: IDLE, READ, STOP, VALID
- Vstupní signály: DIN, BIT_MID, DATA_RDY
- Mooreovy výstupy: DATA_READ, DATA_VLD



Popis funkce

Stav IDLE

Automat začíná ve stavu IDLE. Do následujícího stavu se přepne v případě detekce validního start bitu ($DIN = 0$). Start bit je detekován uprostřed přenášeného bitu ($BIT_MID = 1$). Mooreovy výstupy ($DATA_READ$, $DATA_VLD$) jsou oba nastaveny na hodnotu 0.

Stav READ

Ve stavu READ automat zůstává, dokud není přečtené celé datové slovo (8 bitů) a není tedy nastaven vstupní signál $DATA_RDY$ na 1. Opět detekce každého bitu a také přepnutí do následujícího stavu STOP se provádí uprostřed přenášeného bitu ($BIT_MID = 1$). Mooreovy výstupy jsou nastaveny následovně: $DATA_READ = 1$, $DATA_VLD = 0$.

Stav STOP

Ve stavu STOP automat zůstává, dokud není detekován validní STOP bit ($DIN = 1$). Detekce opět probíhá uprostřed přenášeného bitu ($BIT_MID = 1$). Jakmile je detekován validní stop bit, přepne se automat do následujícího stavu VALID. Mooreovy výstupy ($DATA_READ$, $DATA_VLD$) jsou oba nastaveny na 0.

Stav VALID

Ve stavu VALID se automat nachází po dobu jednoho taktu hodinového signálu. Následně je automat přepnut do stavu IDLE a čeká na detekci validního start bitu dalšího přenášeného datového slova. Mooreovy výstupy jsou nastaveny následovně: $DATA_READ = 0$, $DATA_VLD = 1$.

Snímek obrazovky ze simulací

