

Implementación de una red en chip en un procesador RISC-V

NoC implementation of a RISC-V processor

David Davó Laviña

Óscar Garnica Alcázar Juan Lanchares Dávila

DACYA, Facultad de Informática, Universidad Complutense de Madrid

9 de Junio de 2022



- 1 Introducción y motivaciones
- 2 Objectives
- 3 RISC-V
- 4 Network on Chip
 - Características de la red
 - Integración en el SweRV-EL2
- 5 Resultados
- 6 Trabajo futuro y conclusiones
- 7 Referencias



Single Event Effects

Error en un circuito provocado por una partícula ionizante. (aeroespacial, medicina/ciencia cerca de f. radiación, militar...)

Soft errors: Recuperables tras reiniciar el circuito (se resetean los valores iniciales de las señales y se descargan condensadores).

Hard errors: Dañan permanentemente parte del circuito.

Solución

Reconfiguración Parcial Dinámica en FPGAs + **Redes de Interconexión**



Single Event Effects

Error en un circuito provocado por una partícula ionizante. (aeroespacial, medicina/ciencia cerca de f. radiación, militar...)

Soft errors: Recuperables tras reiniciar el circuito (se resetean los valores iniciales de las señales y se descargan condensadores).

Hard errors: Dañan permanentemente parte del circuito.

Solución

Reconfiguración Parcial Dinámica en FPGAs + **Redes de Interconexión**



Single Event Effects

Error en un circuito provocado por una partícula ionizante. (aeroespacial, medicina/ciencia cerca de f. radiación, militar...)

Soft errors: Recuperables tras reiniciar el circuito (se resetean los valores iniciales de las señales y se descargan condensadores).

Hard errors: Dañan permanentemente parte del circuito.

Solución

Reconfiguración Parcial Dinámica en FPGAs + **Redes de Interconexión**



Single Event Effects

Error en un circuito provocado por una partícula ionizante. (aeroespacial, medicina/ciencia cerca de f. radiación, militar...)

Soft errors: Recuperables tras reiniciar el circuito (se resetean los valores iniciales de las señales y se descargan condensadores).

Hard errors: Dañan permanentemente parte del circuito.

Solución

Reconfiguración Parcial Dinámica en FPGAs + **Redes de Interconexión**



Objectives

- Choose a RISC-V implementation to study and modify
- Specify the features of the NoC, describe it using HDL and simulate.
- Integrate the NoC inside RISC-V RTL, simulate resulting design
- Make sure the created designs are synthetizable



- Libre y gratuita
- Conjunto de instrucciones reducido (RISC)
- Registro a Registro o load/store
- Modular



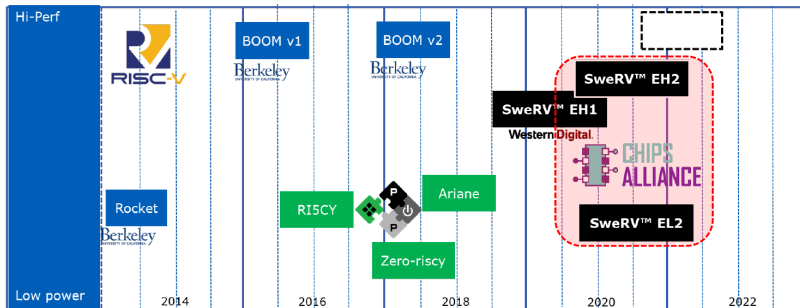


Figure: Comparativa de la potencia de varios Cores RISC-V de código abierto. Extraído de *SweRV Cores Roadmap* [4].



Microarquitectura SweRV-EL2

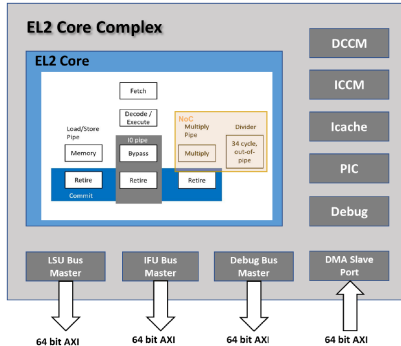


Figure: Complejo del SweRV-EL2. Señalado en naranja las partes que hacen uso de la NoC. Extraído de *SweRV Cores Roadmap* [4].



Microarquitectura SweRV-EL2

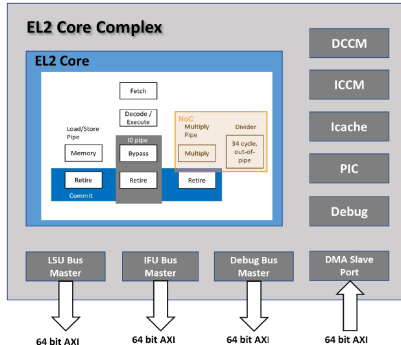


Figure: Complejo del SweRV-EL2. Señalado en naranja las partes que hacen uso de la NoC. Extraído de *SweRV Cores Roadmap* [4].

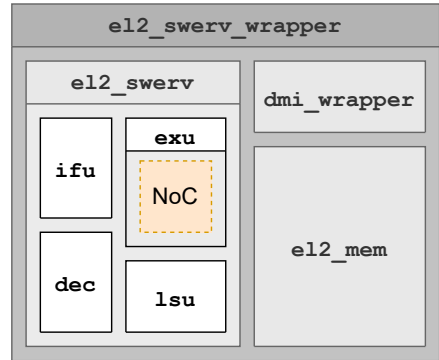
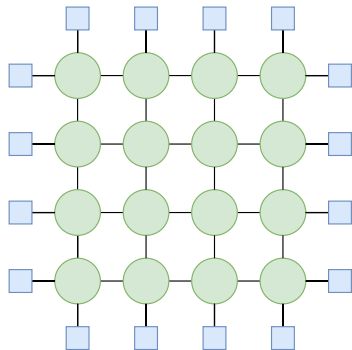


Figure: Diagrama de bloques del procesador modificado.



Figure: Topología en malla indirecta



Características de la red I

Figure: Topología en malla indirecta

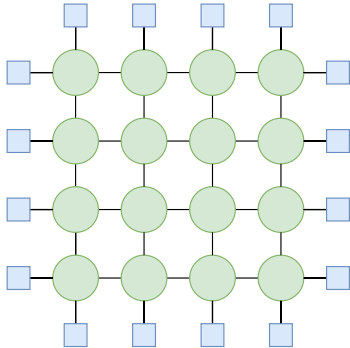
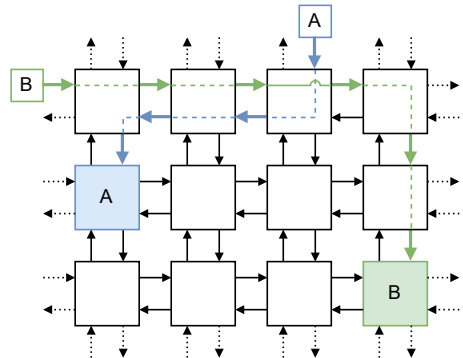


Figure: Encaminamiento en Orden Dimensional



Características de la red II

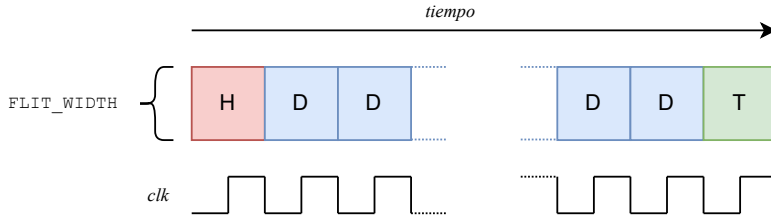


Figure: Envío de varios flits para formar un paquete.



Modulos creados

Módulos de Red

- **Malla:** Instancia una malla bidimensional de *routers*.
- **Router:** Hace de encaminador y tiene un *crossbar*.
- **Crossbar:** Realiza la conmutación

Módulos de Integración

- **Emisor:** Recibe un dato de longitud fija por un bus, lo empaqueta, y lo envía en una serie de flits por la red.
- **Receptor:** Recibe flits de la red, los desempaqueta en registros, y provee los resultados en un bus.
- **Wrapper:** Instancia un *receptor*, el elemento de la EXU, y un *emisor*.



Modulos creados

Módulos de Red

- **Malla:** Instancia una malla bidimensional de *routers*.
- **Router:** Hace de encaminador y tiene un *crossbar*.
- **Crossbar:** Realiza la conmutación

Módulos de Integración

- **Emisor:** Recibe un dato de longitud fija por un bus, lo empaqueta, y lo envía en una serie de flits por la red.
- **Receptor:** Recibe flits de la red, los desempaqueta en registros, y provee los resultados en un bus.
- **Wrapper:** Instancia un *receptor*, el elemento de la EXU, y un *emisor*.



Modulos creados

Módulos de Red

- **Malla:** Instancia una malla bidimensional de *routers*.
- **Router:** Hace de encaminador y tiene un *crossbar*.
- **Crossbar:** Realiza la conmutación

Módulos de Integración

- **Emisor:** Recibe un dato de longitud fija por un bus, lo empaqueta, y lo envía en una serie de flits por la red.
- **Receptor:** Recibe flits de la red, los desempaqueta en registros, y provee los resultados en un bus.
- **Wrapper:** Instancia un *receptor*, el elemento de la EXU, y un *emisor*.



Modulos creados

Módulos de Red

- **Malla:** Instancia una malla bidimensional de *routers*.
- **Router:** Hace de encaminador y tiene un *crossbar*.
- **Crossbar:** Realiza la conmutación

Módulos de Integración

- **Emisor:** Recibe un dato de longitud fija por un bus, lo empaqueta, y lo envía en una serie de flits por la red.
- **Receptor:** Recibe flits de la red, los desempaqueta en registros, y provee los resultados en un bus.
- **Wrapper:** Instancia un *receptor*, el elemento de la EXU, y un *emisor*.



Modulos creados

Módulos de Red

- **Malla:** Instancia una malla bidimensional de *routers*.
- **Router:** Hace de encaminador y tiene un *crossbar*.
- **Crossbar:** Realiza la conmutación

Módulos de Integración

- **Emisor:** Recibe un dato de longitud fija por un bus, lo empaqueta, y lo envía en una serie de flits por la red.
- **Receptor:** Recibe flits de la red, los desempaqueta en registros, y provee los resultados en un bus.
- **Wrapper:** Instancia un *receptor*, el elemento de la EXU, y un *emisor*.



Módulos de Red

- **Malla:** Instancia una malla bidimensional de *routers*.
- **Router:** Hace de encaminador y tiene un *crossbar*.
- **Crossbar:** Realiza la conmutación

Módulos de Integración

- **Emisor:** Recibe un dato de longitud fija por un bus, lo empaqueta, y lo envía en una serie de flits por la red.
- **Receptor:** Recibe flits de la red, los desempaqueta en registros, y provee los resultados en un bus.
- **Wrapper:** Instancia un *receptor*, el elemento de la EXU, y un *emisor*.



Módulos de Red

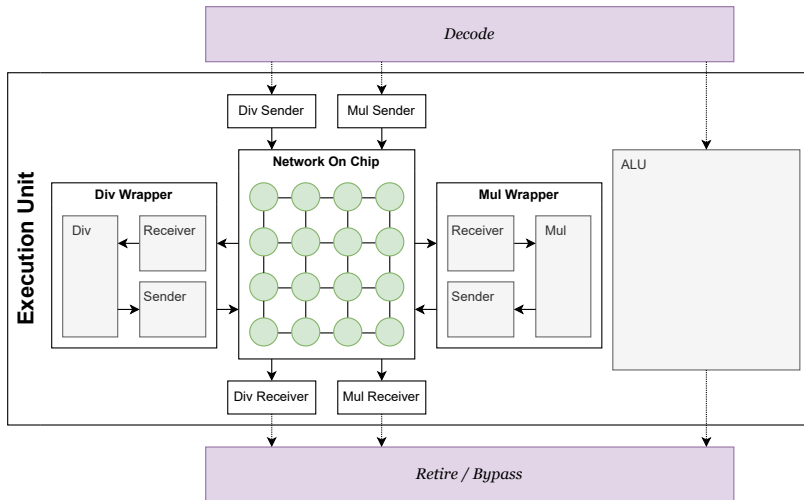
- **Malla:** Instancia una malla bidimensional de *routers*.
- **Router:** Hace de encaminador y tiene un *crossbar*.
- **Crossbar:** Realiza la conmutación

Módulos de Integración

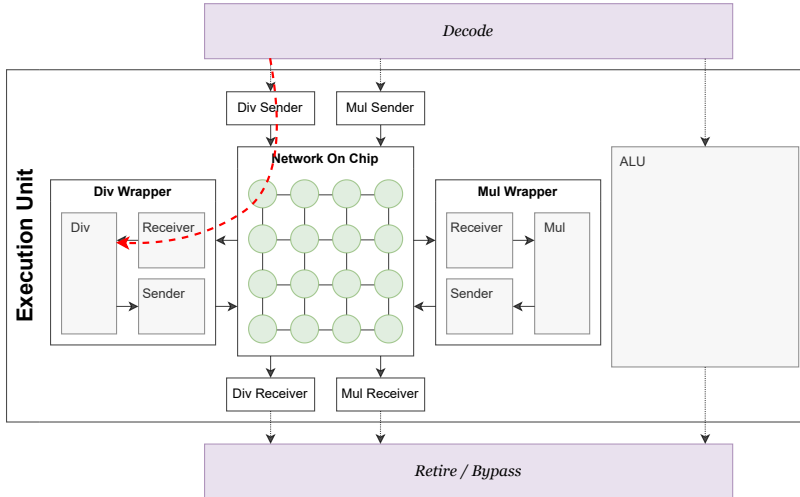
- **Emisor:** Recibe un dato de longitud fija por un bus, lo empaqueta, y lo envía en una serie de flits por la red.
- **Receptor:** Recibe flits de la red, los desempaqueta en registros, y provee los resultados en un bus.
- **Wrapper:** Instancia un *receptor*, el elemento de la EXU, y un *emisor*.



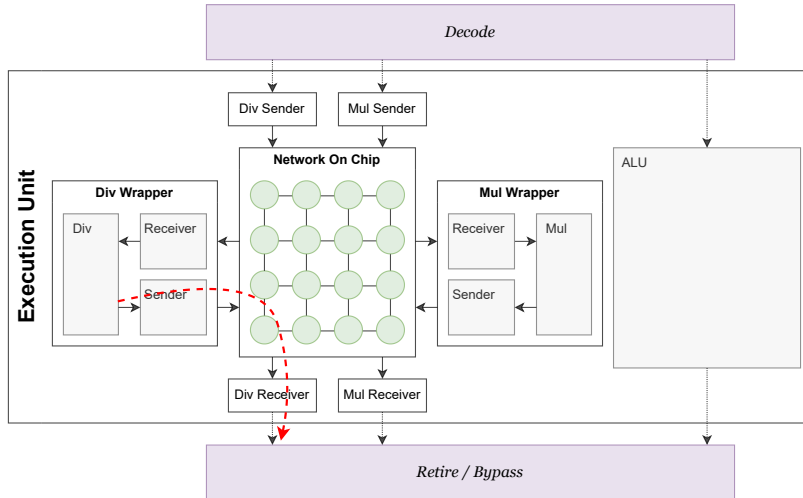
Integración de la NoC en el SweRV-EL2



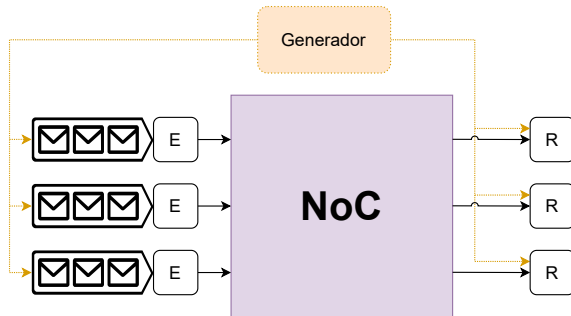
Integración de la NoC en el SweRV-EL2



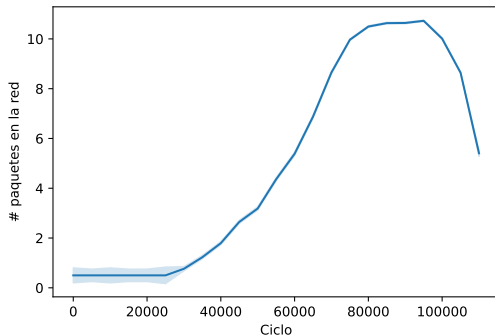
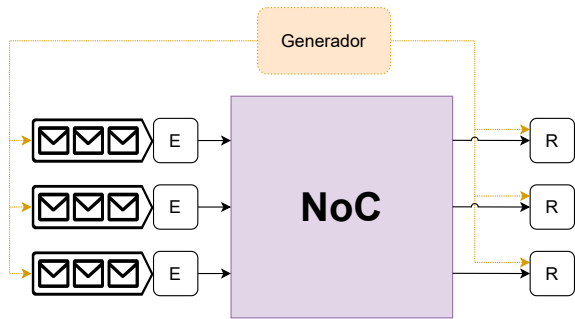
Integración de la NoC en el SweRV-EL2



Resultados de simulación: NoC



Resultados de simulación: NoC



Resultados de simulación: SweRV-EL2

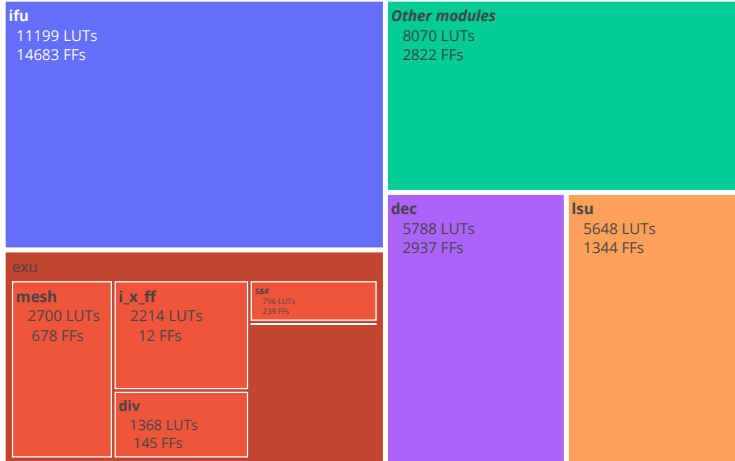
```
MINGW64:/e/TFG/TFG2021-22_RISC-V_NoC/Cores-SweRV-EL2
# Loading work.el2_exu_div_wrapper(fast)
# Loading work.noc_serial_sender(fast__1)
# Loading work.el2_exu_mul_sender(fast)
# Loading work.noc_serial_sender(fast__2)
# Loading work.el2_exu_mul_receiver(fast)
# Loading work.el2_exu_mul_wrapper(fast)
# run -all
# -----
# Hello World from SweRV EL2 @WDC !!
# -----
# TEST_PASSED
#
# Finished : minstret = 437, mcycle = 922
# See "exec.log" for execution trace with register updates..
#
# ** Note: $finish      : E:/TFG/TFG2021-22_RISC-V_NoC/Cores-SweRV-EL2/t
estbench/tb_top.sv(343)
#   Time: 9280 ns Iteration: 1 Instance: /tb_top
# End time: 12:03:25 on Jun 07,2022, Elapsed time: 0:00:13
# Errors: 0, Warnings: 1375
TFG2021-22_RISC_NoC@DESKTOP-9I2DE5F MINGW64 /e/TFG/TFG2021-22_RISC-V_NoC/Cores-SweRV-EL2 (master)
$ |
```

```
MINGW64:/e/TFG/TFG2021-22_RISC-V_NoC/Cores-SweRV-EL2
# run -all
# 2K performance run parameters for coremark.
# CoreMark Size      : 666
# Total ticks        : 416012
# Total time (secs): 416
# Iterat/Sec/MHz     : 2.57
# Iterations         : 1
# Compiler version   : GCC9.2.0
# Compiler flags     : -g -O3 -funroll-all-loops
# Memory location    : STATIC
# seedcrc            : 0xe9f5
# [0]crc1list        : 0xe714
# [0]crcmatrix       : 0x1fd7
# [0]crcstate        : 0x8e3a
# [0]crcfinal        : 0xe714
# Correct operation validated. See readme.txt for run and reporting rules.
# TEST_PASSED
#
# Finished : minstret = 304107, mcycle = 440127
# See "exec.log" for execution trace with register updates..
#
# ** Note: $finish      : E:/TFG/TFG2021-22_RISC-V_NoC/Cores-SweRV-EL2/testbench/t
b_top.sv(343)
#   Time: 4401330 ns Iteration: 1 Instance: /tb_top
# End time: 11:22:54 on Jun 07,2022, Elapsed time: 0:01:59
# Errors: 0, Warnings: 1440
```



Resultados de síntesis

swerv



- Monitorización de la red
- Optimización de recursos consumidos
- Comprobación de errores
- Encaminamiento adaptativo
- Continuar con el flujo de diseño → Implementación en FPGA y prueba



- Diseño RTL sintetizable de una NoC
- Modificado el diseño del SweRV-EL2 incluyendo una NoC
- Aprendizaje de SystemVerilog, testbenches automatizados, síntesis con Xilinx Vivado y simulación y depuración en QuestaSim



Referencias I

-  D Binder, E C Smith, and A B Holman. “Satellite Anomalies from Galactic Cosmic Rays”. In: *IEEE Transactions on Nuclear Science* 22.6 (1975), pp. 2675–2680. DOI: 10.1109/TNS.1975.4328188.
-  Andrew Waterman, Krste Asanović, and RISC-V Foundation. *The RISC-V Instruction Set Manual: Volume I: User-Level ISA, Document Version 20191213*. Tech. rep. Berkeley: CS Division, EECS Department, University of California, Dec. 2019. URL: <https://riscv.org/technical/specifications/>.
-  RISC-V International. *RISC-V Exchange: Cores & SoCs*. URL: <https://riscv.org/exchanges/cores-socs/>.
-  Zvonimir Z Bandic and Robert Golla. *SweRV Cores Roadmap*. Tech. rep. 2019. URL: https://riscv.org/wp-content/uploads/2019/12/12.11-14.20a3-Bandic-WD_SweRV_Cores_Roadmap_v4SCR.pdf.
-  Western Digital. *EL2 SweRV RISC-V Core™ 1.4*. 2021. URL: <https://github.com/chipsalliance/Cores-SweRV-EL2>.



Referencias II

-  John L Hennessy and David A Patterson. *Computer Architecture: A Quantitative Approach*. Sixth Edition. Morgan Kaufmann Publishers, 2019. ISBN: 978-0-12-811905-1.
-  Departamento de Arquitectura de Computadores y Automática. “Arquitectura de Computadores. Tema 5. Multiprocesadores y redes de interconexión”. In: *Universidad Complutense de Madrid*, 2020.
-  John L. Hennessy and David A. Patterson. “Appendix F. Interconnection Networks”. In: *Computer architecture: a quantitative approach*. 6th ed. 2019. ISBN: 9780128119068.
-  José Duato, Sudhakar Yalamanchili, and Lionel Ni. *Interconnection Networks: An Engineering Approach*. Revised Printing. Morgan Kaufmann Publishers, 2003. ISBN: 1-55860-852-4.
-  P T Gaughan and S Yalamanchili. “Pipelined circuit-switching: a fault-tolerant variant of wormhole routing”. In: *[1992] Proceedings of the Fourth IEEE Symposium on Parallel and Distributed Processing*. 1992, pp. 148–155. DOI: 10.1109/SPDP.1992.242751.
-  Giovanni De Micheli and Luca Benini. *Networks on Chips. Technology and Tools*. 1st. Elsevier, 2006. ISBN: 978-0-12-370521-1.

